

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-185348  
(P2006-185348A)

(43) 公開日 平成18年7月13日(2006.7.13)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G06F 9/52 (2006.01)</b>	G06F 9/46 472Z	5B045
<b>G06F 12/00 (2006.01)</b>	G06F 12/00 572A	5B060
<b>G06F 15/167 (2006.01)</b>	G06F 15/167 610B	

審査請求 有 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2004-380618 (P2004-380618)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成16年12月28日(2004.12.28)	(74) 代理人	100070150 弁理士 伊東 忠彦
		(72) 発明者	上方 輝彦 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	多湖 真一郎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	池 敦 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 マルチプロセッサシステム及びロックフラグ操作方法

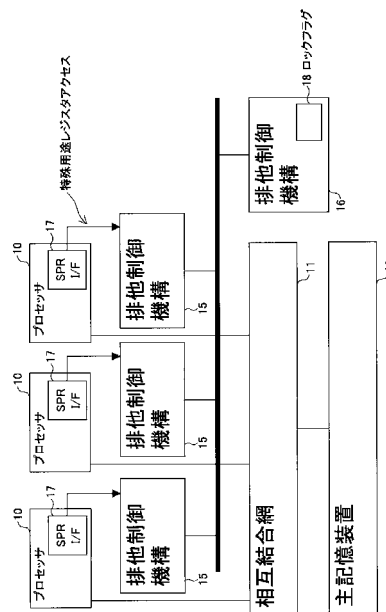
(57) 【要約】

【課題】 本発明は、排他制御に必要な処理時間が短いマルチプロセッサシステムを提供することを目的とする。

【解決手段】 マルチプロセッサシステムは、複数のプロセッサと、複数のプロセッサに共通に結合される共有バスと、共有バスに結合され複数のプロセッサにより共有されるリソースと、複数のプロセッサに共通に結合されリソースの排他的使用のためのロック/ロック解除を示すロックフラグを有する排他制御機構を含み、複数のプロセッサの各々は排他制御機構に結合される特殊用途レジスタ・インターフェースを含み、特殊用途レジスタ・インターフェースを介した特殊用途レジスタアクセスによりロックフラグにアクセスするよう構成されることを特徴とする。

【選択図】 図1

本発明によるマルチプロセッサシステムの原理構成を示す構成図



## 【特許請求の範囲】

## 【請求項 1】

複数のプロセッサと、  
該複数のプロセッサに共通に結合される共有バスと、  
該共有バスに結合され該複数のプロセッサにより共有されるリソースと、  
該複数のプロセッサに共通に結合され該リソースの排他的使用のためのロック/ロック解除を示すロックフラグを有する排他制御機構  
を含み、該複数のプロセッサの各々は該排他制御機構に結合される特殊用途レジスタ・インターフェースを含み、該特殊用途レジスタ・インターフェースを介した特殊用途レジスタアクセスにより該ロックフラグにアクセスするよう構成されることを特徴とするマルチプロセッサシステム。

10

## 【請求項 2】

該複数のプロセッサの各々は、  
特殊用途レジスタ群と、  
該特殊用途レジスタ群にアクセスするために該特殊用途レジスタ群に結合されたアクセス部  
を更に含み、該アクセス部は更に該特殊用途レジスタ・インターフェースに結合され、所定の特殊用途レジスタアクセス命令に応じて該特殊用途レジスタ・インターフェースを介して該ロックフラグにアクセスすることを特徴とする請求項 1 記載のマルチプロセッサシステム。

20

## 【請求項 3】

該リソースはメモリを含み、該共有バスは該排他制御機構に結合され、該複数のプロセッサは該メモリのメモリ空間へのアクセスとして該ロックフラグにアクセス可能なように構成されることを特徴とする請求項 1 記載のマルチプロセッサシステム。

## 【請求項 4】

該排他制御機構は、  
該複数のプロセッサのそれぞれに個別に結合される複数の第 1 の排他制御機構と、  
該第 1 の排他制御機構に共通に結合される第 2 の排他制御機構  
を含み、該ロックフラグは該第 2 の排他制御機構に設けられ、該第 2 の排他制御機構は該複数の第 1 の排他制御機構からの該ロックフラグへのアクセス要求を調停する調停回路を含むことを特徴とする請求項 1 記載のマルチプロセッサシステム。

30

## 【請求項 5】

該共有リソースは複数存在し、該ロックフラグは該複数のリソースに対応して該第 2 の排他制御機構に複数個設けられ、該第 1 の排他制御機構は該複数のロックフラグのうちでアクセス対象となるロックフラグを特定するロック対象指定レジスタを含むことを特徴とする請求項 4 記載のマルチプロセッサシステム。

## 【請求項 6】

該第 1 の排他制御機構は該ロックフラグが操作される際に該ロックフラグの操作前の値を保持するロック操作前値保持レジスタを更に含むことを特徴とする請求項 4 記載のマルチプロセッサシステム。

40

## 【請求項 7】

該排他制御機構は該ロックフラグのロックが解除されると該複数のプロセッサのうちで該ロックフラグのロック解除を待って動作停止しているプロセッサに動作再開を指示するよう構成されることを特徴とする請求項 1 記載のマルチプロセッサシステム。

## 【請求項 8】

該排他制御機構は該ロックフラグのロックが解除されるか又は割り込み要求が発生すると該複数のプロセッサのうちで該ロックフラグのロック解除を待って動作停止しているプロセッサに動作再開を指示するよう構成されることを特徴とする請求項 1 記載のマルチプロセッサシステム。

## 【請求項 9】

50

該排他制御機構は該ロックフラグのロックが解除されると該複数のプロセッサのうちで該ロックフラグのロック解除を待っているプロセッサに割り込みを発生させるよう構成されることを特徴とする請求項 1 記載のマルチプロセッサシステム。

【請求項 10】

複数のプロセッサと、該複数のプロセッサに共通に結合される共有バスと、該共有バスに結合され該複数のプロセッサにより共有されるリソースを含むマルチプロセッサシステムにおいて、該リソースの排他的使用のためのロック/ロック解除を示すロックフラグに該複数のプロセッサの 1 つから特殊用途レジスタ・インターフェースを介した特殊用途レジスタアクセスによりアクセスすることを特徴とするロックフラグ操作方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は一般にマルチプロセッサシステムに関し、詳しくは共有リソースの排他制御を行うマルチプロセッサシステムに関する。

【背景技術】

【0002】

マルチプロセッサ環境、即ち複数のプロセッサで構成されたシステム環境においては、共通バス上にあるメモリ等のリソースは、複数のプロセッサにより共有される。あるプロセッサがメモリを利用する際、場合によっては、一定期間独占的にメモリを使用して、その間は他のプロセッサがメモリアクセスをできないようにする必要がある。これは例えば  
トランザクションの途中で、他のプロセッサによるメモリアクセスやデータ変更が生じると、システムとして一貫性が保てなくなるためである。そこで、共有資源を独占的に使用するために、セマフォレジスタによる資源管理が一般的に行われる。

20

【0003】

セマフォレジスタによる資源管理においては、メモリを占有したいプロセッサは、メモリへのアクセスに先立ちセマフォフラグを参照する。フラグが立っていない場合には、他のプロセッサがメモリを使用していないと判断する。この場合、プロセッサは、フラグを設定することでメモリを占有することを他のプロセッサに対して明示的に示し、その後メモリをアクセスする。フラグが設定されている期間中は、他のプロセッサはメモリをアクセスすることが出来ない。メモリの使用が終了すると、メモリを使用していたプロセッサは  
セマフォフラグの設定を解除する。

30

【0004】

セマフォレジスタを使用する場合には、厳密なフラグ管理が必要になる。例えば、あるプロセッサがセマフォフラグを参照してフラグが立っていないことを確認し、フラグを立てるフラグ設定動作を実行するとする。この時にフラグ参照からフラグ設定までの間に時間差があると、この時間の間に、他のプロセッサがセマフォフラグを参照してしまう可能性がある。この場合、後からセマフォフラグを参照したプロセッサも、フラグが立っていないために、メモリが使用可能であると判断してしまう。

【0005】

このような状況を避けるために、セマフォフラグの参照及び設定には、通常、アトミック  
LOAD/STOREと呼ばれる方式のアクセスが行なわれる。この方式では、リード動作とライト動作とを不可分の単位即ち 1 回のバスサイクルで実行する。一回のバスサイクルでリード動作とライト動作を実行してフラグの参照と設定とを行なうため、この方式では厳密なフラグの管理が可能となる。

40

【0006】

特許文献 1 には、プロセッサと共有結合網との間に排他制御用の機構を設けた構成が示される。また以下の特許文献 2 乃至 6 には、特殊なロック機構で排他制御を行う構成が示される。

【特許文献 1】特開 2000 - 187652 号公報

【特許文献 2】特開平 5 - 225117 号公報

50

【特許文献3】特開平6-110847号公報

【特許文献4】特開平08-314869号公報

【特許文献5】特開平09-282291号公報

【特許文献6】特開平04-343159号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来のマルチプロセッサシステムでの排他制御において、セマフォフラグは共有メモリのメモリ空間上に設けられる構成が一般的である。従って各プロセッサからバスを介して共有メモリのセマフォフラグにアクセスすることになり、アクセス時にはバスのアクセス・アービトレーションが必要不可欠になる。またプロセッサと共有メモリとの間に、キャッシュメモリ機構等が設けられている場合には、長いアクセス経路を介してプロセッサから共有メモリへアクセスする必要があり、更に時間がかかってしまう可能性がある。このために、排他制御に必要な処理時間が長くなるという問題がある。

10

【0008】

以上を鑑みて、本発明は、排他制御に必要な処理時間が短いマルチプロセッサシステムを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明によるマルチプロセッサシステムは、複数のプロセッサと、該複数のプロセッサに共通に結合される共有バスと、該共有バスに結合され該複数のプロセッサにより共有されるリソースと、該複数のプロセッサに共通に結合され該リソースの排他的使用のためのロック/ロック解除を示すロックフラグを有する排他制御機構を含み、該複数のプロセッサの各々は該排他制御機構に結合される特殊用途レジスタ・インターフェースを含み、該特殊用途レジスタ・インターフェースを介した特殊用途レジスタアクセスにより該ロックフラグにアクセスするよう構成されることを特徴とする。

20

【0010】

また本発明によるロックフラグ操作方法は、複数のプロセッサと、該複数のプロセッサに共通に結合される共有バスと、該共有バスに結合され該複数のプロセッサにより共有されるリソースを含むマルチプロセッサシステムにおいて、該リソースの排他的使用のため

30

のロック/ロック解除を示すロックフラグに該複数のプロセッサの1つから特殊用途レジスタ・インターフェースを介した特殊用途レジスタアクセスによりアクセスすることを特徴とする。

【発明の効果】

【0011】

本発明の少なくとも1つの実施例によれば、主記憶装置とは別に排他制御機構内部にロックフラグを設け、共有バスから主記憶装置へのアクセス経路とは別のアクセス経路を用いたロック操作を可能にする。具体的には、プロセッサに特殊用途レジスタ・インターフェースを設けることで、プロセッサからの特殊用途レジスタアクセスにより、排他制御機構のロックフラグへのアクセスを可能とする。従って、キャッシュメモリ機構や共有メモリのバスアービトレーションを介することのない排他制御が可能になり、高速なアクセスによる高速な排他制御操作を実現することが可能になる。

40

【発明を実施するための最良の形態】

【0012】

以下に、本発明の原理構成及び実施例を添付の図面を用いて詳細に説明する。

【0013】

図1は、本発明によるマルチプロセッサシステムの原理構成を示す構成図である。図1のマルチプロセッサシステムは、複数のプロセッサ10、相互結合網11、主記憶装置12、第1の排他制御機構15、及び第2の排他制御機構16を含む。複数のプロセッサ10がバス等の相互結合網11を介して、共有メモリである主記憶装置12に結合される。

50

主記憶装置 12 に対するデータの読み書きを実行する場合には、プロセッサ 10 から、相互結合網 11 を介して主記憶装置 12 にアクセスする。

【0014】

複数のプロセッサ 10 の各々に対して、1つの第1の排他制御機構 15 が設けられる。従ってプロセッサ 10 の数と第1の排他制御機構 15 との数とは等しい。複数のプロセッサ 10 は、対応する第1の排他制御機構 15 を介して、共通の第2の排他制御機構 16 に結合される。第2の排他制御機構 16 には、排他制御操作に用いられるロックフラグ 18 が設けられる。

【0015】

プロセッサ 10 から主記憶装置 12 へのアクセスは通常のメモリアクセスであるが、プロセッサ 10 から第1の排他制御機構 15 を介して第2の排他制御機構 16 のロックフラグ 18 へのアクセスは、特殊用途レジスタアクセス (SPR アクセス: Special Purpose Register アクセス) により実行される。一般にプロセッサ内には、プログラムによりユーザが自由に使用できる汎用レジスタと、特殊な用途のために設けられた特殊用途レジスタとが設けられる。特殊用途レジスタは、特定の命令を実行したときに、その命令に関連した特定の値を格納するようなレジスタである。特殊用途レジスタの一例としては、プロセッサの実行した命令に応じて変化し、プロセッサの状態を保持するためのレジスタであるプロセッサ・ステータス・レジスタ等が挙げられる。

【0016】

本発明では、第2の排他制御機構 16 のロックフラグ 18 へアクセスするための特殊用途レジスタアクセス命令を、プロセッサ 10 に設ける。即ち、プロセッサ 10 の命令セットにこの特殊用途レジスタアクセス命令を用意するとともに、第1の排他制御機構 15 と信号をやり取りするための特殊用途レジスタ・インターフェース (SPR・I/F) 17 をプロセッサ 10 に設ける。特殊用途レジスタアクセス命令が実行されると、このインターフェースを介して第1の排他制御機構 15 と信号をやり取りすることにより、第2の排他制御機構 16 のロックレジスタへのアクセスを実行する。

【0017】

このようにして本発明によるマルチプロセッサシステムにおいては、主記憶装置 12 とは別に第2の排他制御機構 16 内部にロックフラグ 18 を設け、相互結合網 11 から主記憶装置 12 へのアクセス経路とは別のアクセス経路を用いたロック操作を可能にする。具体的には、プロセッサ 10 に特殊用途レジスタ・インターフェース 17 を設けることで、プロセッサ 10 からの特殊用途レジスタアクセスにより、第2の排他制御機構 16 のロックフラグ 18 へのアクセスを可能とする。従って、キャッシュメモリ機構や共有メモリのバスアービトレーションを介することのない排他制御が可能になり、高速なアクセスによる高速な排他制御操作を実現することが可能になる。

【0018】

図2は、本発明によるマルチプロセッサシステムの実施例の一例を示す構成図である。図2のマルチプロセッサシステムは、プロセッサ 10、相互結合網 11、主記憶装置 12、第1の排他制御機構 15、第2の排他制御機構 16、及び割り込みユニット 60 を含む。図2では図示の都合上、1つのプロセッサ 10 及び1つの第1の排他制御機構 15 のみを示すが、システム全体では図1に示すのと同様に、複数のプロセッサ 10 及び複数の第1の排他制御機構 15 が設けられる。

【0019】

プロセッサ 10 は、特殊用途レジスタ・インターフェース (SPR・I/F) 17、命令フェッチ部 20、デコード部 21、命令実行部 22、メモリロード部 23、メモリアダ部 24、GRロード部 25、GRストア部 26、SPRロード部 27、SPRストア部 28、汎用レジスタ群 (GR) 29、特殊用途レジスタ群 (SPR) 30、命令キャッシュ 31、データキャッシュ 32、バス I/F 33、及び実行制御ユニット 34 を含む。第1の排他制御機構 15 は、ロック解除待ち制御回路 40、ロック操作制御回路 41、ロック対象指定レジスタ 42、ロック操作レジスタ 43、ロック操作前値保持レジスタ 44、口

10

20

30

40

50

ック解除待ちレジスタ45、コアIF46、及びインターフェース(IF)47を含む。第2の排他制御機構16は、ロックフラグ18、バスアービトラクション回路50、ロック解除通知ユニット51、PE解除待ちロック番号レジスタ52、ロック解除待ち割り込み発生ユニット53、及びロック解除待ちPEレジスタ54を含む。

【0020】

命令フェッチ部20は、命令キャッシュ31又は主記憶装置12から実行する命令をフェッチし、フェッチした命令を保持する。デコード部21は、命令フェッチ部20に保持される命令をデコードする。このデコード部21によるデコード結果に従って、命令実行部22が、プロセッサ10の各部の動作を制御する。

【0021】

メモリロード部23は、データキャッシュ32から又はバスIF33及び相互結合網11を介して主記憶装置12から、指定されたメモリアドレスのデータをロードする。メモリストア部24は、バスIF33及び相互結合網11を介して主記憶装置12の指定されたメモリアドレスへ又はデータキャッシュ32の対応する格納領域へ、データをストアする。

【0022】

GRロード部25は、汎用レジスタ群29の指定された汎用レジスタからデータをロードする。GRストア部26は、汎用レジスタ群29の指定された汎用レジスタにデータをストアする。

【0023】

SPRロード部27は、特殊用途レジスタ群30の指定された特殊用途レジスタからデータをロードする。またSPRロード部27は更に、本発明の特殊用途レジスタアクセス命令が実行される場合には、特殊用途レジスタ・インターフェース17を介して第2の排他制御機構16のロックフラグ18の値をロードする。SPRストア部28は、特殊用途レジスタ群30の指定された特殊用途レジスタにデータをストアする。またSPRストア部28は更に、本発明の特殊用途レジスタアクセス命令が実行される場合には、特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15の種々のレジスタに値をストアする。このようにしてストアされた値に応じて、第1の排他制御機構15の動作が制御され、後述するような種々の排他制御操作が実現される。

【0024】

実行制御ユニット34は、プロセッサ10の動作の実行/停止を制御する回路ユニットである。実行制御ユニット34は、ロック解除待ち制御回路40からの信号に応じて、例えば実行停止していたプロセッサ10の実行を再開する。

【0025】

第1の排他制御機構15において、ロック解除待ち制御回路40は、ロック解除待ち状態でプロセッサ10が動作の実行を停止している場合に、第2の排他制御機構16からロック解除が通知されると、実行制御ユニット34に対してプロセッサ10の動作の実行を再開するように指示する。また更にロック解除待ち制御回路40は、ロック解除待ち状態でプロセッサ10が動作の実行を停止している場合に、割り込みユニット60からの何らかの割り込み要因があるときにも、プロセッサ10の動作の実行を再開させる。

【0026】

このように、ロック解除待ち状態においてプロセッサ10が動作の実行を停止可能な構成とすることで、プロセッサ10での消費電力を削減することができる。またロック解除時には、ロック解除待ち制御回路40からプロセッサ10に動作再開が指示されるので、プロセッサ10は第1の排他制御機構15又は第2の排他制御機構16へのポーリングを実行する必要がない。

【0027】

ロック操作制御回路41は、プロセッサ10からの特殊用途レジスタアクセスにตอบสนองして、第2の排他制御機構16に対して実行するロック操作を制御する。この際のロック操作は、ロック対象指定レジスタ42のレジスタ値が示すロックフラグ18に対して実行さ

10

20

30

40

50

れる。ロック対象指定レジスタ42には、ロック操作の対象となるロックフラグ18を特定する番号が、特殊用途レジスタ・インターフェース17を介してプロセッサ10から供給され格納される。ロック操作前値保持レジスタ44は、ロック操作の直前のロックフラグ18の値を保持する。ロック解除待ちレジスタ45は、プロセッサ10がロック解除を待つときに、特殊用途レジスタ・インターフェース17を介して値を書き込むレジスタである。

#### 【0028】

コアIF46は、プロセッサ10の特殊用途レジスタ・インターフェース17とのインターフェースを提供するとともに、バスIF33とのインターフェースを提供する。これによりプロセッサ10は、特殊用途レジスタ・インターフェース17を介してのアクセスだけでなく、バスIF33を介したメモリアクセスとしてもロック操作を実行することが可能になる。このような機能を設けることで、例えばデバッガから第1の排他制御機構15及び第2の排他制御機構16内のレジスタの内容を、メモリ空間上にマップされた領域として見るができるようになり、デバッグ処理が容易になるという利点がある。

#### 【0029】

第2の排他制御機構16において、バスアービトレーション回路50は、複数の第1の排他制御機構15から同時にロック操作要求があった場合にアービトレーション(調停)を実行する。即ちバスアービトレーション回路50は、同時にロック操作を要求している複数の第1の排他制御機構15から1つを選択し、選択した排他制御機構15から要求されるロック操作を実行する。ロック解除通知ユニット51は、ロック解除待ちをしているプロセッサ10がある場合に、解除待ちの対象であるロックが解除されたことを検出すると、第1の排他制御機構15のロック解除待ち制御回路40に解除を通知する。PE解除待ちロック番号レジスタ52は、解除待ちの対象となっているロックフラグ18を特定する番号を格納する。PE解除待ちロック番号レジスタ52は、複数のプロセッサ10の各々に対して一つずつ設けられる。図2では、PE(Processor Element)#0からPE#NまでのN+1個のプロセッサ10に対して、PE解除待ちロック番号レジスタ52を示してある。

#### 【0030】

ロックフラグ18は、複数の共有リソースの各々に対して一つずつ設けられている。ある共有リソースを占有する場合には、対応するロックフラグ18をロックする。ロックフラグ18のロック動作は、ロックを示す値(例えば0又は1の何れか予め決められた値)をロックフラグ18に設定することで実行される。なお共有リソースが1つである場合には、ロックフラグ18は1つだけ設けられていればよい。

#### 【0031】

ロック解除待ち割り込み発生ユニット53は、ロック解除待ちをしているプロセッサ10がある場合に、解除待ちの対象であるロックが解除されたことを検出すると、割り込みユニット60に割り込み発生の指示をする。この割り込み発生指示に応じて、割り込みユニット60がロック解除待ちをしているプロセッサ10に割り込みを発生させる。ロック解除待ちをしていたプロセッサ10は、割り込みに応じて、ロック解除待ちの対象であった共有リソースに対する排他的アクセスを実行する。ロック解除待ちPEレジスタ54は、各ロックフラグ18に対してロック解除を待っているプロセッサ10を特定する番号を格納する。

#### 【0032】

このような構成とすることで、ロックが解除されるまでプロセッサ10が別のタスクを実行することが可能となり、プロセッサ10の使用効率を高めることができる。またプロセッサ10は、別のタスクを実行しながら、第1の排他制御機構15又は第2の排他制御機構16へのポーリングを実行する必要がない。

#### 【0033】

図3は、図2のマルチプロセッサシステムの基本動作の一例を示すシーケンス図である。図2及び図3を参照して、この基本動作について説明する。

10

20

30

40

50

## 【0034】

まずプロセッサ10のSPRストア部28が、特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15のロック対象指定レジスタ42に、ロック操作対象となるロックフラグ18を識別する番号を設定する(S1)。次に、プロセッサ10のSPRロード部27が、特殊用途レジスタ・インターフェース17を介して、第1の排他制御機構15のロック操作レジスタ43にロードアクセスをする(S2)。これに応じて、第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18を読み出すように、第2の排他制御機構16に要求する(S3)。第2の排他制御機構16のバスアービトラション回路50は複数の第1の排他制御機構15からの要求の調停を行い、指定されたロックフラグ18の値を読み出し、読み出した値を第1の排他制御機構15に供給する(S4)。第1の排他制御機構15のロック操作制御回路41は、第2の排他制御機構16のロックフラグ18から読み出した値をプロセッサ10に供給する(S5)。

10

## 【0035】

このようにして、プロセッサ10は、第2の排他制御機構16の指定したロックフラグ18の値を読み出すことができる。即ち、ロック操作による排他制御を実行する際の基本的な動作であるロックフラグ18の読み出しを、特殊用途レジスタアクセスを用いて高速に実現することができる。

## 【0036】

上記のロックフラグ読み出し動作を変形することで、以下に示すような排他制御動作において有用な種々のロック操作を実現することができる。

20

## 【0037】

図4は、図2のマルチプロセッサシステムの動作の一例を示すフローチャートである。図2及び図4を参照して、この動作について説明する。なお以下の説明において、ロック対象指定レジスタ42には、既にロック操作対象のロックフラグ18を特定する値が格納されているものとする。

## 【0038】

まずステップS1において、SPRロード部27が特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15のロック操作レジスタ43にロードアクセスをする。この場合のロードアクセス命令は特殊な命令であり、アクセス動作とともに、汎用レジスタ群29の所定の汎用レジスタの値が、特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15に供給される。

30

## 【0039】

次にステップS2において、以下の処理が実行される。第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18を読み出すように、第2の排他制御機構16に要求する。第2の排他制御機構16のバスアービトラション回路50は複数の第1の排他制御機構15からの要求の調停を行い、指定されたロックフラグ18の値を読み出し、読み出した値を第1の排他制御機構15に供給する。第1の排他制御機構15は、読み出したロックフラグ18の値をプロセッサ10に供給する。プロセッサ10は、読み出したロックフラグ18の値を上記所定の汎用レジスタに格納する。

40

## 【0040】

また第1の排他制御機構15は、ロードアクセス動作とともにプロセッサ10から供給された汎用レジスタに元々格納されていた値を、指定されたロックフラグ18に格納する。即ち第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18に指定された値を書き込むように、第2の排他制御機構16に要求する。これに応じて第2の排他制御機構16のバスアービトラション回路50は、指定されたロックフラグ18に指定された値を書き込む。

## 【0041】

このようにしてプロセッサ10は、所定の汎用レジスタの値と指定されたロックフラグ

50



18の値とを交換することができる。なおこの動作はアトミック動作として実行される。これにより排他制御に適したロック操作を高速に実現することが可能になる。

【0042】

図5は、図2のマルチプロセッサシステムの別の動作の一例を示すフローチャートである。図2及び図5を参照して、この動作について説明する。なお以下の説明において、ロック対象指定レジスタ42には、既にロック操作対象のロックフラグ18を特定する値が格納されているものとする。

【0043】

まずステップS1において、SPRロード部27が特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15のロック操作レジスタ43にロードアクセスをする。この場合のロードアクセス命令は特殊な命令であり、アクセス動作とともに、汎用レジスタ群29の所定の汎用レジスタの値が、特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15に供給される。

10

【0044】

次にステップS2において、以下の処理が実行される。第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18を読み出すように、第2の排他制御機構16に要求する。第2の排他制御機構16のバスアービトラーション回路50は複数の第1の排他制御機構15からの要求の調停を行い、指定されたロックフラグ18の値を読み出し、読み出した値を第1の排他制御機構15に供給する。第1の排他制御機構15は、読み出したロックフラグ18の値をロック操作前値保持レジスタ44に格納する。

20

【0045】

また第1の排他制御機構15は、ロードアクセス動作とともにプロセッサ10から供給された汎用レジスタの値を、指定されたロックフラグ18に格納する。即ち第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18に指定された値を書き込むように、第2の排他制御機構16に要求する。これに応じて第2の排他制御機構16のバスアービトラーション回路50は、指定されたロックフラグ18に指定された値を書き込む。

【0046】

このようにしてプロセッサ10は、指定されたロックフラグ18の値をロック操作前値保持レジスタ44に格納するとともに、所定の汎用レジスタの値を指定されたロックフラグ18に格納することができる。なおこの動作はアトミック動作として実行される。これにより排他制御に適したロック操作を高速に実現することが可能になる。

30

【0047】

図6は、図2のマルチプロセッサシステムの別の動作の一例を示すフローチャートである。図2及び図6を参照して、この動作について説明する。なお以下の説明において、ロック対象指定レジスタ42には、既にロック操作対象のロックフラグ18を特定する値が格納されているものとする。

【0048】

まずステップS1において、SPRロード部27が特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15のロック操作レジスタ43にロードアクセスをする。この場合のロードアクセス命令は特殊な命令であり、アクセス動作とともに、汎用レジスタ群29の所定の汎用レジスタの値が、特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15に供給される。

40

【0049】

次にステップS2において、以下の処理が実行される。第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18を読み出すように、第2の排他制御機構16に要求する。第2の排他制御機構16のバスアービトラーション回路50は複数の第1の排他制御機構15からの要求の調停を行い、指定されたロックフラグ18の値を読み出し、読み出した値を第1の排他制御機構15

50

に供給する。第1の排他制御機構15は、読み出したロックフラグ18の値を所定の値（この場合はゼロ）と比較する。この例において、ゼロは当該ロックフラグ18がロックされていないことを示す値である。読み出したロックフラグ18の値がゼロである場合、ステップS3で以下の処理が実行される。

【0050】

第1の排他制御機構15は、読み出したロックフラグ18の値をプロセッサ10に供給する。プロセッサ10は、読み出したロックフラグ18の値を上記所定の汎用レジスタに格納する。また第1の排他制御機構15は、ロードアクセス動作とともにプロセッサ10から供給された汎用レジスタに元々格納されていた値を、指定されたロックフラグ18に格納する。即ち第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18に指定された値を書き込むように、第2の排他制御機構16に要求する。これに応じて第2の排他制御機構16のバスアービトレーション回路50は、指定されたロックフラグ18に指定された値を書き込む。

10

【0051】

このようにしてプロセッサ10は、ロックフラグ18がロックされていない場合に、所定の汎用レジスタの値と指定されたロックフラグ18の値とを交換することができる。なおこの動作はアトミック動作として実行される。これにより排他制御に適したロック操作を高速に実現することが可能になる。

【0052】

図7は、図2のマルチプロセッサシステムの別の動作の一例を示すフローチャートである。図2及び図7を参照して、この動作について説明する。なお以下の説明において、ロック対象指定レジスタ42には、既にロック操作対象のロックフラグ18を特定する値が格納されているものとする。

20

【0053】

まずステップS1において、SPRロード部27が特殊用途レジスタ・インターフェース17を介して第1の排他制御機構15のロック操作レジスタ43にロードアクセスをする。この場合のロードアクセス命令は特殊な命令であり、指定されたロックフラグ18の内容を読み出すとともに、このロックフラグ18の内容を指定された値だけインクリメントするためのものである。

【0054】

次にステップS2において、以下の処理が実行される。第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18を読み出すように、第2の排他制御機構16に要求する。第2の排他制御機構16のバスアービトレーション回路50は複数の第1の排他制御機構15からの要求の調停を行い、指定されたロックフラグ18の値を読み出し、読み出した値を第1の排他制御機構15に供給する。第1の排他制御機構15は、読み出したロックフラグ18の値をプロセッサ10に供給する。プロセッサ10は、読み出したロックフラグ18の値を汎用レジスタ群29の所定の汎用レジスタに格納する。

30

【0055】

また第1の排他制御機構15は、読み出したロックフラグ18の値に所定の値（この例では1）を加算した値を、指定されたロックフラグ18に格納する。即ち第1の排他制御機構15のロック操作制御回路41は、ロック対象指定レジスタ42の内容で指定されるロックフラグ18に加算後の値を書き込むように、第2の排他制御機構16に要求する。これに応じて第2の排他制御機構16のバスアービトレーション回路50は、指定されたロックフラグ18に加算後の値を書き込む。

40

【0056】

このようにしてプロセッサ10は、指定されたロックフラグ18の値を所定の汎用レジスタに格納するとともに、指定されたロックフラグ18の内容を所定の値だけインクリメントすることができる。なおこの動作はアトミック動作として実行される。これにより排他制御に適したロック操作を高速に実現することが可能になる。

50

## 【 0 0 5 7 】

図 8 は、図 2 のマルチプロセッサシステムの解除待ち動作の一例を示すシーケンス図である。図 2 及び図 8 を参照して、この解除待ち動作について説明する。

## 【 0 0 5 8 】

まずプロセッサ 1 0 ( P E # 0 ) の S P R ストア部 2 8 が、特殊用途レジスタ・インターフェイス 1 7 を介して第 1 の排他制御機構 1 5 のロック対象指定レジスタ 4 2 に、ロック操作対象となるロックフラグ 1 8 を識別する番号を設定する ( S 1 )。他のプロセッサ 1 0 ( P E # 1 ) が、対応する第 1 の排他制御機構 1 5 のロック対象指定レジスタ 4 2 に、ロック操作対象となるロックフラグ 1 8 を識別する番号を設定する ( S 2 )。S 1 で指定されるロックフラグ 1 8 と S 2 で指定されるロックフラグ 1 8 とは同一である。

10

## 【 0 0 5 9 】

次に、プロセッサ 1 0 ( P E # 0 ) の S P R ストア部 2 8 が、特殊用途レジスタ・インターフェイス 1 7 を介して、第 1 の排他制御機構 1 5 のロック解除待ちレジスタ 4 5 に値を書き込む要求をする ( S 3 )。この処理の後に、プロセッサ 1 0 ( P E # 0 ) は解除待ち状態で動作を停止する。P E # 0 に対応する第 1 の排他制御機構 1 5 のロック操作制御回路 4 1 は、ロック対象指定レジスタ 4 2 の内容で指定されるロックフラグ 1 8 について、プロセッサ 1 0 ( P E # 0 ) がロック解除待ちすることを第 2 の排他制御機構 1 6 に通知する ( S 4 )。第 2 の排他制御機構 1 6 は、P E # 0 に対応する P E 解除待ちロック番号レジスタ 5 2 に、指定されるロックフラグ 1 8 を示す番号を格納する。

## 【 0 0 6 0 】

プロセッサ 1 0 ( P E # 1 ) は、対応する第 1 の排他制御機構 1 5 に、ロック操作対象となるロックフラグ 1 8 を解除するように要求する ( S 5 )。これは例えば S P R ストア命令により、解除を示す値 ( 例えば 0 ) をロック操作レジスタ 4 3 に書き込むように要求することで行われる。これに応じて P E # 1 に対応する第 1 の排他制御機構 1 5 が、第 2 の排他制御機構 1 6 に指定されたロックフラグ 1 8 を解除するように指示する。

20

## 【 0 0 6 1 】

第 2 の排他制御機構 1 6 のロック解除通知ユニット 5 1 は、P E # 0 に対応する P E 解除待ちロック番号レジスタ 5 2 により指定されたロックフラグ 1 8 が解除されたことを検出して、P E # 0 に対応する第 1 の排他制御機構 1 5 のロック解除待ち制御回路 4 0 に解除を通知する ( S 6 )。ロック解除待ち制御回路 4 0 は、第 2 の排他制御機構 1 6 からロック解除が通知されると、プロセッサ 1 0 ( P E # 0 ) の実行制御ユニット 3 4 に対してプロセッサ 1 0 の動作の実行を再開するように指示する。

30

## 【 0 0 6 2 】

これによりプロセッサ 1 0 は、所望のロックフラグ 1 8 の解除を待つ状態で動作を停止し、ロックフラグ 1 8 が解除されると動作を再開して共有リソースに対する排他的アクセスを実行することができる。

## 【 0 0 6 3 】

また前述したように、第 2 の排他制御機構 1 6 にはロック解除待ち割り込み発生ユニット 5 3 が設けられており、これに基づいた割り込み制御をすることも可能である。即ち、ロック解除待ちをしているプロセッサ 1 0 がある場合に、解除待ちの対象であるロックが解除されたことを検出すると、割り込みユニット 6 0 に割り込み発生を指示をする。この割り込み発生指示に応じて、割り込みユニット 6 0 がロック解除待ちをしているプロセッサ 1 0 に割り込みを発生させる。ロック解除待ちをしていたプロセッサ 1 0 は、割り込みに応じて、ロック解除待ちの対象であった共有リソースに対する排他的アクセスを実行することができる。この場合の動作は、ロック解除通知ユニット 5 1 ではなくロック解除待ち割り込み発生ユニット 5 3 が解除を検出・通知すること、ロック解除待ち制御回路 4 0 ではなく割り込みユニット 6 0 がプロセッサ 1 0 に解除を通知すること、プロセッサ 1 0 は動作停止するのではなく別の動作を実行することを除けば、上記のロック解除待ちの動作と略同様であり、詳細な説明は省略する。

40

## 【 0 0 6 4 】

50

上記実施例において、共有リソースとしては主記憶装置 12 のみが示されたが、本発明のロックフラグ 18 で排他制御管理が可能な共有リソースはメモリに限られるものではない。複数のプロセッサ 10 で共有されるデバイスであれば、システム内蔵デバイスであれ、周辺デバイスであれ、ロックフラグ 18 を用いて高速な排他制御管理が可能である。

【0065】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【図面の簡単な説明】

【0066】

【図 1】本発明によるマルチプロセッサシステムの原理構成を示す構成図である。

10

【図 2】本発明によるマルチプロセッサシステムの実施例の一例を示す構成図である。

【図 3】図 2 のマルチプロセッサシステムの基本動作の一例を示すシーケンス図である。

【図 4】図 2 のマルチプロセッサシステムの動作の一例を示すフローチャートである。

【図 5】図 2 のマルチプロセッサシステムの別の動作の一例を示すフローチャートである。

【図 6】図 2 のマルチプロセッサシステムの別の動作の一例を示すフローチャートである。

【図 7】図 2 のマルチプロセッサシステムの別の動作の一例を示すフローチャートである。

【図 8】図 2 のマルチプロセッサシステムの解除待ち動作の一例を示すシーケンス図である。

20

【符号の説明】

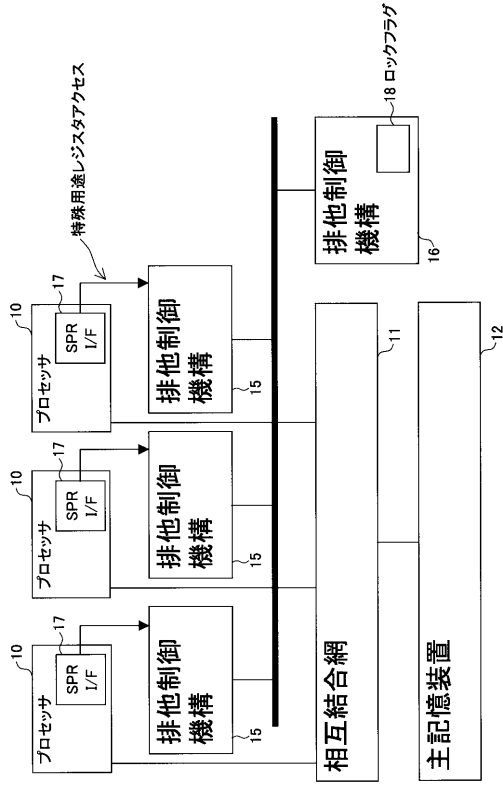
【0067】

- 10 プロセッサ
- 11 相互結合網
- 12 主記憶装置
- 15 第 1 の排他制御機構
- 16 排他制御機構
- 17 特殊用途レジスタ・インターフェース
- 18 ロックフラグ

30

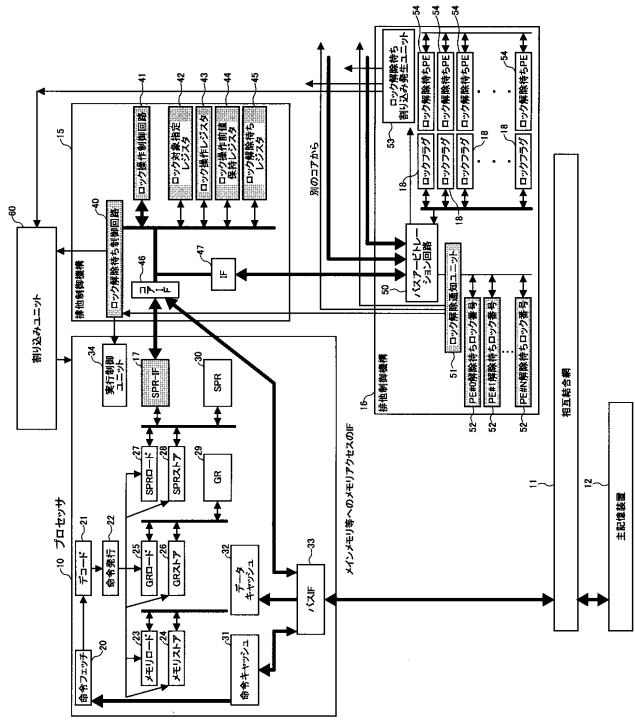
【 図 1 】

本発明によるマルチプロセッサシステムの原理構成を示す構成図



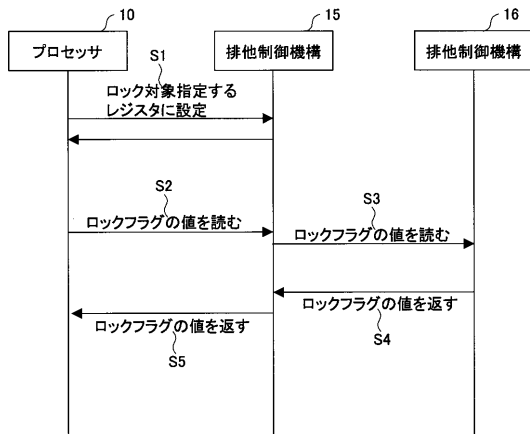
【 図 2 】

本発明によるマルチプロセッサシステムの実施例の一例を示す構成図



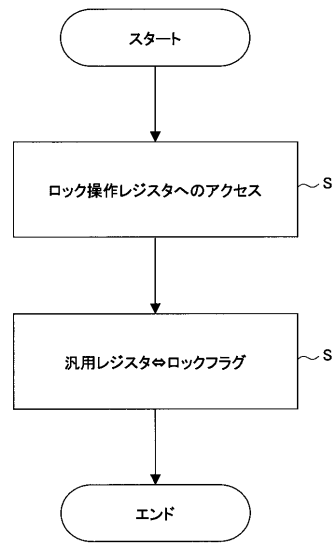
【 図 3 】

図2のマルチプロセッサシステムの基本動作の一例を示すシーケンス図



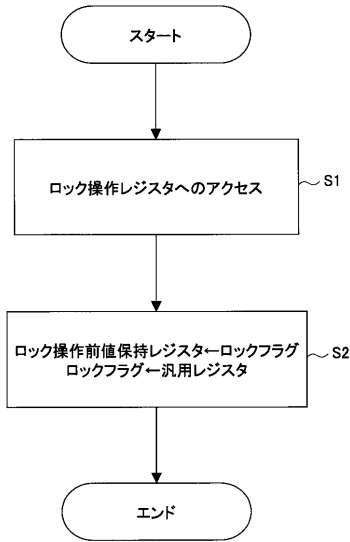
【 図 4 】

図2のマルチプロセッサシステムの動作の一例を示すフローチャート



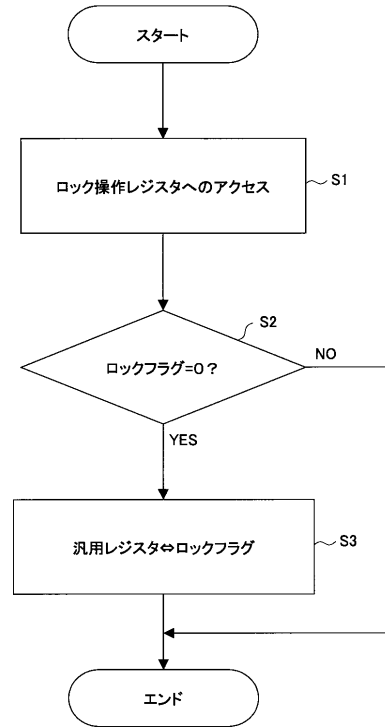
【 図 5 】

図2のマルチプロセッサシステムの別の動作の一例を示すフローチャート



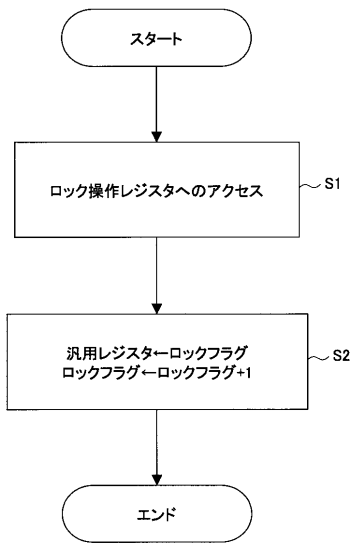
【 図 6 】

図2のマルチプロセッサシステムの別の動作の一例を示すフローチャート



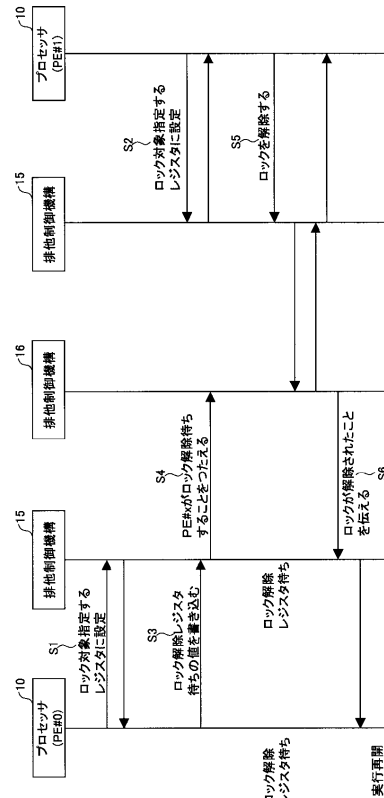
【 図 7 】

図2のマルチプロセッサシステムの別の動作の一例を示すフローチャート



【 図 8 】

図2のマルチプロセッサシステムの解除待ち動作の一例を示すシーケンス図



フロントページの続き

(72)発明者 竹部 好正

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5B045 DD01 DD12 EE01 EE18 EE38

5B060 CD17 KA02 KA04