



(12) 发明专利申请

(10) 申请公布号 CN 101728287 A

(43) 申请公布日 2010.06.09

(21) 申请号 200910175101.1

(22) 申请日 2009.09.16

(30) 优先权数据

PI20084228 2008.10.23 MY

(71) 申请人 嘉盛马来西亚公司

地址 马来西亚怡保-霹雳

(72) 发明人 许丽丽 杨林威 卢重强

(74) 专利代理机构 中国国际贸易促进委员会专  
利商标事务所 11038

代理人 屠长存

(51) Int. Cl.

H01L 21/60(2006.01)

H01L 23/482(2006.01)

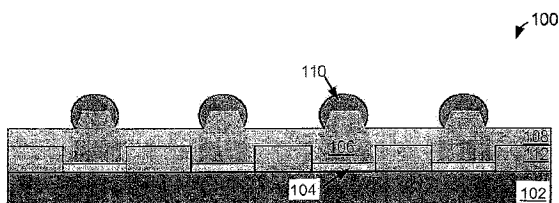
权利要求书 3 页 说明书 6 页 附图 7 页

(54) 发明名称

使用涂覆有焊料的柱形凸起的晶片级封装

(57) 摘要

本发明涉及使用涂覆有焊料的柱形凸起的晶片级封装。公开一种加工晶片级封装的方法。在一个实施方式中,该方法包括在还没有拆分的半导体晶片上加工至少一个有源器件,所述有源器件具有在所述晶片上表面处露出的多个结合区。在拆分所述半导体晶片之前,用引线结合工具形成所述多个结合区上的多个对应的柱形凸起。然后,在所述半导体晶片上施加模制密封层,使得所述多个柱形凸起中的每一个的上部被露出。



1. 一种加工晶片级封装的方法,包括:

在还没有拆分的半导体晶片上加工至少一个有源器件,所述有源器件具有在所述晶片的上表面露出的多个结合区;并且

在拆分所述半导体晶片之前:(i) 在所述多个结合区上形成多个对应的柱形凸起,然后(ii) 在所述半导体晶片之上施加模制密封层,使得多个柱形凸起中的每一个的上部被露出。

2. 根据权利要求1所述的加工晶片级封装的方法,还包括在将所述模制密封层施加到所述半导体晶片上之后拆分所述半导体晶片,以使所述有源器件从所述晶片分离。

3. 根据权利要求1所述的加工晶片级封装的方法,其中在所述多个结合区上形成的多个柱形凸起是利用引线结合工具由铜引线形成的铜柱形凸起。

4. 根据权利要求1所述的加工晶片级封装的方法,其中在所述多个结合区上形成的多个柱形凸起是利用引线结合工具由金或铝引线形成的金或铝柱形凸起。

5. 根据权利要求1所述的加工晶片级封装的方法,其中通过形成堆叠的柱形凸起或增加从其形成柱形凸起的引线的直径来增加柱形凸起的高度。

6. 根据权利要求1所述的加工晶片级封装的方法,其中在所述多个结合区上形成的多个对应柱形凸起是通过至少形成直接覆盖第一组凸起的第二组凸起而形成的堆叠的柱形凸起,其中所述第一组和第二组凸起中的每一个是用引线结合工具形成的。

7. 根据权利要求1所述的加工晶片级封装的方法,其中所述模制密封层密封所述柱形凸起的凸起高度的50-75%。

8. 根据权利要求1所述的加工晶片级封装的方法,其中所述模制密封层在初始施加时完全密封所述柱形凸起,并且使用激光、背研磨或者其它处理使所述柱形凸起露出。

9. 根据权利要求1所述的加工晶片级封装的方法,还包括用焊料涂覆所述多个柱形凸起中的每一个。

10. 根据权利要求1所述的加工晶片级封装的方法,还包括在将所述多个柱形凸起形成在所述结合区上并且将模制密封层施加到所述半导体晶片上之后拆分所述半导体晶片。

11. 根据权利要求10所述的加工晶片级封装的方法,还包括:

用焊料涂覆所述多个柱形凸起中的每一个;

回流所述焊料;

使用焊剂清洁处理所述柱形凸起;以及

在此之后拆分所述半导体晶片以形成多个晶片级封装。

12. 根据权利要求1所述的加工晶片级封装的方法,其中所述多个结合区采用外围形式或阵列形式。

13. 根据权利要求1所述的加工晶片级封装的方法,其中用于形成所述多个柱形凸起的引线结合工具包括具有用于分配引线的馈送孔的毛细管、底面以及在底面处围绕所述馈送孔的斜面,并且其中在所述结合区上形成的多个柱形凸起中的每一个是通过以下步骤形成的:

朝向所述半导体晶片降低所述毛细管,以使得在不断开引线的情况下所述引线从所述馈送孔凸出的部分与对应的结合区接触并形成第一结合部分;

从所述半导体晶片升高所述毛细管,同时使得在不断开所述引线的情况下所述引线的

凸出部分与所述结合区保持接触；

在平行于所述半导体晶片上表面的方向上使所述毛细管从所述第一结合部分偏移；

降低所述毛细管使得所述毛细管的底面接触所述柱形凸起并使所述柱形凸起的顶表面平坦；以及

从所述半导体管芯移开所述毛细管以使所述引线与所述柱形凸起分离。

14. 一种加工多个晶片级封装的方法，包括：

在还没有拆分的半导体晶片上加工多个有源器件，其中所述有源器件中的每一个具有在所述晶片上表面处露出的多个结合区；并且

在拆分所述半导体晶片以分离所述多个有源器件之前：(i) 针对所述多个有源器件中的每一个，使用引线结合工具形成与和所述有源器件相关联的多个结合区相对应的多个铜柱形凸起，(ii) 在所述半导体晶片之上施加模制密封层，使得在每个所述有源器件上形成的所述多个柱形凸起中的每一个的上部被露出，(iii) 在每个露出的铜柱形凸起之上施加焊膏，(iv) 回流所述焊膏，以及 (v) 用焊剂清洁所述衬底。

15. 根据权利要求 14 所述的加工多个晶片级封装的方法，还包括拆分所述半导体晶片以分离所述多个有源器件并形成所述多个晶片级封装。

16. 根据权利要求 15 所述的加工多个晶片级封装的方法，其中每个晶片级封装包括单个有源器件。

17. 根据权利要求 14 所述的加工单个晶片级封装的方法，其中所述多个柱形凸起是堆叠的柱形凸起，其中每个堆叠的柱形凸起是通过形成多个直接相互覆盖柱形凸起而形成的，其中柱形凸起堆叠中的多个柱形凸起中的每一个是用引线结合工具形成的。

18. 根据权利要求 14 所述的加工晶片级封装的方法，其中在所述多个结合区上形成的多个柱形凸起是铜柱形凸起。

19. 根据权利要求 14 所述的加工晶片级封装的方法，其中在所述多个结合区上形成的多个柱形凸起是金或铝柱形凸起。

20. 根据权利要求 14 所述的加工晶片级封装的方法，其中所述模制密封层密封所述柱形凸起的凸起高度的 50-75%。

21. 一种半导体晶片封装，包括：

具有上表面的半导体管芯；

在所述半导体管芯上形成的多个结合区；

与所述多个结合区相对应的多个铜柱形凸起，在没有柱形凸起和结合区之间的凸起下金属化的情况下每个铜柱形凸起直接耦接到结合区；以及

覆盖所述半导体管芯同时使所述多个柱形凸起中的每一个的上部被露出的密封层。

22. 根据权利要求 21 所述的半导体晶片封装，还包括与所述多个铜柱形凸起相对应的多个焊料球，其中每个焊料球附着到相应的一个铜柱形凸起。

23. 根据权利要求 21 所述的半导体晶片封装，其中所述多个柱形凸起中的每一个是堆叠的柱形凸起，所述堆叠的柱形凸起包括在彼此的顶部上堆叠的多个铜凸起。

24. 根据权利要求 21 所述的半导体晶片封装，其中所述封装不包括底部填充，并且具有足够的结构强度以满足晶片级封装的标准板级可靠性度量。

25. 一种使用引线结合工具在半导体管芯上形成柱形凸起的方法，该引线结合工具包

括具有用于分配引线的馈送孔的毛细管、底面和和在底面处围绕所述馈送孔的斜面,该方法包括:

提供其上形成有所述半导体管芯的半导体晶片;

在拆分所述半导体晶片之前:

(a) 朝向所述半导体晶片降低所述毛细管以使得在不断开所述引线的情况下所述引线从所述馈送孔凸出的部分与对应的结合区接触并形成第一结合部分;

(b) 从所述半导体晶片升高所述毛细管同时使得在不断开所述引线的情况下所述引线的凸出部分保持与所述结合区接触;

(c) 在平行于所述半导体晶片的上表面的方向上使所述毛细管从所述第一结合部分偏移;

(d) 降低所述毛细管使得所述毛细管的底面接触所述柱形凸起并使所述柱形凸起的顶表面平坦;以及

(e) 将所述毛细管从所述半导体管芯移开以使所述引线与所述柱形凸起分离。

26. 根据权利要求 25 所述的形成柱形凸起的方法,其中朝向所述半导体管芯降低所述毛细管的步骤还包括施加机械力、热或超声能量以改进所述引线的凸出部分和所述结合区之间的结合;其中偏移所述毛细管的步骤包括在引线结合处理期间移位所述半导体晶片定位在其上的台;并且其中降低所述毛细管以使所述柱形凸起的顶表面平坦的步骤还包括使得所述引线的凸出部分形成邻接所述第一结合部分的第二结合部分,其中所述柱形凸起由所述第一结合部分和第二结合部分构成。

## 使用涂覆有焊料的柱形凸起的晶片级封装

### 技术领域

[0001] 本发明一般涉及集成电路封装技术。更具体来说,本发明的实施方式涉及使用引线结合 (wire bonding) 技术形成用于晶片级封装的柱形凸起 (stud bump)。

### 背景技术

[0002] 集成电路在用于电子系统中之前通常被封装。集成电路 (IC) 封装保护集成电路不受周围环境影响并且提供与电子系统的其它组件的电连接。在传统封装结构中,包含集成电路的晶片首先被拆分成单个芯片,然后将其封装以进行测试和交付。这通常包括将晶片 (或拆分后的芯片) 从进行前端处理的半导体制造工厂运输到进行后端处理的单独的封装工厂以装配和封装 IC。

[0003] 相反,在晶片级封装方法中,在拆分之前在晶片上形成晶片级 IC 封装。该封装可以以芯片尺寸加工,并且与标准 IC 封装相比成本被降低。典型的晶片级封装使用焊料凸起以在封装后的半导体管芯和外部器件之间形成电连接。在焊料凸起的下面形成凸起下金属化 (underbump metallurgy, UMB) 以最小化与焊料的冶金反应 (metallurgical reaction) 并改善连接。

[0004] 尽管已经开发出大量商业上成功的晶片级封装处理,但是仍需要改进的晶片级封装。

### 发明内容

[0005] 本发明一般涉及晶片级封装技术。更具体来说,本发明的实施方式涉及使用引线结合技术形成用于晶片级封装的柱形凸起。

[0006] 在本发明的一个实施方式中,描述了加工晶片级封装的方法。该方法包括在还没有拆分的半导体晶片上加工至少一个有源器件 (active device), 所述有源器件具有在所述晶片上表面处露出的多个结合区 (bonding pad)。在拆分所述半导体晶片之前,用引线结合工具在所述多个结合区上形成多个对应的柱形凸起。然后,在所述半导体晶片之上施加模制密封层,使多个柱形凸起中的每一个的上部被露出。

[0007] 在一些实施方式中,柱形凸起是这样形成的:朝向半导体晶片降低引线结合工具的毛细管 (capillary), 以使得在不断开引线的情况下,引线从馈送孔凸出的部分与对应的结合区接触并形成第一结合部分;从半导体晶片升高毛细管,同时使得在不断开引线的情况下引线的凸出部分保持与结合区接触;在平行于半导体晶片的上表面的方向上使毛细管从第一结合部分偏移;降低毛细管使得毛细管的底面接触柱形凸起并使柱形凸起的顶表面平坦;以及将毛细管从半导体管芯移开以使引线与柱形凸起分离。

[0008] 在本发明的另一个实施方式中,描述了一种加工多个晶片级封装的方法。该方法包括在还没有拆分的半导体晶片上加工多个有源器件。每个有源器件具有在所述晶片上表面处露出的多个结合区。在拆分所述半导体晶片以分开所述多个有源器件之前,对于所述多个有源器件中的每一个,所述方法包括以下步骤:使用引线结合工具形成多个柱形凸起,

所述柱形凸起与和所述有源器件相关联的多个结合区相对应；在所述半导体晶片之上施加模制密封层，使在每个有源器件上形成的多个柱形凸起中的每一个的上部被露出；在每个露出的柱形凸起之上施加焊膏；回流所述焊膏；以及用焊剂清洁衬底。在一些特定实施方式中，所述多个柱形凸起是铜柱形凸起。

[0009] 在本发明的另一个特定实施方式中，提供一种半导体晶片封装。该封装包括具有上表面的半导体管芯，在所述半导体管芯上形成的多个结合区，以及与所述多个结合区相对应的多个柱形凸起。每个柱形凸起在没有所述柱形凸起和所述结合区之间的凸起下金属化的情况下直接耦接到结合区。所述封装另外包括覆盖所述半导体管芯的密封层，该密封层使多个柱形凸起中的每一个的上部被露出。在一些特定实施方式中，所述多个柱形凸起是铜柱形凸起。

[0010] 结合下面的说明和附图更详细地描述本发明的这些和其它实施方式以及其优点和特征。

### 附图说明

- [0011] 图 1 是根据本发明的一个实施方式的包含柱形凸起的晶片级封装的简化截面图；
- [0012] 图 2 是示出根据本发明实施方式在形成和拆分晶片级封装中采用的步骤的流程图；
- [0013] 图 3 是示出根据图 2 的流程图中所述的步骤形成和拆分晶片级封装的简化处理流程；
- [0014] 图 4A 至图 4D 是如图 2 和图 3 中所示的各形成阶段的晶片级封装的简化截面图；
- [0015] 图 5 是示出在根据本发明的一个实施方式的柱形凸起处理中采用的步骤的流程图；
- [0016] 图 6A 至图 6E 是根据本发明实施方式的包含柱形凸起的晶片级封装的形成的简化截面图；
- [0017] 图 7A 至图 7C 是示出根据本发明实施方式选择用于形成变化的的高度的凸起的角度的图；
- [0018] 图 8 是根据本发明另一实施方式的包含堆叠的柱形凸起的晶片级封装的简化截面图。

### 具体实施方式

[0019] 本发明一般涉及晶片级封装技术。更具体来说，本发明的实施方式涉及对用于形成晶片级封装的柱形凸起的引线结合技术的使用。

[0020] 图 1 是根据本发明实施方式的晶片级封装 100 的简化截面图。封装 100 包括半导体管芯 102，在前端处理期间使用传统的半导体制造处理在管芯 102 上形成一个或多个有源器件（未示出）。所述有源器件包括可以由铝或其它适合材料制成的结合区 104 和钝化层 112。钝化层使结合区 104 彼此电隔离以防止有源器件短路，并且该钝化层例如可以是氮化物层或者其它适合材料。结合区 104 可以被设计并加工成外围形式、阵列形式或任何其它适合的结构。

[0021] 晶片级封装 100 还包括涂覆有焊料 110 的柱形凸起 106，作为封装的互连。在没有

传统晶片级封装中使用的中间凸起下金属化层的情况下,使用引线结合技术(下面详细描述)直接在结合区 104 之上形成柱形凸起 106。在一个实施方式中,柱形凸起 106 由铜引线制成,但是本发明的其它实施方式可以使用由其它适合材料制成的引线来形成柱形凸起。

[0022] 模制密封层 108 围绕柱形凸起 106 的外表面,为晶片级封装 100 提供稳定性和环境保护。模制密封层 108 可以由塑料或环氧树脂形成,并且不覆盖柱形凸起 106 的全部。柱形凸起 106 从模制密封层 108 的突出允许半导体管芯 102 内的有源器件和封装的外部之间的电连接。

[0023] 图 2 是示出根据本发明实施方式形成和拆分晶片级封装中使用的步骤的流程图。为了更好地理解本发明,可以结合图 3 观看图 2,图 3 是示出根据本发明实施方式形成和拆分晶片级封装的简化处理流程。

[0024] 参见图 2 和图 3,提供晶片 300(步骤 202)。晶片 300 包括其上形成有有源器件的半导体管芯 302 和覆盖该半导体管芯的结合区。然后形成柱形凸起,覆盖该结合区(步骤 204)。在 304 中将该处理结果示为部分完成的封装。然后进行模制密封处理(步骤 206),在 306 中的部分完成的封装中,该模制密封处理使柱形凸起的上部被露出。

[0025] 在本发明的特定实施方式中,该模制过程密封柱形凸起的总凸起高度的 1/2-3/4。在另一个实施方式中,在初始沉积时模制层完全密封柱形凸起,但是然后使用激光、背研磨或其它技术使模制层打开,从而露出柱形凸起。柱形凸起 106 从模制密封层 108 的突出(图 1)提供了半导体管芯 102 内的有源器件和该封装的外部之间的引线。另外,模制密封层 108 的使用避免了对底部填充层(underfill layer)的需要,因此减小了为了进行出货而完全封装该器件所需的处理数量。在本发明的另一个实施方式中,可以使用包覆模制(overmolding)完全密封封装 100,然后使用蚀刻、激光蚀刻或研磨处理来露出柱形凸起。

[0026] 然后使用丝网印刷或浸焊处理在柱形凸起上沉积一层焊膏(步骤 208),形成部分完成的封装 308,并使用回流处理(步骤 210)将焊料形成为如 310 中的部分完成的封装中示出的更适合于电互连的球互连。在一个实施方式中,可以使用锡作为焊料,但是也可以使用其它适合的焊料。

[0027] 然后使用本领域技术人员已知的焊剂(flux)清洁处理清洁该晶片以从覆盖柱形凸起的焊料去除氧化物(步骤 212)。除了从焊料去除可能的氧化物以外,焊剂清洁处理还用于提高焊料的湿润特性以提高球和印刷电路板或其它器件之间的结合。将该处理的结果示为部分完成的封装 312。

[0028] 然后将该晶片拆分成单个封装的 IC 集成电路 314(步骤 214),可以将单个封装的 IC 集成电路 314 包装在带子和卷轴或华夫盘装(waffle pack)上,以作为完成的产品运送给客户。拆分后形成的每个晶片级封装 314 包括一个或多个有源器件。在一些实施方式中,在拆分之前进行晶片级测试和芯片的老化(burn-in)。与拆分之后对每个芯片封装单独进行类似的处理相比,这节约了成本。

[0029] 图 4A 至图 4D 表示在图 2 和图 3 中所描述的各形成步骤的晶片级封装 100 的简化截面图。具体来说,图 4A 示出在图 2 的步骤 202 的封装 100;图 4B 示出在步骤 204 的封装 100;图 4C 示出在步骤 206 的封装,而图 4D 示出在步骤 208 的封装。

[0030] 与传统实施方式相比,根据图 2 中所述的步骤形成的晶片级封装可以以更低的成本形成。使用引线结合形成柱形凸起避免了对使用凸起下金属化层的需要,同时仍保持柱

形凸起和下面的结合区之间的可靠互连。这又减少了对通常用于形成凸起下金属化层的掩模、蚀刻或镀金属处理的需要。另外,完成的晶片封装 100 具有足够的结构强度,在本发明的一些实施方式中,在不采用用于板安装的底部填充层的情况下,它满足了晶片级封装的标准板级可靠性度量 (board-level reliability metrics)。

[0031] 图 5 是示出根据本发明的一个实施方式的用于形成柱形凸起 106 的步骤的流程图。可以结合图 6A 至 6E 观看图 5,图 6A 至图 6E 是在根据本发明实施方式的柱形凸起形成处理各阶段的引线结合工具的简化截面图。

[0032] 如图 5 中所示,半导体晶片 (例如图 3 中所示的晶片 300) 被定位在与适当的引线结合工具相关联的台上 (步骤 502)。在晶片 300 上形成有多个集成电路,每个集成电路包括多个结合区 (在图 6A 至图 6E 中被表示为结合表面 612)。引线结合工具包括毛细管 602,在引线结合操作期间,毛细管 602 的底面 606 位于结合表面 612 的上方。引线结合工具还包括用于容纳引线 608 的馈送孔 (未标出) 和在底面 606 处围绕该馈送孔的斜面 604。

[0033] 毛细管 602 包含引线 608,引线 608 可以在毛细管 602 内从馈送孔 614 逐渐伸出。例如,引线 608 可以容纳在用于精确控制引线 608 从毛细管 602 的伸出的量的螺线毛细管中。可以使用电气火焰熄灭工具 (electric flame-off tool) (未示出) 将引线 608 的端部形成无空气球 (free air ball) (未示出),以进行最优沉积。然后毛细管 602 可以在斜面区域 604 内捕获该无空气球,并且该无空气球然后下降到结合表面 612 以形成柱形凸起 610。

[0034] 在该结合形成处理期间,毛细管 602 下降使得引线 608 的凸出部分成为接点并且在结合表面 612 上形成结合 (步骤 504)。可以使用多种不同的引线结合技术来形成柱形凸起 610,并将柱形凸起 610 结合到结合表面 612,包括压力结合、热压结合、热声结合以及超声结合。通过施加机械力、热和 / 或超声能量,在柱形凸起 610 和结合表面 612 之间形成结合。结合表面 612 可以例如是覆盖在包括一个或多个有源器件的半导体管芯上的结合区。图 6A 中示出在该阶段柱形凸起 610 的初始形成。

[0035] 然后毛细管 602 从结合表面 612 升起,同时允许柱形凸起 610 在不断开引线 608 的情况下保持与结合表面 612 接触 (步骤 506)。因此,在处理 506 期间柱形凸起 610 仍与引线 608 耦接。图 6B 中示出了该处理的结果。接下来,使结合表面 612 和柱形凸起 610 从毛细管 602 偏移宽度  $W$  (步骤 508),同时引线仍然附着到柱形凸起的顶部。可以通过移位可拆卸地耦接到半导体管芯的台从而使结合表面 612 和柱形凸起 610 在横向上平移来完成该偏移。作为选择,还可以移动毛细管 602,同时保持结合表面 612 和柱形凸起 610 固定。横向偏移的效果是毛细管 602 从结合表面 612 和柱形凸起 610 移位了宽度  $W$ 。在一些实施方式中,宽度  $W$  在引线尺寸的直径的 1.0-2.0 倍的范围内。图 6C 中示出该处理的结果。

[0036] 然后使毛细管 602 向下下降,使得毛细管 602 的底面 606 接触柱形凸起 610,引线的拉出部分 (仍然连接到柱形凸起的顶表面上) 向下压在柱形凸起的顶表面上 (步骤 510)。该步骤使柱形凸起的顶部平坦,并形成本文中所称的第二结合部分。作为与更垂直表面相比的侧壁表面量增加的结果,柱形凸起 610 上的平坦表面使得焊膏更容易沉积并附着到柱形凸起上。图 6D 中示出该处理的结果。

[0037] 接下来,向上移动毛细管 602 以使引线 608 从柱形凸起 610 分开 (步骤 512)。整个毛细管的向上移动用于使引线 608 从保持与结合表面 612 结合的柱形凸起 610 断开。由

于前面的步骤产生的强结合,引线的上拉和断开不影响柱形凸起 610 顶部的平坦形貌。图 6E 中示出该处理的结果。通过使用该处理,可以获得引线 608 和结合表面 612 之间的无火花断路 (clean break),使得可以重复处理流程 500 以在剩余的结合区上形成另外的柱形凸起。下面的表格 1 中给出了使用图 6A-6E 中描述的处理形成的典型柱形凸起的高度和宽度的例子。

[0038]

引线尺寸	凸起类型	凸起高度	凸起尺寸
1.0mil	单个凸起	$50 \pm 10 \mu\text{m}$	$85 \pm 10 \mu\text{m}$
1.0mil	二堆叠凸起	$90 \pm 10 \mu\text{m}$	$90 \pm 10 \mu\text{m}$
1.0mil	三堆叠凸起	$125 \pm 10 \mu\text{m}$	$95 \pm 10 \mu\text{m}$
2.0mil	单个凸起	$101 \pm 10 \mu\text{m}$	$140 \pm 10 \mu\text{m}$
4.0mil	单个凸起	$150 \pm 10 \mu\text{m}$	$317 \pm 20 \mu\text{m}$

[0039] 表格 1

[0040] 图 7A-7C 是示出根据本发明的实施方式可以用于形成变化的的高度的凸起的不同毛细管设计的图。例如,本领域的技术人员可以使用图 7A 中示出的角度和尺度来设计球高度是最终期望的凸起总高度的 70% 的毛细管。类似地,图 7B 和图 7C 示出可以用于设计具有不用内部倾斜角的毛细管以形成期望的凸起尺寸的角度和尺度。因为改变引线结合器件需要改变在毛细管中使用的凸起参数,因此使用不同的角度选择参数使得灵活性增加。

[0041] 在本发明的一些实施方式中,可以形成堆叠的柱形凸起以增加特定封装的柱形凸起的高度。图 8 中示出这种封装的例子,其是包含根据本发明实施方式的堆叠柱形凸起设计的晶片级封装的简化截面图。如果需要柱形凸起高度增加以使晶片级封装 800 与印刷电路器件或其它器件耦接,则可以使用图 8 中所示的晶片级封装 800。图 8 与图 1 共有许多类似的元件,如半导体管芯 102、结合区 104、钝化层 112、密封层 108 以及焊料 110。封装 100 和封装 800 之间的主要差别是:封装 800 包括通过在柱形凸起 106 上直接堆叠柱形凸起 814 而形成的堆叠柱形凸起。柱形凸起 814 基本上是通过将图 5 和图 6A-6E 中描述的柱形凸起形成处理重复两次而形成的。柱形凸起 806 是通过直接覆盖第一柱形凸起 106 而形成的,并且向封装 800 提供附加的高度从而获得改进的互连。因此,根据具体的封装凸起高度要求,包括两个、三个或更多个柱形凸起的堆叠柱形凸起是可能的。例如,堆叠的柱形凸起 106、806 的典型高度在 3-6mm 之间,大约是在封装 100 中形成的柱形凸起的高度的两倍。正如面积阵列 (area-array) 封装所经常要求的,堆叠柱形凸起的使用使得能够在不增加凸起直径的情况下增加凸起高度。典型地,使用相同的材料 (例如,铜) 来形成堆叠柱形凸起结构中的全部多个柱形凸起。

[0042] 增加凸起高度的可选方法是使用更大直径的引线,这是因为形成之后的最终凸起高度与所使用的引线的直径相关联。通过使用较粗的引线和适合的参数,所获得的凸起高度可以比得上使用堆叠凸起处理而获得的凸起高度。例如,可以使用直径在 1-4mm 之间的

铜引线来形成柱形凸起。

[0043] 给出了上面的描述以帮助阐明本发明的原理。该描述决不意图以任何方式限制本发明的范围。在本发明的范围内所包含的很多种变形是显而易见的。

[0044] 尽管已将柱形凸起 104 描述为使用铜处理形成的,但是可以使用其它适合的可用于球结合的引线材料来代替铜形成柱形凸起。作为例子,在其它实施方式中可以用金或铝引线制成柱形凸起。此外,尽管参照本发明的特定例子详细描述了本发明,但是在不背离本发明的精神和范围的情况下可以进行各种变化和修改,这对本领域的技术人员来说是显而易见的。

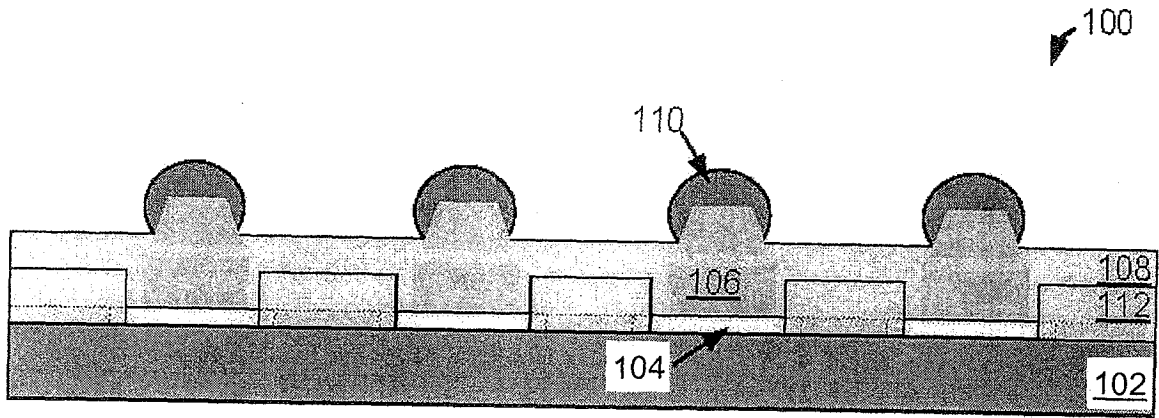


图 1

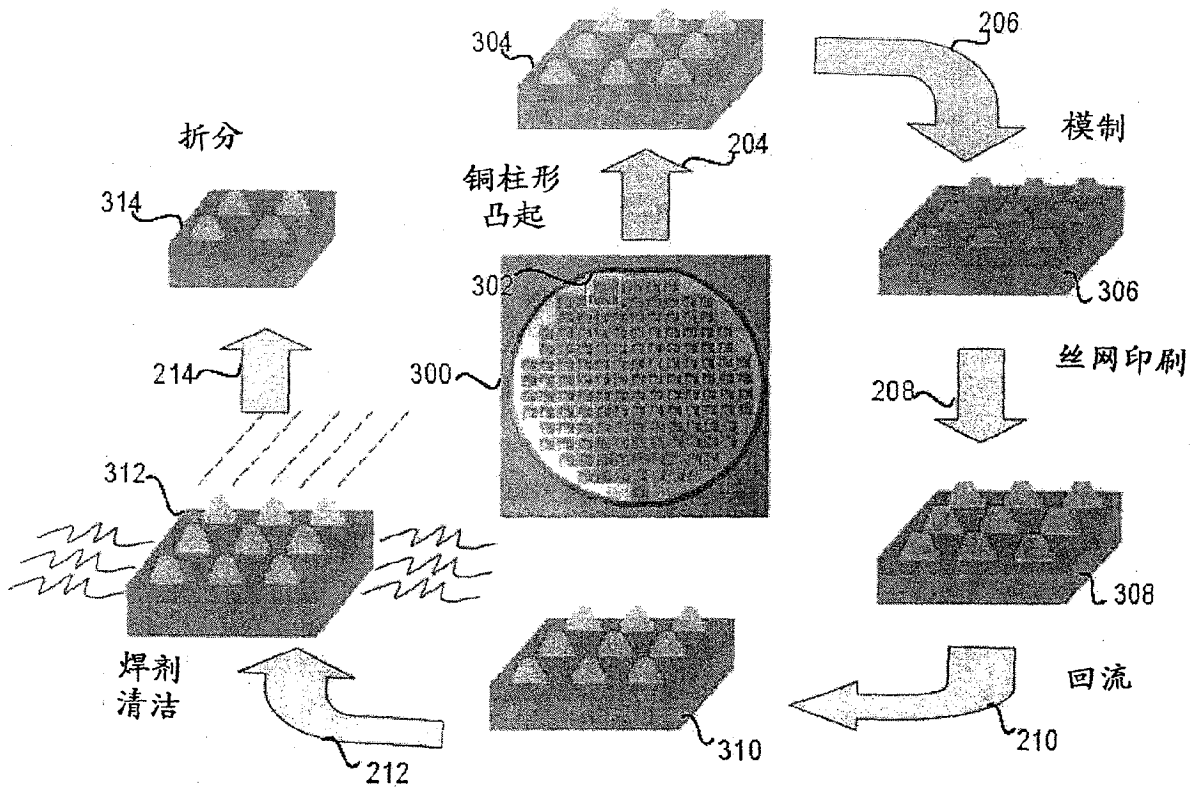


图 3

200

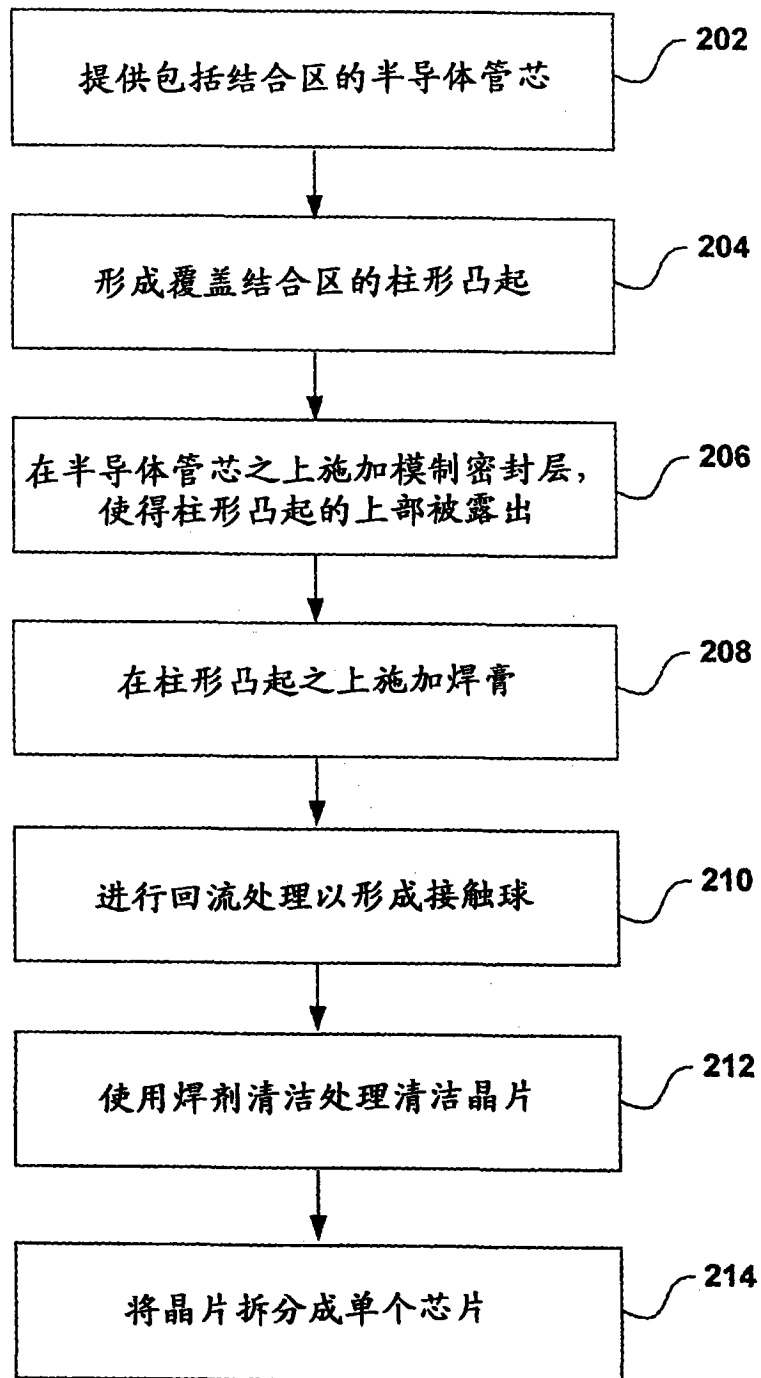


图 2

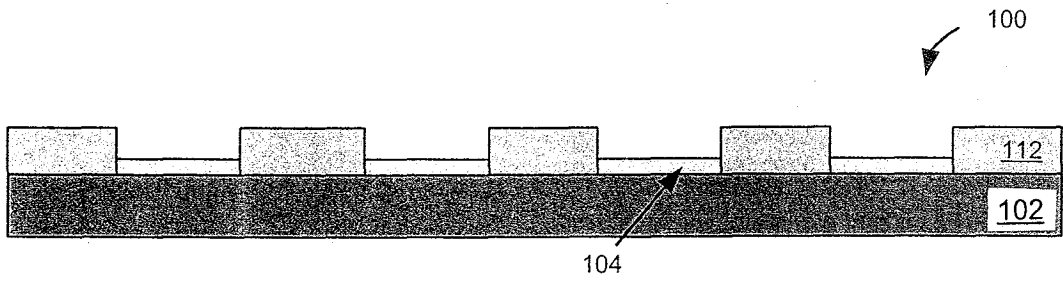


图 4A

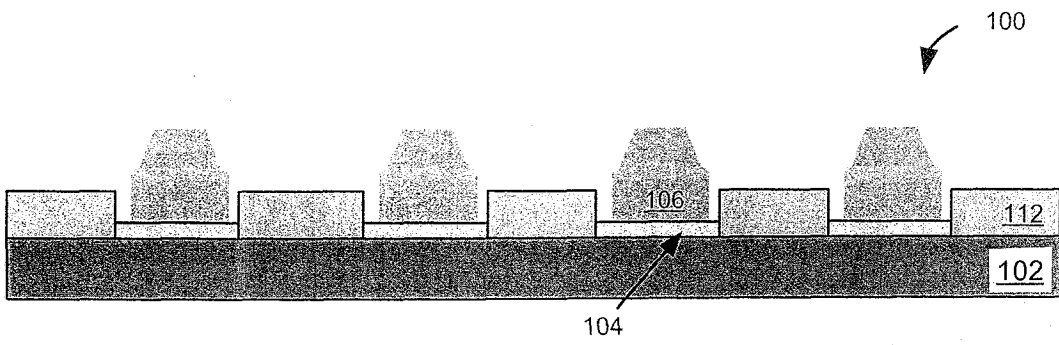


图 4B

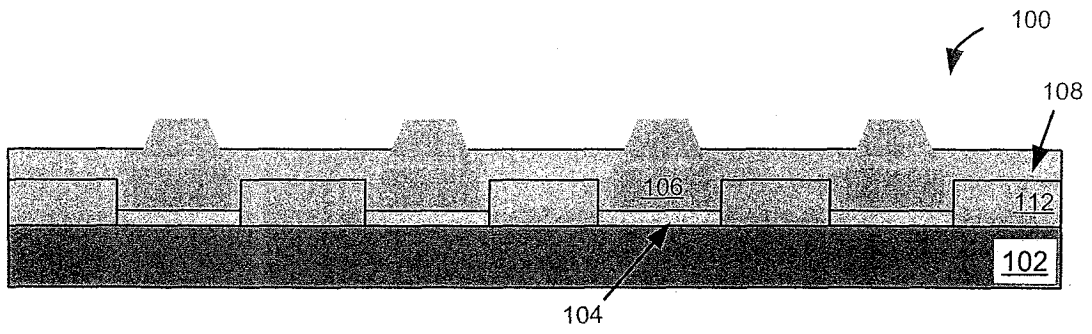


图 4C

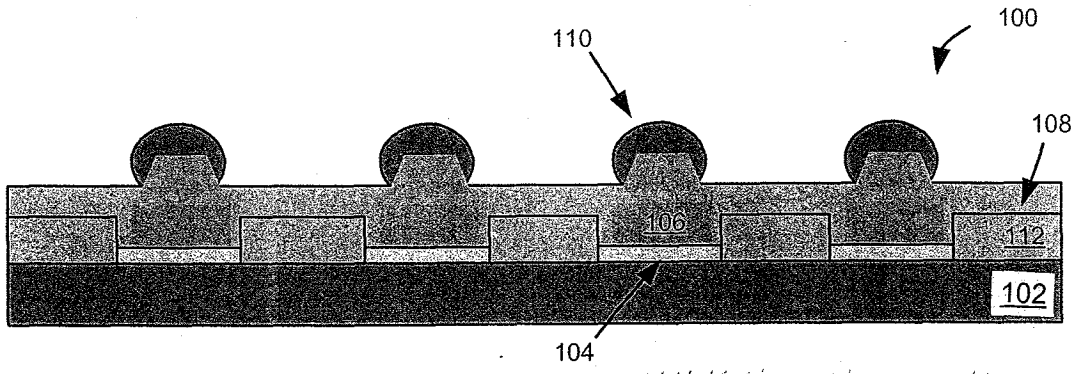


图 4D

500

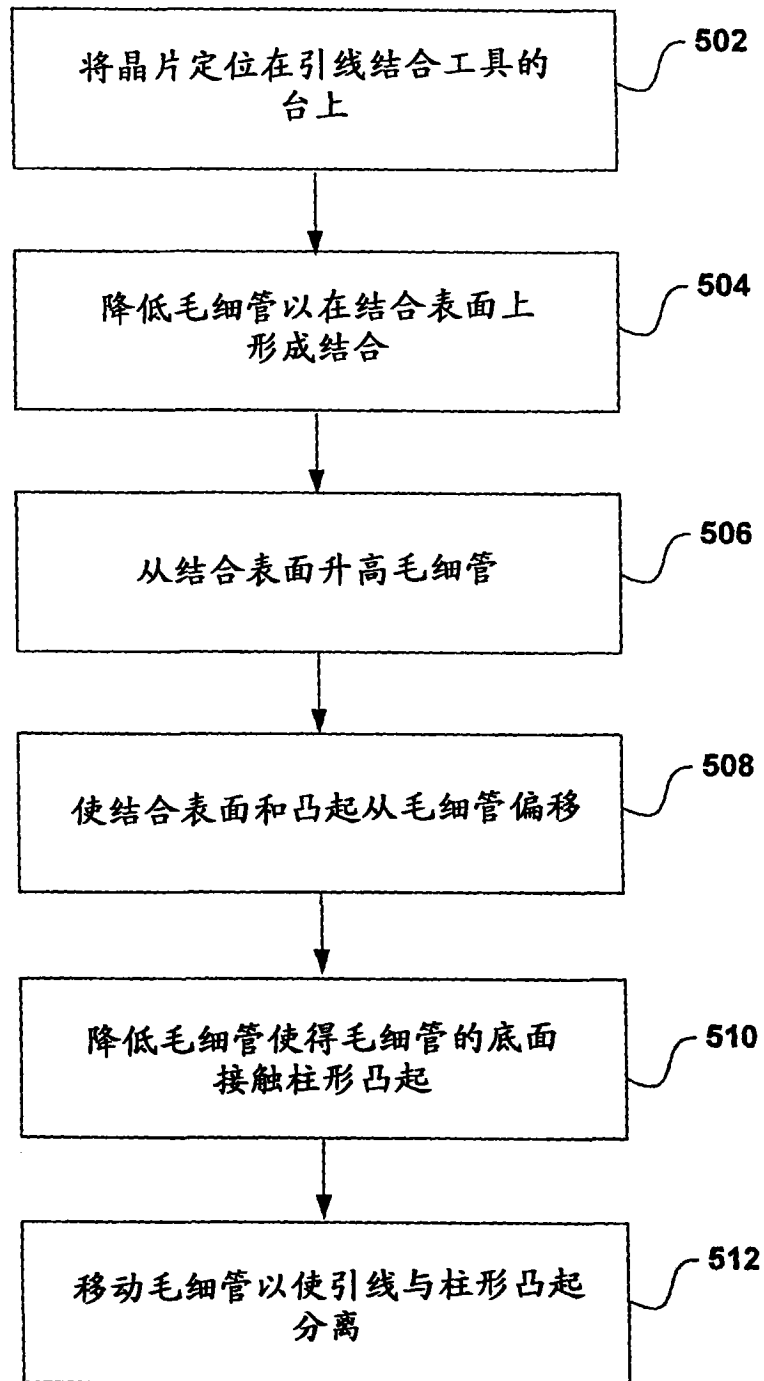


图 5

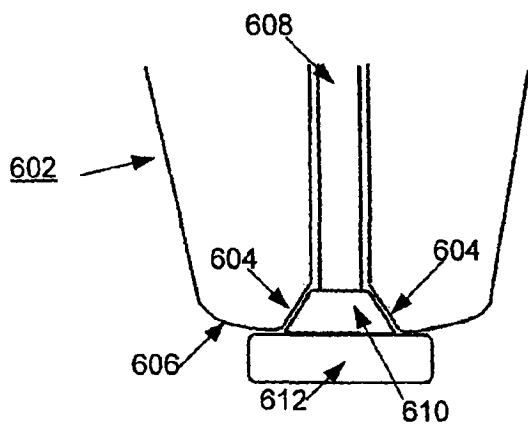


图 6A

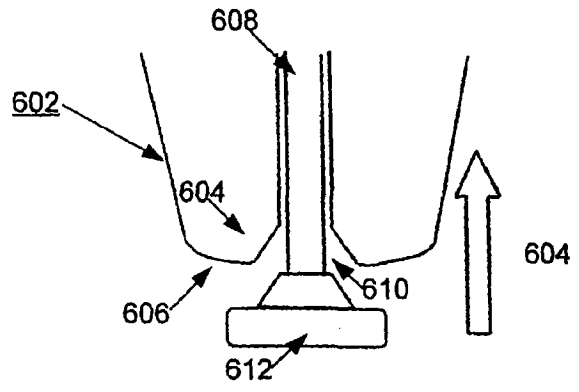


图 6B

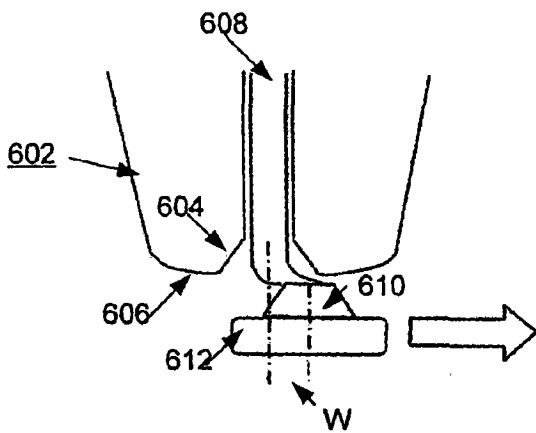


图 6C

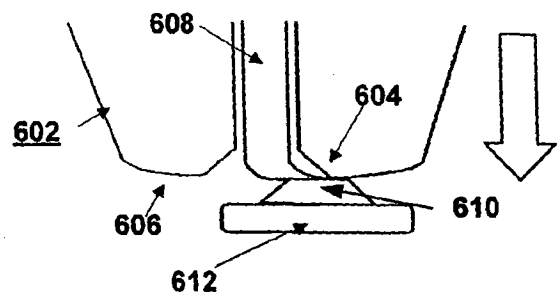


图 6D

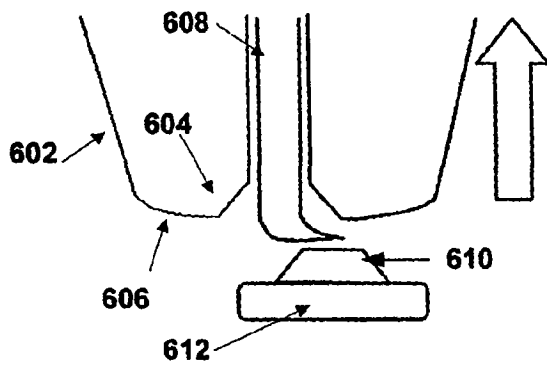


图 6E

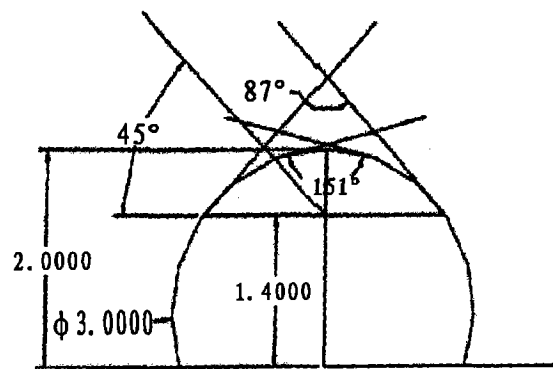


图 7A

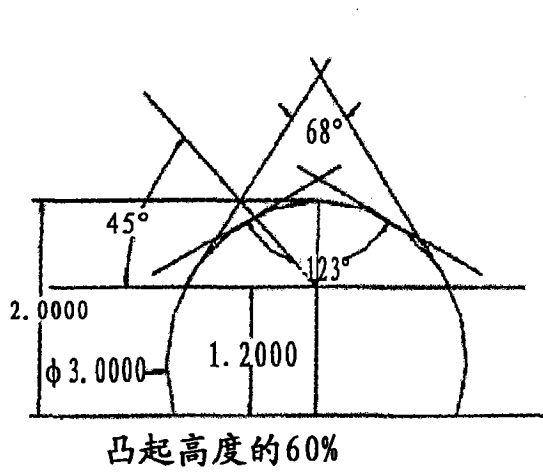


图 7B

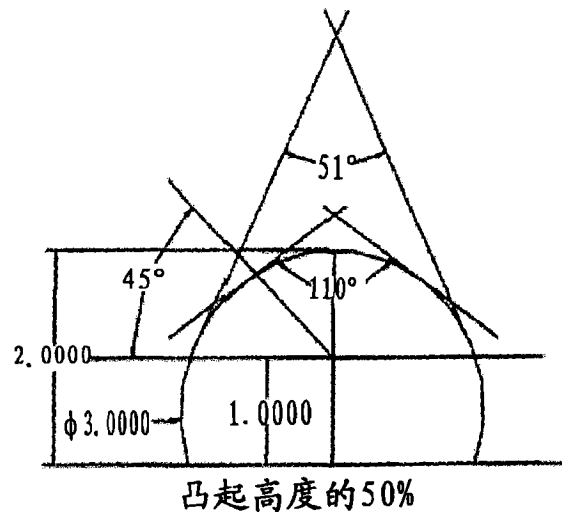


图 7C

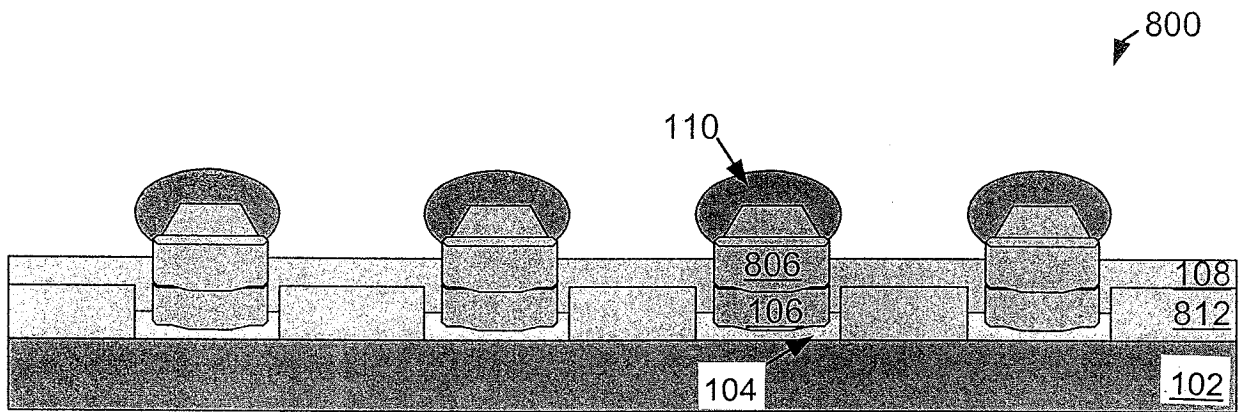


图 8