

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月23日(23.08.2012)



(10) 国際公開番号

WO 2012/111379 A1

- (51) 国際特許分類:
H01L 33/32 (2010.01) H01L 29/47 (2006.01)
H01L 21/02 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2012/051062
- (22) 国際出願日: 2012年1月19日(19.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-029867 2011年2月15日(15.02.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 京野 孝史(KYONO, Takashi) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内 Hyogo (JP). 石原 邦亮(ISHIHARA, Kuniaki) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内 Hyogo (JP). 八郷 昭広(HACHIGO, Aki-

hiro) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内 Hyogo (JP). 吉田 喬久(YOSHIDA, Takahisa) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内 Hyogo (JP). 上野 昌紀(UENO, Masaki) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内 Hyogo (JP). 木山 誠(KIYAMA, Makoto) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内 Hyogo (JP).

(74) 代理人: 特許業務法人深見特許事務所(Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).

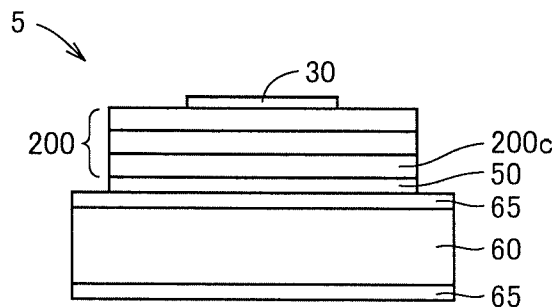
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体デバイスおよびその製造方法

[図1]



(57) Abstract: This semiconductor device (5) comprises: a support substrate (60); a conductor layer (50) which is positioned upon the support substrate (60); and at least one group-III nitride semiconductor layer (200) which is positioned upon the conductor layer (50). A conductor layer-adjacent group-III nitride semiconductor layer (200c) which, of the group-III nitride semiconductor layers (200), is adjacent to the conductor layer (50), has n-type conductivity, a dislocation density of $1 \times 10^7 \text{ cm}^{-2}$ or less, and an oxygen concentration of $5 \times 10^{18} \text{ cm}^{-3}$ or less. Thus is provided an n-down type semiconductor device having highly crystalline semiconductor layers.

(57) 要約: 本半導体デバイス(5)は、支持基板(60)と、支持基板(60)上に配置された導電層(50)と、導電層(50)上に配置された少なくとも1層のIII族窒化物半導体層(200)と、を含み、III族窒化物半導体層(200)のうち導電層(50)に隣接する導電層隣接III族窒化物半導体層(200c)は、n型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。これにより、結晶性の高い半導体層を有するn-down型の半導体デバイスが提供される。



WO 2012/111379 A1



SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体デバイスおよびその製造方法

技術分野

[0001] 本発明は、半導体デバイスおよびその製造方法に関し、詳しくは、特性が高い縦型の半導体デバイスおよびその製造方法に関する。

背景技術

[0002] 縦型の半導体デバイスは、発光デバイス、電子デバイスともにパッケージングが容易、面積効率が高等といった特徴がある。このような特徴を有する縦型の半導体デバイスを製造する方法として、下地基板上に成長させた半導体層を、上記下地基板とは異なる支持基板に貼り替える方法が提案されている。

[0003] たとえば、特開2010-212719号公報（特許文献1）は、下地基板上に成長させた半導体層からその下地基板が除去した後の半導体層の表面（n型半導体層の表面）に凹凸パターンを形成することにより、半導体デバイスの光の取り出しを高めることを開示する。

[0004] また、特開2007-158334号公報（特許文献2）は、下地基板上にエッチング停止層を介在させて半導体層を成長させて、下地基板が除去した後の半導体層のエッチングをこのエッチング停止層で停止させることにより、半導体層（n型半導体層）の損傷を低減してn側電極のコンタクト特性を改善することを開示する。

[0005] また、特開2010-232625号公報（特許文献3）は、緩衝層を介して支持基板にIII族窒化物半導体層を貼り合わせた後、緩衝層をエッチング除去することにより支持基板のレーザリフトオフを容易にすることを開示する。

先行技術文献

特許文献

[0006] 特許文献1：特開2010-212719号公報

特許文献2：特開2007-158334号公報

特許文献3：特開2010-232625号公報

発明の概要

発明が解決しようとする課題

[0007] 上記の特開2010-212719号公報（特許文献1）、特開2007-158334号公報（特許文献2）および特開2010-232625号公報（特許文献3）において開示されている方法により製造される発光デバイスは、いずれも半導体層のうちp型半導体層が支持基板に接合されているp-down型の発光デバイスであり、n型半導体層から下地基板を分離するため、かかる分離によりn型半導体層が劣化しその表面が粗くなる。したがって、上記の特許文献1から特許文献3までに開示されている方法では、表面の粗いn型半導体層に支持基板を接合することが困難であるため、n型半導体層が支持基板に接合されているn-down型の半導体デバイスを製造することが困難という問題点がある。

[0008] また、上記の特許文献2に開示されている方法では、下地基板と半導体層との間に特異な性質を有するエッチング停止層を介在させているために、半導体層上に成長させるn型Ga_{0.5}N_{0.5}層、活性層およびp型Ga_{0.5}N_{0.5}層の結晶性が低下することにより、半導体デバイスの特性が低下するという問題点がある。

[0009] 本発明は、上記の問題点を解決して、支持基板との接合性が高く結晶性の高い半導体層を有するn-down型の半導体デバイスを提供することを目的とする。

課題を解決するための手段

[0010] 本発明にかかる半導体デバイスは、支持基板と、支持基板上に配置された導電層と、導電層上に配置された少なくとも1層のIII族窒化物半導体層と、を含み、III族窒化物半導体層のうち導電層に隣接する導電層隣接III族窒化物半導体層は、n型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0011] 本発明にかかる半導体デバイスにおいて、導電層隣接Ⅲ族窒化物半導体層の酸素濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以下とすることができる。また、導電層隣接Ⅲ族窒化物半導体層は、Ⅲ族窒化物を構成するⅢ族元素としてAlを含むことができる。

[0012] 本発明にかかる半導体デバイスの製造方法は、ある局面に従えば、下地基板に第1のⅢ族窒化物半導体層が貼り合わされた第1の複合基板を準備する工程と、第1の複合基板の第1のⅢ族窒化物半導体層上に少なくとも1層の第2のⅢ族窒化物半導体層を成長させる工程と、第2のⅢ族窒化物半導体層に仮支持基板を貼り合わせて第2の複合基板を形成する工程と、第2の複合基板から下地基板を除去する工程と、第1のⅢ族窒化物半導体層上に導電層を形成する工程と、導電層に支持基板を貼り合わせて第3の複合基板を形成する工程と、第3の複合基板から仮支持基板を除去する工程と、を含み、第1のⅢ族窒化物半導体層は、n型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0013] 本発明にかかる半導体デバイスの製造方法は、別の局面に従えば、下地基板に第1のⅢ族窒化物半導体層が貼り合わされた第1の複合基板を準備する工程と、第1の複合基板の第1のⅢ族窒化物半導体層上に少なくとも1層の第2のⅢ族窒化物半導体層を成長させる工程と、第2のⅢ族窒化物半導体層に仮支持基板を貼り合わせて第2の複合基板を形成する工程と、第2の複合基板から下地基板を除去する工程と、第1のⅢ族窒化物半導体層を除去する工程と、第2のⅢ族窒化物半導体層上に導電層を形成する工程と、導電層に支持基板を貼り合わせて第4の複合基板を形成する工程と、第4の複合基板から仮支持基板を除去する工程と、を含み、第2のⅢ族窒化物半導体層のうち導電層に隣接する導電層隣接Ⅲ族窒化物半導体層は、n型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

発明の効果

[0014] 本発明によれば、支持基板との接合性が高く結晶性の高い半導体層を有する *n*-*d*-*o*-*w*-*n* 型の半導体デバイスを提供することができる。

図面の簡単な説明

[0015] [図1]本発明にかかる半導体デバイスの一例を示す概略断面図である。

[図2]本発明にかかる半導体デバイスの製造方法の一例を示す概略断面図である。

[図3]本発明にかかる半導体デバイスの製造方法の別の例を示す概略断面図である。

[図4]本発明にかかる半導体デバイスの製造方法のさらに別の例を示す概略断面図である。

[図5]本発明にかかる半導体デバイスの製造方法のさらに別の例を示す概略断面図である。

[図6]本発明にかかる半導体デバイスの製造方法のさらに別の例を示す概略断面図である。

[図7]本発明にかかる半導体デバイスの製造方法において用いられる第1の複合基板の製造方法の一例を示す概略断面図である。

[図8]本発明にかかる半導体デバイスの製造方法において用いられる第1の複合基板の製造方法の別の例を示す概略断面図である。

[図9]典型的な半導体デバイスの製造方法の一例を示す概略断面図である。

[図10]典型的な半導体デバイスの製造方法の別の例を示す概略断面図である。

発明を実施するための形態

[0016] [半導体デバイス]

(実施形態1)

図1を参照して、本発明の一実施形態である半導体デバイス5は、支持基板60と、支持基板60上に配置された導電層50と、導電層50上に配置された少なくとも1層のIII族窒化物半導体層200とを含み、III族窒化物半導体層200のうち導電層50に隣接する導電層隣接III族窒化

物半導体層 200c は、n 型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0017] 本実施形態の半導体デバイス 5 は、導電層隣接 III 族窒化物半導体層 200c が n 型導電性であることから n-down 型の半導体デバイスであり、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下であることから結晶性が高いため、かかる導電層隣接 III 族窒化物半導体層 200c を含む III 族窒化物半導体層 200 は結晶性が高く、支持基板 60 との接合性に優れる。

[0018] (支持基板)

本実施形態の半導体デバイス 5 における支持基板 60 は、半導体デバイス 5 の III 族窒化物半導体層 200 を支持するのに適したものであれば特に制限はないが、光透過性が高い観点からはサファイア支持基板、スピネル支持基板などが好ましく、導電性である観点からは Si 支持基板、III 族窒化物支持基板などが好ましく、III 族窒化物半導体層 200 の熱膨張係数と同一または近似する熱膨張係数を有する観点からは III 族窒化物支持基板、SiC 支持基板などが好ましい。また、支持基板 60 は単結晶でも多結晶でもよい。また、支持基板 60 と後述の導電層 50 との接合強度を高める観点から、支持基板 60 の表面に表面導電層 65 が形成されていてもよい。ここで、表面導電層 65 と後述の導電層 50 とは、化学組成が同一または近似していることが好ましい。

[0019] (導電層)

本実施形態の半導体デバイス 5 における導電層 50 は、半導体デバイス 5 の電極となり得るものであれば特に制限はないが、接触抵抗を下げる観点から、Al 層、W 層、Hf 層などの金属層、また透光性を持たせたい場合には ITO (インジウムスズ酸化物) 層、ZnO (亜鉛酸化物) 層などの導電性酸化物層などが好ましい。さらに、密着性の向上のためおよび／またはパッド電極の形成のために、Ti および／または Au の金属層を含んでいてもよい。

[0020] (ⅠⅠⅠ族窒化物半導体層)

本実施形態の半導体デバイス5における少なくとも1層のⅠⅠⅠ族窒化物半導体層200は、その半導体デバイス5の機能を発現させるように形成されている。半導体デバイス5が電子デバイスの場合は、ⅠⅠⅠ族窒化物半導体層200は、たとえば、 n^+ 型半導体層、 n^- 型半導体層などを含むことができる。また、半導体デバイス5が発光デバイスの場合は、ⅠⅠⅠ族窒化物半導体層200は、たとえば、発光層、電子ブロック層、コンタクト層などを含むことができる。

[0021] また、ⅠⅠⅠ族窒化物半導体層200のうち導電層50に隣接する導電層隣接ⅠⅠⅠ族窒化物半導体層200cは、 n 型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。導電層隣接ⅠⅠⅠ族窒化物半導体層200cが n 型導電性を有することから、半導体デバイス5は $n\text{-down}$ 型の半導体デバイスである。導電層隣接ⅠⅠⅠ族窒化物半導体層200cは、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下と結晶性が高いことから、かかる導電層隣接ⅠⅠⅠ族窒化物半導体層200cを含むⅠⅠⅠ族窒化物半導体層200はその結晶性が高い。また、かかる導電層隣接ⅠⅠⅠ族窒化物半導体層200cは、導電層50と接合する表面の平坦性が高いことから導電層50との接合性がよい。

[0022] ここで、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下の結晶性の高い導電層隣接ⅠⅠⅠ族窒化物半導体層200cは、それを形成するⅠⅠⅠ族窒化物と化学組成が同一でもなく近似でもない下地基板上にバッファ層を介在させてその上に成長させることによって得ることはできない。これは、上記の下地基板上にバッファ層を形成してその上にⅠⅠⅠ族窒化物半導体層を成長させると、成長の初期には、3次元成長（非平面的な成長、たとえば主表面およびファセットを結晶成長表面とする成長、をいう。以下同じ。）が起こるため、成長させるⅠⅠⅠ族窒化物半導体層は、転位密度が高くなり、また多くの酸素が取り込まれて酸素濃度が高くなるからである。このため、別の下地基板（特に制限はないが、たとえば、形成するⅠⅠ

Ⅰ族窒化物と化学組成が同一または近似の下地基板）を用いて成長させたⅠⅠ族窒化物半導体インゴットから切り出された転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下のⅠⅠⅠ族窒化物半導体基板を用いて導電層隣接ⅠⅠⅠ族窒化物半導体層200cを形成する必要がある。

[0023] また、ⅠⅠⅠ族窒化物半導体層200の結晶性をより高め、また支持基板60との接合性をより高める観点から、導電層隣接ⅠⅠⅠ族窒化物半導体層200cの酸素濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 以下が好ましい。

[0024] ここで、酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の導電層隣接ⅠⅠⅠ族窒化物半導体層200cは、それを形成するⅠⅠⅠ族窒化物と化学組成が同一または近似の下地基板上に直接成長させることは困難であり、かかる下地基板上に成長させたⅠⅠⅠ族窒化物半導体層上にさらに成長させることにより好適に得られる。また、ⅠⅠⅠ族窒化物半導体層は、その酸素濃度が低いほど3次元成長よりも2次元成長（平面的な成長、たとえば主表面を結晶成長面とする成長、をいう。以下同じ。）した度合いが高く、このために導電層50と接合する近傍の結晶性や表面の平坦性が高くなり、主表面に平行な面内で均一かつ良好なオーミック特性が得られやすい。

[0025] また、導電層隣接ⅠⅠⅠ族窒化物半導体層200cは、製造の際のエッチングなどによるダメージを抑制する観点から、ⅠⅠⅠ族窒化物を構成するⅠⅠⅠ族元素としてAlを含むことが好ましい。Al-N結合がGa-N結合よりも強いことに起因して、ダメージを低減することが可能になる。

[0026] [半導体デバイスの製造方法]

（実施形態2）

図2～3および6を参照して、本発明の別の実施形態である半導体デバイス5の製造方法は、下地基板10に第1のⅠⅠⅠ族窒化物半導体層210が貼り合わされた第1の複合基板1A、1Bを準備する工程（図2～3および6における（A））と、第1の複合基板1A、1Bの第1のⅠⅠⅠ族窒化物半導体層210上に少なくとも1層の第2のⅠⅠⅠ族窒化物半導体層220を成長させる工程（図2～3および6における（B））と、第2のⅠⅠⅠ族

窒化物半導体層 220 に仮支持基板 40 を貼り合わせて第 2 の複合基板 2 を形成する工程（図 2 ～ 3 および 6 における（C））と、第 2 の複合基板 2 から下地基板 10 を除去する工程（図 2 ～ 3 および 6 における（D））と、第 1 の III 族窒化物半導体層 210 上に導電層 50 を形成する工程（図 2 における（E）、図 3 および 6 における（F））と、導電層 50 に支持基板 60 を貼り合わせて第 3 の複合基板 3 を形成する工程（図 2 における（F）、図 3 および 6 における（G））と、第 3 の複合基板 3 から仮支持基板 40 を除去する工程（図 2 における（G）、図 3 および 6 における（H））と、を含む。ここで、上記の第 1 の III 族窒化物半導体層 210 は、 n 型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0027] 本実施形態の半導体デバイスの製造方法によれば、第 1 の III 族窒化物半導体層 210 は n 型導電性を有し転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下であるため、第 1 の III 族窒化物半導体層 210 上に少なくとも 1 層の結晶性の高い第 2 の III 族窒化物半導体層 220 を成長させることができるとともに、第 1 の III 族窒化物半導体層 210 から下地基板 10 を除去した後の第 1 の III 族窒化物半導体層 210 の表面の平坦性が高くなり第 1 の III 族窒化物半導体層 210 と導電層 50 との接合性を高くすることができる。

[0028] （第 1 の複合基板を準備する工程）

図 2 ～ 3 および 6 における（A）を参照して、第 1 の複合基板 1A, 1B を準備する工程には、特に制限はないが、下地基板 10 と第 1 の III 族窒化物半導体層 210 との接合性を高めるとともに両者の分離を容易にする観点から、図 7 および図 8 のそれぞれに示すサブ工程を含むことが好ましい。

[0029] （第 1 の複合基板 1A の場合）

図 7 を参照して、第 1 の複合基板 1A を準備する工程について、以下に説明する。まず、図 7（A）を参照して、下地基板 10 上に SiO_2 層 12a を形成するサブ工程と、III 族窒化物半導体基板 20 の一方の主表面上に S

SiO_2 層 12b を形成した後、上記主表面から一定の深さの面Pにイオンを注入して面Pの領域を脆化させるサブ工程と、を含む。ここで、下地基板10は、特に制限はないが、後工程において第1のIII族窒化物半導体層210上に第2のIII族窒化物半導体層220を成長させる際に第1のIII族窒化物半導体層210にクラックを発生させない観点から、第1のIII族窒化物半導体層210と化学組成が同一または近似のIII族窒化物下地基板であることが好ましい。また、後工程において、下地基板10をレーザーリフトオフで剥離する場合には、レーザーが下地基板10を透過し第1のIII族窒化物半導体層210で吸収されるようにするために、下地基板10はサファイア下地基板、スピネル下地基板、酸化ガリウム下地基板などが好ましい。また、 SiO_2 層 12a, 12b を形成する方法は、特に制限はなく、プラズマCVD（化学気相堆積）法、スパッタ法、真空蒸着法などが好適に挙げられる。

[0030] 次に、図7（B）を参照して、下地基板10上に形成された SiO_2 層 12aとIII族窒化物半導体基板20上に形成された SiO_2 層 12bとを貼り合わせるサブ工程を含む。かかる貼り合わせにより、2つの SiO_2 層 12a, 12bは一体化して SiO_2 層 12となる。ここで、貼り合わせる方法は、特に制限はなく、貼り合わせる面の表面を洗浄して直接貼り合わせ、その後700℃～1000℃に昇温して接合する直接接合法、金属膜を形成し、接触させつつ昇温することで金属膜の金属を合金化させることにより接合する合金接合法、プラズマやイオンなどで貼り合わせ面を活性化させ接合する表面活性化法、などが好ましく用いられる。

[0031] 次に、図7（B）および（C）を参照して、 SiO_2 層 12を介在させて下地基板10とIII族窒化物半導体基板20とが貼り合わされた基板に、熱および／または応力を加えることにより、III族窒化物半導体基板20をイオン注入より脆化された面Pにおいて第1のIII族窒化物半導体層210と残りのIII族窒化物半導体基板21とに分離して、下地基板10上に SiO_2 層 12を介在させて第1のIII族窒化物半導体層210が貼り合わ

された第1の複合基板1Aが得られる。

[0032] (第1の複合基板1Bの場合)

図8を参照して、第1の複合基板1Bを準備する工程について、以下に説明する。まず、図8(A)を参照して、下地基板10上に第1の SiO_2 層14、アモルファス Si 層16および第2の SiO_2 層18aを順次形成するサブ工程と、III族窒化物半導体基板20の一方の主表面上に第2の SiO_2 層18bを形成した後、上記主表面から一定の深さの面Pにイオンを注入して面Pの領域を脆化させるサブ工程と、を含む。ここで、下地基板10は、特に制限はないが、後工程において第1のIII族窒化物半導体層210上に第2のIII族窒化物半導体層220を成長させる際に第1のIII族窒化物半導体層210にクラックを発生させない観点から、第1のIII族窒化物半導体層210と化学組成が同一または近似のIII族窒化物下地基板であることが好ましい。また、第1の SiO_2 層14、アモルファス Si 層16および第2の SiO_2 層18a、18bを形成する方法は、特に制限はなく、プラズマCVD(化学気相堆積)法、スパッタ法、真空蒸着法などが好適に挙げられる。

[0033] 次に、図8(B)を参照して、下地基板10上に第1の SiO_2 層14、アモルファス Si 層16を介在させて形成された第2の SiO_2 層18aとIII族窒化物半導体基板20上に形成された第2の SiO_2 層18bとを貼り合わせるサブ工程を含む。かかる貼り合わせにより、2つの第2の SiO_2 層18a、18bは一体化して第2の SiO_2 層18となる。ここで、貼り合わせる方法は、特に制限はなく、貼り合わせる面の表面を洗浄して直接貼り合わせ、その後700℃～1000℃に昇温して接合する直接接合法、金属膜を形成し、接触させつつ昇温することで金属膜の金属を合金化させることにより接合する合金接合法、プラズマやイオンなどで貼り合わせ面を活性化させ接合する表面活性化法、などが好ましく用いられる。

[0034] 次に、図8(B)および(C)を参照して、第1の SiO_2 層14、アモルファス Si 層16および第2の SiO_2 層18を介在させて下地基板10とI

ⅠⅠ族窒化物半導体基板20とが貼り合わされた基板に、熱および／または応力を加えることにより、ⅠⅠⅠ族窒化物半導体基板20をイオン注入より脆化された面Pにおいて第1のⅠⅠⅠ族窒化物半導体層210と残りのⅠⅠⅠ族窒化物半導体基板21とに分離して、下地基板10上に、第1の SiO_2 層14、アモルファス Si 層16および第2の SiO_2 層18を介在させて第1のⅠⅠⅠ族窒化物半導体層210が貼り合わされた第1の複合基板1Bが得られる。

[0035] ここで、上記の第1の複合基板1A、1Bにおける第1のⅠⅠⅠ族窒化物半導体層210は、 n 型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。第1のⅠⅠⅠ族窒化物半導体層210が n 型導電性を有するため、 n 型半導体層が支持基板に接合された $n\text{-down}$ 型の半導体デバイスの製造が容易になる。第1のⅠⅠⅠ族窒化物半導体層210は、 $1 \times 10^7 \text{ cm}^{-2}$ 以下の転位密度および $5 \times 10^{18} \text{ cm}^{-3}$ 以下の酸素濃度を有しているため、その上に結晶性の高い少なくとも1層の第2のⅠⅠⅠ族窒化物半導体層220を成長させることができる。

[0036] このような転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下の結晶性の高い第1のⅠⅠⅠ族窒化物半導体層210は、それを形成するⅠⅠⅠ族窒化物と化学組成が同一でもなく近似でもない下地基板上にバッファ層を介在させてその上に成長させる方法では得ることができない。これは、上記の下地基板上にバッファ層を形成してその上にⅠⅠⅠ族窒化物半導体層を成長させると、成長の初期には、3次元成長が起こるため、成長させるⅠⅠⅠ族窒化物半導体層は、転位密度が高くなり、また多くの酸素が取り込まれて酸素濃度が高くなるからである。ⅠⅠⅠ族窒化物結晶半導体層は、一般的に、その成長が進むにつれて、3次元成長から2次元成長が優勢になるため、成長の中後期には、転位密度および酸素濃度が低減する。したがって、別の下地基板（特に制限はないが、たとえば、形成するⅠⅠⅠ族窒化物と化学組成が同一または近似の下地基板）を用いて成長させたⅠⅠⅠ族窒化物半導体インゴットから切り出された転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素

濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下のⅢ族窒化物半導体基板を本実施形態の下地基板10に貼り合わせることにより、本実施形態の第1の複合基板1A、1Bを作製する必要がある。

[0037] (第2のⅢ族窒化物半導体の成長工程)

図2～3および6における(B)を参照して、第2のⅢ族窒化物半導体層220の成長工程において、その成長方法は、第1のⅢ族窒化物半導体層210上に、少なくとも1層の第2のⅢ族窒化物半導体層220をエピタキシャル成長させることができる方法であれば特に制限はなく、MOVPE(有機金属気相成長)法、HVPE(ハイドライド気相成長)法、MBE(分子線成長)法、昇華法などの気相法、フラックス法、高窒素圧溶液法などの液相法などが好適に挙げられる。

[0038] 第2のⅢ族窒化物半導体層220の成長工程において得られる第2のⅢ族窒化物半導体層220は、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下かつ酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下の結晶性の高い第1のⅢ族窒化物半導体層210上にエピタキシャル成長されたものであるため、高い結晶性を有する。

[0039] (電極の形成工程)

第2のⅢ族窒化物半導体層220の成長工程の後、第2のⅢ族窒化物半導体層220の最外層上に、電極30を形成する工程(電極の形成工程)を含むことができる。

[0040] (第2の複合基板の形成工程)

図2～3および6における(C)を参照して、第2の複合基板220の形成工程において、第2のⅢ族窒化物半導体層220と仮支持基板40とを貼り合わせる方法は、第2のⅢ族窒化物半導体層220を仮支持基板40で十分に支持することができかつ後工程で第2のⅢ族窒化物半導体層220から仮支持基板40を容易に除去できる方法であれば特に制限はなく、たとえば、ワックス42により貼り合わせる方法が好適に挙げられる。ワックス42などを用いることにより、第2のⅢ族窒化物半導体層220の最外層に電極30が形成されている場合であっても、第2のⅢ族窒

化物半導体層 220 と仮支持基板 40 とを確実に貼り合わせることができる。

[0041] ここで、仮支持基板 40 は、第 2 の III 族窒化物半導体層 220 を十分に支持することができるものであれば特に制限はなく、サファイア仮支持基板、Si 仮支持基板、III 族窒化物半導体仮支持基板などが好適に挙げられる。

[0042] 上記のようにして、第 2 の III 族窒化物半導体層 220 に仮支持基板 40 を貼り合わせることにより、第 2 の複合基板 2 が得られる。

[0043] (下地基板の除去工程)

図 2 ～ 3 ならびに 6 における (C) および (D) を参照して、下地基板 10 の除去工程において、第 2 の複合基板 2 から下地基板 10 を除去する方法は、特に制限はないが、効率的に除去する観点から、レーザリフトオフ法が好ましい。レーザリフト法とは、レーザ光を複合基板に照射することにより、その複合基板を構成する一部の層の一部を分解することによりその複合基板の一部を分離する方法をいう。

[0044] ここで、第 2 の複合基板 2 に含まれる第 1 の複合基板 1A、1B の構造の違いにより、レーザリフトオフに用いられるレーザ光の種類、ならびに分離位置および分離機構が異なる。以下、より詳しく説明する。

[0045] (第 1 の複合基板 1A を含む第 2 の複合基板 2 の場合)

図 2 (C) を参照して、第 1 の複合基板 1A を含む第 2 の複合基板 2 は、下地基板 10、SiO₂ 層 12、第 1 の III 族窒化物半導体層 210 および第 2 の III 族窒化物半導体層 220 がこの順に積層された構造を有する。かかる構造は、下地基板 10 が、第 1 および第 2 の III 族窒化物半導体層 210、220 が吸収する波長の光を吸収しない基板、たとえば、サファイア下地基板、スピネル下地基板、酸化ガリウム下地基板などである場合に好適に採用される。

[0046] 図 2 (C) および (D) を参照して、たとえば、下地基板 10 としてサファイア下地基板を含む第 1 の複合基板 1A を含む上記第 2 の複合基板 2 につ

いて、下地基板 10 のリフトオフは以下のように行われる。かかる第 2 の複合基板 2 の下地基板 10 側から、下地基板 10 および SiO_2 層 12 では吸収されないが、第 1 の III 族窒化物半導体層 210 で吸収される波長の光、たとえば、波長 355 nm の THG（第 3 高調波）-YAG（イットリウム・アルミニウム・ガーネット）レーザ光を照射する。THG-YAG レーザ光を吸収した第 1 の III 族窒化物半導体層 210 の一部が分解して、第 1 の III 族窒化物半導体層 210 から下地基板 10 および SiO_2 層 12 がリフトオフされる。

[0047] （第 1 の複合基板 1 B を含む第 2 の複合基板 2 の場合）

図 3 および 6 の (C) を参照して、第 1 の複合基板 1 B を含む第 2 の複合基板 2 は、下地基板 10、第 1 の SiO_2 層 14、アモルファス Si 層 16、第 2 の SiO_2 層 18、第 1 の III 族窒化物半導体層 210 および第 2 の III 族窒化物半導体層 220 がこの順に積層された構造を有する。かかる構造は、下地基板 10 が、第 1 および第 2 の III 族窒化物半導体層 210、220 が吸収する波長の光を吸収する基板、たとえば、III 族窒化物下地基板などである場合に好適に採用される。

[0048] 図 3 および 6 の (C) および (D) を参照して、たとえば、下地基板 10 として III 族窒化物下地基板を含む第 1 の複合基板 1 B を含む上記第 2 の複合基板 2 について、下地基板 10 のリフトオフは以下のように行われる。かかる第 2 の複合基板 2 の下地基板 10 側から、下地基板 10 および第 1 および第 2 の SiO_2 層 14、18 では吸収されないが、アモルファス Si 層 16 で吸収される波長の光、たとえば、波長 532 nm の SHG（第 2 高調波）-YAG（イットリウム・アルミニウム・ガーネット）レーザ光を照射する。SHG-YAG レーザ光は、アモルファス Si 層 16 で吸収され熱に変換され、かかる熱により第 1 の SiO 層 14 に接する下地基板 10 の一部が分解して、第 1 の SiO 層 14 から下地基板 10 がリフトオフされる。

[0049] ここで、アモルファス Si 層 16 で変換された熱により、第 1 の III 族窒化物半導体層 210 の一部を分解させることなく、下地基板 10 である I

Ⅱ族窒化物下地基板の一部を分解させるためには、第2の SiO_2 層18に比べて第1の SiO_2 層14は厚さが小さいことが好ましい。

[0050] 上記に説明したように、第1の複合基板1Aを含む第2の複合基板2における下地基板10の除去が第1のⅢ族窒化物半導体層210の一部の分解により行われるのに対し、第1の複合基板1Bを含む第2の複合基板2における下地基板10の除去は、下地基板10の一部分解により行われるため、第1のⅢ族窒化物半導体層210の高い結晶性を維持するのに好適である。

[0051] かかる第1の複合基板1Bを含む第2の複合基板2においては、下地基板10は第1の SiO_2 層14からリフトオフされるため、第1のⅢ族窒化物半導体層210上に第2の SiO_2 層18、アモルファス Si 層16および第1の SiO_2 層14が残存する。

[0052] したがって、図3および6の(E)を参照して、次工程のために、第1のⅢ族窒化物半導体層210上に残存する第2の SiO_2 層18、アモルファス Si 層16および第1の SiO_2 層14を除去する。これらの層を除去する方法には、特に制限はなく、フッ酸硝酸混合溶液などを用いるウェットエッチング、RIE（反応性イオンエッチング）などのドライエッチングなどが好適に挙げられる。

[0053] （導電層の形成工程）

図2の(E)ならびに図3および6の(F)を参照して、導電層50の形成工程において、第1のⅢ族窒化物半導体層210上に導電層50を形成する方法には、導電層50の形成に適した方法であれば特に制限はなく、スパッタ法、真空蒸着法などが好適に挙げられる。

[0054] ここで、導電層50は、特に制限はないが、接触抵抗を下げる観点から、Al層、W層、Hf層などの金属層、また透光性を持たせたい場合にはITO（インジウムスズ酸化物）層、ZnO（亜鉛酸化物）層などの導電性酸化物層などが好ましい。さらに、密着性の向上のためおよび／またはパッド電極の形成のためにTiおよび／またはAuの金属層を含んでいてもよい。た

例えば、これらの金属層を複数積層したA l / T i / A u層が好適に用いられる。

[0055] (第3の複合基板の形成工程)

図2の(F)ならびに図3および6の(G)を参照して、第3の複合基板3の形成工程において、導電層50に支持基板60を貼り合わせる方法には、導電層50と確実に接合して導電層50ならびに第1および第2のI I I族窒化物半導体層210, 220を十分に支持できる方法であれば特に制限はなく、たとえば、貼り合わせ面をはんだにより接合するはんだ接合法、貼り合わせる面の表面を洗浄して直接貼り合わせた後700℃~1000℃に昇温して接合することによる直接接合法、プラズマやイオンなどで貼り合わせ面を活性化させ接合することによる表面活性化法などが好適に挙げられる。

[0056] また、支持基板60は、導電層50と確実に接合して導電層50ならびに第1および第2のI I I族窒化物半導体層210, 220を十分に支持できる基板であれば特に制限はなく、光透過性および光取り出し効率が高い観点からはサファイア支持基板、スピネル支持基板などが好ましく、縦型の半導体デバイスに必要な導電性を有する観点からはS i支持基板、I I I族窒化物支持基板などが好ましく、第1および第2のI I I族窒化物半導体層210, 220の熱膨張係数と同一または近似する熱膨張係数を有する観点からはI I I族窒化物支持基板、S i C支持基板などが好ましい。また、支持基板60は単結晶でも多結晶でもよい。

[0057] ここで、支持基板60は、導電層50との接合性を高くする観点から、その表面に表面導電層65が形成されていることが好ましい。支持基板60の表面導電層65は、特に制限はないが、導電層50と化学組成が同一または近似であることが好ましい。また、縦型の半導体デバイスの場合は、支持基板60と表面導電層65がオーミック接合をなすことが好ましい。たとえば、導電層50がA l / T i / A u層で支持基板60がS i支持基板のとき、表面導電層65はA l / T i / A u層の合金層が好ましい。

[0058] 上記のようにして、導電層 50 に支持基板 60 を貼り合わせるにより、第 3 の複合基板 3 が得られる。

[0059] (仮支持基板の除去工程)

図 2 の (F) および (G) ならびに図 3 および 6 の (G) および (H) を参照して、仮支持基板 40 の除去工程において、第 3 の複合基板 3 から仮支持基板 40 を除去する方法には、特に制限はなく、たとえば、仮支持基板 40 がワックス 42 により第 2 の III 族窒化物半導体層 220 に貼り合わされている場合には、そのワックス 42 を融解させることにより、仮支持基板 40 を除去することができる。

[0060] 上記のようにして、第 3 の複合基板 3 から仮支持基板 40 を除去することにより、支持基板 60 と、支持基板 60 上に配置された導電層 50 と、導電層 50 上に配置された少なくとも 1 層の III 族窒化物半導体層 200 として第 1 および第 2 の III 族窒化物半導体層 210, 220 が配置され、III 族窒化物半導体層 200 のうち導電層 50 に隣接する導電層隣接 III 族窒化物半導体層 200c である第 1 の III 族窒化物半導体層 210 は、 n 型導電性を有し、転位密度が $5 \times 10^{17} \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である半導体デバイス 5 が得られる。

[0061] (実施形態 3)

図 4～5 を参照して、本発明のさらに別の実施形態である半導体デバイス 5 の製造方法は、下地基板 10 に第 1 の III 族窒化物半導体層 210 が貼り合わされた第 1 の複合基板 1B を準備する工程 (図 4～5 における (A)) と、第 1 の複合基板 1B の第 1 の III 族窒化物半導体層 210 上に少なくとも 1 層の第 2 の III 族窒化物半導体層 220 を成長させる工程 (図 4～5 における (B)) と、第 2 の III 族窒化物半導体層 220 に仮支持基板 40 を貼り合わせて第 2 の複合基板 2 を形成する工程 (図 4～5 における (C)) と、第 2 の複合基板 2 から下地基板 10 を除去する工程 (図 4～5 における (D)) と、第 1 の III 族窒化物半導体層 210 を除去する工程 (図 4～5 における (F)) と、第 2 の III 族窒化物半導体層 220 上に

導電層 50 を形成する工程（図 4 ～ 5 における（G））と、導電層 50 に支持基板 60 を貼り合わせて第 4 の複合基板 4 を形成する工程（図 4 ～ 5 における（H））と、第 4 の複合基板 4 から仮支持基板 40 を除去する工程（図 4 ～ 5 における（I））と、を含み、第 2 の III 族窒化物半導体層 220 のうち導電層 50 に隣接する導電層隣接 III 族窒化物半導体層 200c は、n 型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

[0062] （第 1 の複合基板の準備工程から下地基板の除去工程まで）

図 4 ～ 5 の（A）～（E）を参照して、本発明のさらに別の実施形態である半導体デバイス 5 の製造方法における第 1 の複合基板 1B の準備工程、第 2 の III 族窒化物半導体層 220 の成長工程、第 2 の複合基板 2 の形成工程および下地基板 10 の除去工程は、それぞれ実施形態 2 の半導体デバイス 5 の製造方法における第 1 の複合基板 1A、1B の準備工程、第 2 の III 族窒化物半導体層 220 の成長工程、第 2 の複合基板 2 の形成工程および下地基板 10 の除去工程と同様である。

[0063] 図 4 ～ 5 においては第 1 の複合基板 1B のみが描かれているが、本実施形態の半導体デバイスの製造方法においては、実施形態 2 の半導体デバイスの製造方法と同様に、第 1 の複合基板 1B に替えて第 1 の複合基板 1A を用いることもできる。

[0064] （第 1 の III 族窒化物半導体層の除去工程）

図 4 ～ 5 の（F）を参照して、第 1 の III 族窒化物半導体層 210 の除去工程において、第 1 の III 族窒化物半導体層 210 を除去する方法には、特に制限はなく、RIE などのドライエッチングなどが好適に挙げられる。

[0065] このように第 1 の III 族窒化物半導体層 210 を除去することにより、第 2 の III 族窒化物半導体層 220 を露出させて、この上に導電層 50 を形成することが可能となる。イオン注入のダメージを含む第 1 の III 族窒化物半導体層 210 を除去することにより、第 2 の III 族窒化物半導体層

220と導電層50の電氣的接合を好適なものにできる。

[0066] (導電層の形成工程)

図4～5の(G)を参照して、導電層50の形成工程において、第2のⅢ族窒化物半導体層220上に導電層50を形成する方法は、導電層50の形成に適した方法であれば特に制限はなく、スパッタ法、真空蒸着法などが好適に挙げられる。

[0067] ここで、導電層50は、特に制限はないが、接触抵抗を下げる観点から、Al層、W層、Hf層などの金属層、また透光性を持たせたい場合にはITO（インジウムスズ酸化物）層、ZnO（亜鉛酸化物）層などの導電性酸化物層などが好ましい。さらに、密着性の向上のためおよび／またはパッド電極の形成のためにTiおよび／またはAuの金属層を含んでいてもよい。たとえば、これらの金属層を複数積層したAl／Ti／Au層が好適に用いられる。

[0068] (第4の複合基板の形成工程)

図4～5の(H)を参照して、第4の複合基板4の形成工程において、導電層50に支持基板60を貼り合わせる方法には、導電層50と確実に接合して導電層50および第2のⅢ族窒化物半導体層220を十分に支持できる方法であれば特に制限はなく、たとえば、貼り合わせ面をはんだにより接合するはんだ接合法、貼り合わせる面の表面を洗浄して直接貼り合わせた後700℃～1000℃に昇温して接合することによる直接接合法、プラズマやイオンなどで貼り合わせ面を活性化させ接合することによる表面活性化法などが好適に挙げられる。

[0069] また、支持基板60は、導電層50と確実に接合して導電層50および第2のⅢ族窒化物半導体層220を十分に支持できる基板であれば特に制限はなく、光透過性および光取り出し効率が高い観点からはサファイア支持基板、スピネル支持基板などが好ましく、縦型の半導体デバイスに必要な導電性を有する観点からはSi支持基板、Ⅲ族窒化物支持基板などが好ましく、第2のⅢ族窒化物半導体層220の熱膨張係数と同一または近似

する熱膨張係数を有する観点からはⅢ族窒化物支持基板、SiC支持基板などが好ましい。また、支持基板60は単結晶でも多結晶でもよい。

[0070] ここで、支持基板60は、導電層50との接合性を高くする観点から、その表面に表面導電層65が形成されていることが好ましい。支持基板60の表面導電層65は、特に制限はないが、導電層50と化学組成が同一または近似であることが好ましい。また、縦型の半導体デバイスの場合は、支持基板60と表面導電層65がオーミック接合をなすことが好ましい。たとえば、導電層50がAl/Ti/Au層で支持基板60がSi支持基板のとき、表面導電層65はAl/Ti/Au層の合金層が好ましい。

[0071] 上記のようにして、導電層50に支持基板60を貼り合わせるにより、第4の複合基板4が得られる。

[0072] (仮支持基板の除去工程)

図4～5の(H)および(I)を参照して、仮支持基板40の除去工程において、第4の複合基板4から仮支持基板40を除去する方法には、特に制限はなく、たとえば、仮支持基板40がワックス42により第2のⅢ族窒化物半導体層220に貼り合わされている場合には、そのワックス42を融解させることにより、仮支持基板40を除去することができる。

[0073] 上記のようにして、第4の複合基板4から仮支持基板40を除去することにより、支持基板60と、支持基板60上に配置された導電層50と、導電層50上に配置された少なくとも1層のⅢ族窒化物半導体層200として第2のⅢ族窒化物半導体層220が配置され、Ⅲ族窒化物半導体層200である第2のⅢ族窒化物半導体層220のうち導電層50に隣接する導電層隣接Ⅲ族窒化物半導体層200cは、n型導電性を有し、転位密度が $5 \times 10^{17} \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である半導体デバイス5が得られる。ここで、第2のⅢ族窒化物半導体層220は、第1のⅢ族窒化物半導体層210上にエピタキシャル成長させたものであり、第1のⅢ族窒化物半導体層210に比べて酸素濃度をさらに低減することができるため、導電層隣接Ⅲ族窒化物半導体層200

cの酸素濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以下とすることができる。

実施例

[0074] (実施例1)

1. 第1の複合基板の準備

図2(A)を参照して、直径2インチ(5.08cm)で厚さ $400 \mu\text{m}$ のサファイア下地基板(下地基板10)に厚さ 200 nm の SiO_2 層12を介在させて厚さ 150 nm の GaN 層(第1のIII族窒化物半導体層210)が貼り合わされた第1の複合基板1Aを準備した。ここで、 GaN 層(第1のIII族窒化物半導体層210)は、転位密度が $5 \times 10^6 \text{ cm}^{-2}$ であり、酸素濃度が $2 \times 10^{18} \text{ cm}^{-3}$ であった。転位密度はCL(カソードルミネセンス)法により測定し、酸素濃度はSIMS(2次イオン質量分析)法より測定した。

[0075] かかる第1の複合基板1Aは、具体的には、以下のようにして準備された。まず、図7(A)を参照して、直径2インチ(5.08cm)で厚さ $400 \mu\text{m}$ のサファイア下地基板(下地基板10)上に、プラズマCVD法により、厚さ 100 nm の SiO_2 層12aを形成した。また、転位密度が $5 \times 10^6 \text{ cm}^{-2}$ かつ酸素濃度が $2 \times 10^{18} \text{ cm}^{-3}$ の GaN 基板(III族窒化物半導体基板20)の一方の主表面上にプラズマCVD法により厚さ 100 nm の SiO_2 層12bを形成した後、上記主表面から約 150 nm の深さの面Pに水素イオンを注入した。

[0076] 次いで、図7(B)を参照して、サファイア下地基板(下地基板10)に形成された SiO_2 層12aと GaN 基板(III族窒化物半導体基板20)に形成された SiO_2 層12bとを、それらの表面をドライエッチング装置を用いた酸素プラズマ処理により清浄化した後、重ね合わせて、室温(25°C)中で 7 MPa の荷重で加圧することにより、貼り合わせた。こうして得られた貼り合わせ基板を、室温(25°C)から 300°C まで3時間かけてゆっくりと昇温することにより、接合界面の接合強度を高めた。かかる接合により、2つの SiO_2 層12a, 12bが一体化して厚さ 200 nm の SiO_2 層

12が形成された。

[0077] 次いで、図7(C)を参照して、上記の貼り合わせ基板を500℃に加熱して基板の主表面に対して斜めに応力をかけた。GaN基板(III族窒化物半導体基板20)が上記の面Pにおいて分離することにより、サファイア下地基板(下地基板10)にSiO₂層12を介在させて厚さ150nmのGaN層(第1のIII族窒化物半導体層210)が貼り合わされた第1の複合基板1Aが得られた。

[0078] 2. 第2のIII族窒化物半導体層の成長

図2(B)を参照して、上記の第1の複合基板1Aをアンモニア(NH₃)ガスと水素(H₂)ガスとの混合ガス中1050℃で10分間サーマルクリーニングした。かかる第1の複合基板1AのGaN層(第1のIII族窒化物半導体層210)上に、MOVPE法により、1100℃の条件で、第2のIII族窒化物半導体層220として、厚さ1μmでSi濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のn⁺型GaN層222および厚さが5μmでSi濃度が $6 \times 10^{15} \text{ cm}^{-3}$ のn⁻型GaN層(ドリフト層)224を順次成長させた。さらに、n⁻型GaN層224上に、真空蒸着法により、直径200μmのNi層(厚さ50nm)/Au層(厚さ500nm)を形成し、600℃で2分間アニールすることにより合金化させることにより、ショットキー電極(電極30)を形成した。

[0079] 3. 仮支持基板の貼り合わせによる第2の複合基板の形成

図2(C)を参照して、上記の第2のIII族窒化物半導体層220および電極30とサファイア仮支持基板(仮支持基板40)とをワックス42で貼り合わせることにより、第2の複合基板2を得た。

[0080] 4. 下地基板の除去

図2(C)および(D)を参照して、第2の複合基板2のサファイア下地基板(下地基板10)側から波長355nmのTHG-YAGレーザ光Lを照射して、レーザ光をGaN層(第1のIII族窒化物半導体層210)に吸収させ、GaN層(第1のIII族窒化物半導体層210)のサファイア

下地基板（下地基板 10）との界面近傍の部分を分解させることにより、サファイア下地基板（下地基板 10）をリフトオフした。

[0081] 上記のリフトオフにより露出した GaN 層（第 1 の III 族窒化物半導体層 210）の表面の RMS（二乗平均平方根）粗さ（JIS B0601-2001 に規定する R_q に相当する。以下同じ。）は、 $100\mu\text{m} \times 100\mu\text{m}$ の範囲を AFM（原子間力顕微鏡）で測定したところ、 200nm と小さかった。これは、GaN 層（第 1 の III 族窒化物半導体層 210）は、その結晶性が高いため、サファイア下地基板（下地基板 10）との界面近傍の部分における分解が均一であり、その表面の平坦性が高くなったものと考えられる。

[0082] 5. 導電層の形成

図 2（E）を参照して、露出した GaN 層（第 1 の III 族窒化物半導体層 210）の主表面に、真空蒸着法により、Al 層（厚さ 20nm ）／Ti 層（厚さ 50nm ）／Au 層（厚さ 500nm ）で構成されるオーミック電極（導電層 50）を形成した。

[0083] 6. 支持基板の貼り合わせによる第 3 の複合基板の形成

図 2（F）を参照して、Si 支持基板（支持基板 60）の両主表面に、真空蒸着法により Al 層（厚さ 20nm ）／Ti 層（厚さ 50nm ）／Au 層（厚さ 500nm ）を形成し、 400°C で 10 分間アニールすることにより合金化させて表面導電層 65 を形成した基板を準備した。かかる基板の表面導電層 65 と、オーミック電極（導電層 50）とを、AuSn はんだにより貼り合わせることにより、第 3 の複合基板 3 を形成した。

[0084] 7. 仮支持基板の除去

図 2（F）および（G）を参照して、第 3 の複合基板 3 においてワックス 42 を融解することにより、第 3 の複合基板 3 からサファイア仮支持基板（仮支持基板 40）が除去されて、半導体デバイス 5 として、両主表面に Al 層（厚さ 20nm ）／Ti 層（厚さ 50nm ）／Au 層（厚さ 500nm ）の合金層（表面導電層 65）が形成された Si 支持基板（支持基板 60）上

に、A l 層（厚さ 2 0 n m）／T i 層（厚さ 5 0 n m）／A u 層（厚さ 5 0 0 n m）で構成されるオーミック電極（導電層 5 0）、G a N 層（第 1 の I I I 族窒化物半導体層 2 1 0）、 n^+ 型 G a N 層 2 2 2 および n^- 型 G a N 層（ドリフト層）2 2 4（第 2 の I I I 族窒化物半導体層 2 2 0）、ならびに N i 層（厚さ 5 0 n m）／A u 層（厚さ 5 0 0 n m）の合金で構成されるショットキー電極（電極 3 0）がこの順に形成された S B D（ショットキーバリアダイオード）を得た。

[0085] 得られた S B D（半導体デバイス 5）は、パラメータアナライザによりその I - V（電流-電圧）特性を評価したところ、オン抵抗が $1.4 \text{ m}\Omega \text{ cm}^2$ 、電流密度 $1 \times 10^{-3} \text{ A/cm}^2$ における逆方向耐圧が 4 0 0 V、と高特性であった。

[0086] （比較例 1）

1. I I I 族窒化物半導体層の成長

図 9（A）を参照して、直径 2 インチ（5.08 cm）で厚さ 4 0 0 μm のサファイア下地基板を水素（ H_2 ）ガス雰囲気中 1 1 0 0 $^\circ\text{C}$ で 1 0 分間サーマルクリーニングした。その後、M O V P E 法により、5 2 5 $^\circ\text{C}$ の条件で、そのサファイア下地基板（下地基板 1 0）上に厚さ 2 5 n m の G a N バッファ層（I I I 族窒化物バッファ層 2 9 0）を成長させた後、1 1 0 0 $^\circ\text{C}$ の条件で、G a N バッファ層（I I I 族窒化物バッファ層 2 9 0）上に厚さ 1 μm で S i 濃度が $2 \times 10^{18} \text{ cm}^{-3}$ の n^+ 型 G a N 層 2 2 2 および厚さが 5 μm で S i 濃度が $6 \times 10^{15} \text{ cm}^{-3}$ の n^- 型 G a N 層（ドリフト層）2 2 4 を順次成長させた。ここで、 n^+ 型 G a N 層 2 2 2 は、実施例 1 と同様に測定したところ、転位密度が $1 \times 10^9 \text{ cm}^{-2}$ 、サファイア下地基板（下地基板 1 0）との界面近傍の部分における酸素濃度が $1 \times 10^{19} \text{ cm}^{-3}$ であった。

[0087] さらに、 n^- 型 G a N 層 2 2 4 上に、実施例 1 と同様にして、ショットキー電極（電極 3 0）を形成することにより、複合基板 1 R を得た。

[0088] 2. 仮支持基板の貼り合わせ

図 9（B）を参照して、この複合基板 1 R の n^- 型 G a N 層 2 2 4 およびシ

ヨットキー電極（電極 30）とサファイア仮支持基板（仮支持基板 40）とを、実施例 1 と同様にワックス 42 で貼り合わせるにより、複合基板 2 R を得た。

[0089] 3. 下地基板の除去

図 9（B）および（C）を参照して、複合基板 2 R のサファイア下地基板（下地基板 10）側から実施例 1 と同様に波長 355 nm の THG-YAG レーザ光 L を照射して、レーザ光を GaN バッファ層（III 族窒化物バッファ層 290）に吸収させて、これを分解させることにより、サファイア下地基板（下地基板 10）をリフトオフした。

[0090] 上記のリフトオフにより露出した n⁺型 GaN 層 222 の表面の RMS 粗さは、実施例 1 と同様に測定したところ、650 nm と大きかった。これは、GaN バッファ層（III 族窒化物バッファ層 290）および n⁺型 GaN 層 222 は、その結晶性が低く、加えてサファイア下地基板（下地基板 10）との界面近傍の部分における酸素濃度が高いため、サファイア下地基板（下地基板 10）との界面近傍の部分における分解が不均一であり、その表面の平坦性が低くなったものと考えられる。

[0091] 4. 導電層の形成

図 9（D）を参照して、露出した n⁺型 GaN 層 222 の表面に、実施例 1 と同様にして、オーミック電極（導電層 50）を形成した。

[0092] 5. 支持基板の貼り合わせ

図 9（E）を参照して、実施例 1 と同様にして、オーミック電極（導電層 50）に、両主表面に Al 層（厚さ 20 nm）／Ti 層（厚さ 50 nm）／Au 層（厚さ 500 nm）の合金層（表面導電層 65）が形成された Si 支持基板（支持基板 60）を貼り合わせるにより、複合基板 3 R を得た。

[0093] 6. 仮支持基板の除去

図 9（E）および（F）を参照して、実施例 1 と同様にして、複合基板 3 R からサファイア仮支持基板（仮支持基板 40）が除去することにより、半導体デバイス 5 R として、両主表面に Al 層（厚さ 20 nm）／Ti 層（厚

さ50nm) / Au層(厚さ500nm)の合金層(表面導電層65)が形成されたSi支持基板(支持基板60)上に、Al層(厚さ20nm) / Ti層(厚さ50nm) / Au層(厚さ500nm)で構成されるオーミック電極(導電層50)、 n^+ 型Ga_{0.2}N_{0.8}層222および n^- 型Ga_{0.2}N_{0.8}層(ドリフト層)224(III族窒化物半導体層200に対応)、ならびにNi層(厚さ50nm) / Au層(厚さ500nm)の合金で構成されるショットキー電極(電極30)がこの順に形成されたSBD(ショットキーバリアダイオード)を得た。

[0094] 得られたSBD(半導体デバイス5R)は、そのI-V特性を実施例1と同様に評価したところ、オン抵抗が $2.6\text{ m}\Omega\text{ cm}^2$ 、電流密度 $1 \times 10^{-3}\text{ A/cm}^2$ における逆方向耐圧が80V、と低特性であった。オン抵抗が高くなったのは、サファイア下地基板(下地基板10)のリフトオフ後に露出した n^+ 型Ga_{0.2}N_{0.8}層222の表面の平坦性が低いためにオーミック電極(導電層50)とSi支持基板(支持基板60)の表面に形成されたAl層(厚さ20nm) / Ti層(厚さ50nm) / Au層(厚さ500nm)の合金層(表面導電層65)との接合性が低下したこと、および、上記のリフトオフの際に結晶性の低い n^+ 型Ga_{0.2}N_{0.8}層222が受けるダメージが大きいこと、などの理由により、 n^+ 型Ga_{0.2}N_{0.8}層222とSi支持基板(支持基板60)との間のコンタクト特性が低下したことによるものと考えられる。また、逆方向耐圧が低くなったのは、 n^+ 型Ga_{0.2}N_{0.8}層222の転位密度が高かったことによるものと考えられる。

[0095] (実施例2)

1. 第1の複合基板の準備

図3(A)を参照して、直径2インチ(5.08cm)で厚さ $400\text{ }\mu\text{m}$ のGa_{0.2}N_{0.8}下地基板(下地基板10)に厚さ10nmの第1のSiO₂層14、厚さ60nmのアモルファスSi層16および厚さ230nmの第2のSiO₂層18を介在させて厚さ150nmのGa_{0.2}N_{0.8}層(第1のIII族窒化物半導体層210)が貼り合わされた第1の複合基板1Bを準備した。ここで、

GaN層（第1のIII族窒化物半導体層210）は、転位密度が $5 \times 10^6 \text{ cm}^{-2}$ であり、酸素濃度が $2 \times 10^{18} \text{ cm}^{-3}$ であった。

[0096] かかる第1の複合基板1Bは、具体的には、以下のようにして準備された。まず、図8（A）を参照して、直径2インチ（5.08cm）で厚さ400 μm のGaN下地基板（下地基板10）上に、プラズマCVD法により、厚さ10nmの第1のSiO₂層14、厚さ60nmのアモルファスSi層16および厚さ130nmの第2のSiO₂層18aを順次形成した。また、転位密度が $5 \times 10^6 \text{ cm}^{-2}$ かつ酸素濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のGaN基板（III族窒化物半導体基板20）の一方の主表面上にプラズマCVD法により厚さ100nmの第2のSiO₂層18bを形成した後、上記主表面から約150nmの深さの面Pに水素イオンを注入した。

[0097] 次いで、図8（B）を参照して、GaN下地基板（下地基板10）に形成された第2のSiO₂層18aとGaN基板（III族窒化物半導体基板20）に形成された第2のSiO₂層18bとを、それらの表面をドライエッチング装置を用いた酸素プラズマ処理により清浄化した後、重ね合わせて、室温（25℃）中で7MPaの荷重で加圧することにより、貼り合わせた。こうして得られた貼り合わせ基板を、室温（25℃）から300℃まで3時間かけてゆっくりと昇温することにより、接合界面の接合強度を高めた。かかる接合により、2つの第2のSiO₂層18a、18bが一体化して厚さ230nmの第2のSiO₂層18が形成された。

[0098] 次いで、図8（C）を参照して、上記の貼り合わせ基板を500℃に加熱して基板の主表面に対して斜めに応力をかけた。GaN基板（III族窒化物半導体基板20）が上記の面Pにおいて分離することにより、GaN下地基板（下地基板10）に第1のSiO層14、アモルファスSi層16および第2のSiO₂層18を介在させて厚さ150nmのGaN層（第1のIII族窒化物半導体層210）が貼り合わされた第1の複合基板1Bが得られた。

[0099] 2. 第2のIII族窒化物半導体層の成長

図3 (B) を参照して、実施例1と同様に、上記の第1の複合基板1Bをサーマルクリーニングした後、かかる第1の複合基板1BのGa N層（第1のIII族窒化物半導体層210）上に、MOVPE法により、1100℃の条件で、第2のIII族窒化物半導体層220として、厚さ1 μmでSi濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のn⁺型Ga N層222および厚さが5 μmでSi濃度が $6 \times 10^{15} \text{ cm}^{-3}$ のn⁻型Ga N層（ドリフト層）224を順次成長させた。さらに、実施例1と同様にして、n⁻型Ga N層224上にショットキー電極（電極30）を形成した。

[0100] 3. 仮支持基板の貼り合わせによる第2の複合基板の形成

図3 (C) を参照して、実施例1と同様に、上記の第2のIII族窒化物半導体層220および電極30とサファイア仮支持基板（仮支持基板40）とをワックス42で貼り合わせるにより、第2の複合基板2を得た。

[0101] 4. 下地基板の除去

図3 (C) および (D) を参照して、第2の複合基板2のGa N下地基板（下地基板10）側から波長532 nmのSHG-YAGレーザ光Lを照射して、レーザ光LをアモルファスSi層16に吸収させて熱に変換させて、かかる熱によりGa N下地基（下地基板10）の第1のSiO₂層14との界面近傍の部分を分解させることにより、Ga N下地基板（下地基板10）をリフトオフした。ここで、第1のSiO₂層14の厚さに比べて第2のSiO₂層18の厚さが十分に大きいため、Ga N層（第1のIII族窒化物半導体層210）ではなくGa N下地基板（下地基板10）を選択的に分解することができる。

[0102] 図3 (E) を参照して、Ga N層（第1のIII族窒化物半導体層210）上に残っている第1のSiO₂層14、アモルファスSi層16および第2のSiO₂層18をフッ酸硝酸混合溶液によるウェットエッチングにより除去した。

[0103] 上記のリフトオフにより露出したGa N層（第1のIII族窒化物半導体層210）の表面のRMS粗さは、実施例1と同様に測定したところ、40

n mと極めて小さかった。これは、Ga N層（第1のIII族窒化物半導体層210）は、その結晶性が高く、また、上記のリフトオフの際に分解を受けずに、エッチングによりその表面が露出されたものであるため、その表面の平坦性が高くなったものと考えられる。

[0104] 5. 導電層の形成

図3（F）を参照して、露出したGa N層（第1のIII族窒化物半導体層210）の主表面に、実施例1と同様にして、オーミック電極（導電層50）を形成した。

[0105] 6. 支持基板の貼り合わせによる第3の複合基板の形成

図3（G）を参照して、実施例1と同様にして、オーミック電極（導電層50）に、両主表面にAl層（厚さ20 nm）／Ti層（厚さ50 nm）／Au層（厚さ500 nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）を貼り合わせるにより、第3の複合基板3を形成した。

[0106] 7. 仮支持基板の除去

図3（G）および（H）を参照して、実施例1と同様にして、第3の複合基板3からサファイア仮支持基板（仮支持基板40）が除去することにより、半導体デバイス5として、両主表面にAl層（厚さ20 nm）／Ti層（厚さ50 nm）／Au層（厚さ500 nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）上に、Al層（厚さ20 nm）／Ti層（厚さ50 nm）／Au層（厚さ500 nm）で構成されるオーミック電極（導電層50）、Ga N層（第1のIII族窒化物半導体層210）、n⁺型Ga N層222およびn⁻型Ga N層（ドリフト層）224（第2のIII族窒化物半導体層220）、ならびにNi層（厚さ50 nm）／Au層（厚さ500 nm）の合金で構成されるショットキー電極（電極30）がこの順に形成されたSBD（ショットキーバリアダイオード）を得た。

[0107] 得られたSBD（半導体デバイス5）は、そのI-V特性を実施例1と同様に評価したところ、オン抵抗が $1.2 \text{ m}\Omega \text{ cm}^2$ 、電流密度 $1 \times 10^{-3} \text{ A/cm}^2$

m²における逆方向耐圧が400V、と高特性であった。特に、本実施例においては、GaN層（第1のIII族窒化物半導体層210）ではなくGaN下地基板（下地基板10）を部分的に分解することによりGaN下地基板（下地基板10）をリフトオフしたことにより、GaN層（第1のIII族窒化物半導体層210）の受けるダメージがさらに低減してGaN層（第1のIII族窒化物半導体層210）と導電層50との接合性がさらに向上したため、実施例1のSBDに比べて、オン抵抗をより低くできたものと考えられる。

[0108] （実施例3）

1. 第1の複合基板の準備から下地基板の除去まで

図4（A）～（E）を参照して、実施例2と同様にして、第1の複合基板1Bを準備し、第2のIII族窒化物半導体層220の成長を成長させ、仮支持基板40を貼り合わせて第2の複合基板2を形成し、かかる第2の複合基板2から下地基板10を除去し、さらに、GaN層（第1のIII族窒化物半導体層210）上に残っている第1のSiO₂層14、アモルファスSi層16および第2のSiO₂層18をフッ酸硝酸混合溶液によるウェットエッチングにより除去した（図4（E））。

[0109] 2. 第1のIII族窒化物半導体層の除去

図4（F）を参照して、GaN層（第1のIII族窒化物半導体層210）をRIEにより除去した。かかるRIEにより、露出したn⁺型GaN層222は、転位密度が $5 \times 10^6 \text{ cm}^{-2}$ 、酸素濃度が $5 \times 10^{16} \text{ cm}^{-3}$ と結晶性が非常に高く、その表面のRMS粗さが40nmと小さく平坦であった。

[0110] 3. 導電層の形成

図4（G）を参照して、露出したn⁺型GaN層222の主表面に、実施例1と同様にして、オーミック電極（導電層50）を形成した。

[0111] 4. 支持基板の貼り合わせによる第4の複合基板の形成

図4（H）を参照して、実施例1と同様にして、オーミック電極（導電層50）に、両主表面にAl層（厚さ20nm）／Ti層（厚さ50nm）／

Au層（厚さ500nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）を貼り合わせることで、第4の複合基板4を形成した。

[0112] 5. 仮支持基板の除去

図4（H）および（I）を参照して、実施例1と同様にして、第4の複合基板4からサファイア仮支持基板（仮支持基板40）が除去することにより、半導体デバイス5として、両主表面にAl層（厚さ20nm）／Ti層（厚さ50nm）／Au層（厚さ500nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）上に、Al層（厚さ20nm）／Ti層（厚さ50nm）／Au層（厚さ500nm）で構成されるオーミック電極（導電層50）、 n^+ 型Ga_{0.9}N_{0.1}層222および n^- 型Ga_{0.9}N_{0.1}層（ドリフト層）224（第2のIII族窒化物半導体層220）、ならびにNi層（厚さ50nm）／Au層（厚さ500nm）の合金で構成されるショットキー電極（電極30）がこの順に形成されたSBD（ショットキーバリアダイオード）を得た。

[0113] 得られたSBD（半導体デバイス5）は、そのI-V特性を実施例1と同様に評価したところ、オン抵抗が $1.1\text{ m}\Omega\text{ cm}^2$ 、電流密度 $1\times 10^{-3}\text{ A/cm}^2$ における逆方向耐圧が400V、と高特性であった。特に、本実施例においては、水素イオン注入のダメージを含むGa_{0.9}N_{0.1}層（第1のIII族窒化物半導体層210）を除去して、この層よりもさらに結晶性の高い n^+ 型Ga_{0.9}N_{0.1}層222を導電層50と接合させることにより、半導体層と導電層とのコンタクト特性がさらに向上したため、実施例2のSBDに比べて、オン抵抗をさらに低くできたものと考えられる。

[0114] （実施例4）

1. 第1の複合基板の準備

図5（A）を参照して、実施例2と同様にして、第1の複合基板1Bを準備した。

[0115] 2. 第2のIII族窒化物半導体層の成長

図5 (B) を参照して、実施例1と同様に、上記の第1の複合基板1Bをサーマルクリーニングした後、かかる第1の複合基板1BのGa_{0.96}N層（第1のIII族窒化物半導体層210）上に、第2のIII族窒化物半導体層220として、厚さ20nmでSi濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のn⁺型Al_{0.04}Ga_{0.96}N層221、厚さ1μmでSi濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のn⁺型Ga_{0.96}N層222および厚さが5μmでSi濃度が $6 \times 10^{15} \text{ cm}^{-3}$ のn⁻型Ga_{0.96}N層（ドリフト層）224を順次成長させた。ここで、n⁺型Al_{0.04}Ga_{0.96}N層221は、転位密度が $5 \times 10^6 \text{ cm}^{-2}$ 、酸素濃度が $8 \times 10^{16} \text{ cm}^{-3}$ であった。さらに、実施例1と同様に、n⁻型Ga_{0.96}N層224上にショットキー電極（電極30）を形成した。

[0116] 3. 第2の複合基板の形成から仮支持基板の除去まで

図5 (C) ~ (I) を参照して、実施例3と同様に、仮支持基板40を貼り合わせて第2の複合基板2を形成し、かかる第2の複合基板2から下地基板10を除去し、さらに、第1のSiO₂層14、アモルファスSi層16、第2のSiO₂層18およびGa_{0.96}N層（第1のIII族窒化物半導体層210）を除去し、露出したn⁺型Al_{0.04}Ga_{0.96}N層221の表面にオーミック電極（導電層50）を形成し、このオーミック電極（導電層50）にAl層（厚さ20nm）/Ti層（厚さ50nm）/Au層（厚さ500nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）を貼り合わせるにより第4の複合基板4を形成し、かかる第4の複合基板4からサファイア仮支持基板（仮支持基板40）を除去することにより、半導体デバイス5たるSBDを得た。

[0117] 得られたSBD（半導体デバイス5）は、両主表面にAl層（厚さ20nm）/Ti層（厚さ50nm）/Au層（厚さ500nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）上に、Al層（厚さ20nm）/Ti層（厚さ50nm）/Au層（厚さ500nm）で構成されるオーミック電極（導電層50）、n⁺型Al_{0.04}Ga_{0.96}N層221、n⁺型Ga_{0.96}N層222およびn⁻型Ga_{0.96}N層（ドリフト層）224（第2のIII族

窒化物半導体層 220)、ならびにNi層(厚さ50nm)/Au層(厚さ500nm)の合金で構成されるショットキー電極(電極30)がこの順に形成されていた。

[0118] 得られたSBD(半導体デバイス5)は、そのI-V特性を実施例1と同様に評価したところ、オン抵抗が $1.1\text{ m}\Omega\text{ cm}^2$ 、電流密度 $1\times 10^{-3}\text{ A/cm}^2$ における逆方向耐圧が400V、と実施例3のSBDと同等に高特性であった。特に、本実施例のSBDは、実施例3のSBDのn⁺型Ga_{0.96}N層222とオーミック電極(導電層50)との間にn⁺型Al_{0.04}Ga_{0.96}N層221が挿入された構造を有しており、Ga_{0.96}N層に比べて高い化学結合性を有するAl_xGa_{1-x}N層($0 < x \leq 1$)の存在により、SBDの製造においてGa_{0.96}N層(第1のIII族窒化物半導体層210)をエッチングする際に、n⁺型Al_{0.04}Ga_{0.96}N層221、n⁺型Ga_{0.96}N層222およびn⁻型Ga_{0.96}N層(ドリフト層)224(第2のIII族窒化物半導体層220)にダメージが伝搬することを抑制することができたため、高い特性が得られたものと考えられる。

[0119] (実施例5)

1. 第1の複合基板の準備

図6(A)を参照して、実施例2と同様にして、第1の複合基板1Bを準備した。

[0120] 2. 第2のIII族窒化物半導体層の成長

図6(B)を参照して、実施例1と同様に、上記の第1の複合基板1Bをサーマルクリーニングした後、かかる第1の複合基板1BのGa_{0.96}N層(第1のIII族窒化物半導体層210)上に、MOVPE法により、第2のIII族窒化物半導体層220として、厚さ2μmのn型Ga_{0.96}N層225、厚さ100nmのn型In_{0.02}Ga_{0.98}N緩衝層226、厚さ3nmのIn_{0.15}Ga_{0.85}N井戸層と厚さ15nmのGa_{0.96}N障壁層で形成される3重の多重量子井戸(MQW)構造を有する発光層227、厚さ20nmのp型Al_{0.18}Ga_{0.82}N電子ブロック層228および厚さ50nmのp型Ga_{0.96}Nコンタクト層229を形成した。ここで、n型In_{0.02}Ga_{0.98}N緩衝層226およびGa_{0.96}N障壁層は

840℃で成長させ、 $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ 井戸層は780℃で成長させ、その他の層は1100℃で成長させた。

[0121] さらに、p型Ga_{0.85}Nコンタクト層229上の一部に、真空蒸着法により、Ni層（厚さ5nm）／Au層（厚さ10nm）で構成される外形が0.8mm×0.8mm角で中央部に直径100μmの開口部を有するp電極（電極30）を形成した。p電極（電極30）の上記開口部を覆ってp型Ga_{0.85}Nコンタクト層229およびp電極（電極30）に接触するように、真空蒸着法により、Ti層（厚さ50nm）／Au層（厚さ500nm）で構成される直径が120μmのパッド電極33を形成した。

[0122] 3. 第2の複合基板の形成から仮支持基板の除去まで

図6（C）～（I）を参照して、実施例2と同様にして、仮支持基板40を貼り合わせて第2の複合基板2を形成し、かかる第2の複合基板2から下地基板10を除去し、さらに、第1のSiO₂層14、アモルファスSi層16および第2のSiO₂層18を除去し、露出したGa_{0.85}N層（第1のIII族窒化物半導体層210）の表面にオーミック電極（導電層50）を形成し、このオーミック電極（導電層50）にAl層（厚さ20nm）／Ti層（厚さ50nm）／Au層（厚さ500nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）を貼り合わせるにより第3の複合基板3を形成し、かかる第3の複合基板3からサファイア仮支持基板（仮支持基板40）を除去し、1mm×1mm角（1mm²）の大きさにチップ化することにより、半導体デバイス5たるLED（発光ダイオード）を得た。

[0123] 得られたLED（半導体デバイス5）は、両主表面にAl層（厚さ20nm）／Ti層（厚さ50nm）／Au層（厚さ500nm）の合金層（表面導電層65）が形成されたSi支持基板（支持基板60）上に、Al層（厚さ20nm）／Ti層（厚さ50nm）／Au層（厚さ500nm）で構成されるオーミック電極（導電層50）、Ga_{0.85}N層（第1のIII族窒化物半導体層210）、n型Ga_{0.85}N層225、n型 $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 緩衝層226、 $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ 井戸層とGa_{0.85}N障壁層で構成される3重の多重量子井戸（M

QW) 構造を有する発光層 227、p 型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ 電子ブロック層 228 および p 型 GaN コンタクト層 229 (第 2 の III 族窒化物半導体層 220)、p 電極 (電極 30) およびパッド電極 33 がこの順に形成されていた。

[0124] (比較例 2)

図 10 を参照して、サファイア下地基板上に、MOVPE 法により、厚さ $5\mu\text{m}$ の n 型 GaN 層 225、厚さ 100nm の n 型 $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 緩衝層 226、厚さ 3nm の $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ 井戸層と厚さ 15nm の GaN 障壁層で形成される 3 重の多重量子井戸 (MQW) 構造を有する発光層 227、厚さ 20nm の p 型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ 電子ブロック層 228 および厚さ 50nm の p 型 GaN コンタクト層 229 を形成した。ここで、n 型 $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 緩衝層 226 および GaN 障壁層は 840°C で成長させ、 $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ 井戸層は 780°C で成長させ、その他の層は 1100°C で成長させた。

[0125] さらに、p 型 GaN コンタクト層 229 上の一部に、真空蒸着法により、Ni 層 (厚さ 5nm) / Au 層 (厚さ 10nm) で構成され、外形が $0.8\text{mm} \times 0.8\text{mm}$ 角から n 電極形成用領域部分が切り取られた形状であり、直径 $100\mu\text{m}$ の開口部を有する p 電極 (電極 30) を形成した。p 電極 (電極 30) の上記開口部を覆って p 型 GaN コンタクト層 229 および p 電極 (電極 30) に接触するように、真空蒸着法により、Ti 層 (厚さ 50nm) / Au 層 (厚さ 500nm) で構成される直径が $120\mu\text{m}$ のパッド電極 33 を形成した。

[0126] 次いで、p 型 GaN コンタクト層 229、p 型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ 電子ブロック層 228、発光層 227 および n 型 $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 緩衝層 226 のそれぞれの一部 (上記 p 電極 (電極 30) の n 電極形成用領域を含む外周領域に対応する部分) を RIE によってメサエッチングし、n 型 GaN 層 225 の一部を露出させた。n 型 GaN 層 225 の露出部分の n 電極形成用領域部分に、真空蒸着法により Al 層 (厚さ 20nm) / Ti 層 (厚さ 50nm) / Au 層 (厚さ 500nm) で構成される n 電極 (電極 70) を形成し、 1mm

× 1 mm 角 (1 mm²) の大きさにチップ化することにより、半導体デバイス 5 R たる LED (発光ダイオード) を得た。比較例 2 の LED (半導体デバイス 5 R) においては、サファイア下地基板が絶縁性であることから、n 電極 (電極 70) を p 電極 (電極 30) と同じ側に形成するため、比較例 2 の LED (半導体デバイス 5 R) の発光面積は、実施例 5 の LED (半導体デバイス 5) の発光面積に比べて 15% 小さい。ここで、比較例 2 および実施例 5 の LED においては、いずれも発光面積は p 電極 (電極 30) においてパッド電極 33 が形成されていない部分の面積に等しい。

[0127] 上記の実施例 5 および比較例 2 の LED (半導体デバイス) の発光強度を、積分球により測定したところ、実施例 5 の LED の輝度は、比較例 2 の LED の輝度に対して約 1.6 倍と高かった。実施例 5 の LED では、n 型 GaN 層 225 の下に存在する Al 層が反射膜として働いていることと、縦型のデバイス構造によって発光面積を広く取ることができ、電流密度が高いほど顕著になる内部量子効率の低下が抑制されたことが有利に働いているものと考えられる。

[0128] 今回開示された実施形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明でなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

符号の説明

[0129] 1A, 1B 第1の複合基板、1R, 2R, 3R 複合基板、2 第2の複合基板、3 第3の複合基板、4 第4の複合基板、5, 5R 半導体デバイス、10 下地基板、12, 12a, 12b SiO₂膜、14 第1のSiO₂膜、16 アモルファスSi層、18, 18a, 18b 第2のSiO₂膜、20 III族窒化物半導体基板、21 残りのIII族窒化物半導体基板、30, 70 電極、33 パッド電極、40 仮支持基板、42 ワックス、50 導電層、60 支持基板、65 表面導電層、200 III族窒化物半導体層、200c 導電層隣接III族窒化物半導体層、2

10 第1のIII族窒化物半導体層、220 第2のIII族窒化物半導体層、221 n^+ 型 $\text{Al}_{0.04}\text{Ga}_{0.96}\text{N}$ 層、222 n^+ 型 GaN 層、224 n -型 GaN 層、225 n 型 GaN 層、226 n 型 $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 緩衝層、227 発光層、228 p 型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ 電子ブロック層、229 p 型 GaN コンタクト層。

請求の範囲

- [請求項1] 支持基板（60）と、前記支持基板（60）上に配置された導電層（50）と、前記導電層（50）上に配置された少なくとも1層のⅢⅢ族窒化物半導体層（200）と、を含み、
前記ⅢⅢ族窒化物半導体層（200）のうち前記導電層（50）に隣接する導電層隣接ⅢⅢ族窒化物半導体層（200c）は、n型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である半導体デバイス。
- [請求項2] 前記導電層隣接ⅢⅢ族窒化物半導体層（200c）の酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である請求項1に記載の半導体デバイス。
- [請求項3] 前記導電層隣接ⅢⅢ族窒化物半導体層（200c）は、ⅢⅢ族窒化物を構成するⅢⅢ族元素としてAlを含む請求項2に記載の半導体デバイス。
- [請求項4] 前記導電層隣接ⅢⅢ族窒化物半導体層（200c）は、ⅢⅢ族窒化物を構成するⅢⅢ族元素としてAlを含む請求項1に記載の半導体デバイス。
- [請求項5] 下地基板（10）に第1のⅢⅢ族窒化物半導体層（210）が貼り合わされた第1の複合基板（1A, 1B）を準備する工程と、
前記第1の複合基板（1A, 1B）の前記第1のⅢⅢ族窒化物半導体層（210）上に少なくとも1層の第2のⅢⅢ族窒化物半導体層（220）を成長させる工程と、
前記第2のⅢⅢ族窒化物半導体層（220）に仮支持基板（40）を貼り合わせて第2の複合基板（2）を形成する工程と、
前記第2の複合基板（2）から前記下地基板（10）を除去する工程と、
前記第1のⅢⅢ族窒化物半導体層（210）上に導電層（50）を形成する工程と、
前記導電層（50）に支持基板（60）を貼り合わせて第3の複合

基板（３）を形成する工程と、

前記第３の複合基板（３）から前記仮支持基板（４０）を除去する工程と、を含み、

前記第１のⅢⅢⅢ族窒化物半導体層（２１０）は、 n 型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下である半導体デバイスの製造方法。

[請求項６]

下地基板（１０）に第１のⅢⅢⅢ族窒化物半導体層（２１０）が貼り合わされた第１の複合基板（１Ａ，１Ｂ）を準備する工程と、

前記第１の複合基板（１Ａ，１Ｂ）の前記第１のⅢⅢⅢ族窒化物半導体層（２１０）上に少なくとも１層の第２のⅢⅢⅢ族窒化物半導体層（２２０）を成長させる工程と、

前記第２のⅢⅢⅢ族窒化物半導体層（２２０）に仮支持基板（４０）を貼り合わせて第２の複合基板（２）を形成する工程と、

前記第２の複合基板（２）から前記下地基板（１０）を除去する工程と、

前記第１のⅢⅢⅢ族窒化物半導体層（２１０）を除去する工程と、

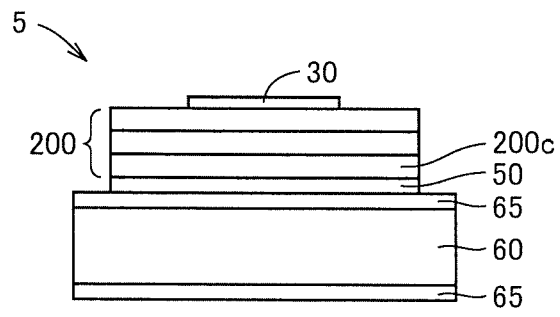
前記第２のⅢⅢⅢ族窒化物半導体層（２２０）上に導電層（５０）を形成する工程と、

前記導電層（５０）に支持基板（６０）を貼り合わせて第４の複合基板（４）を形成する工程と、

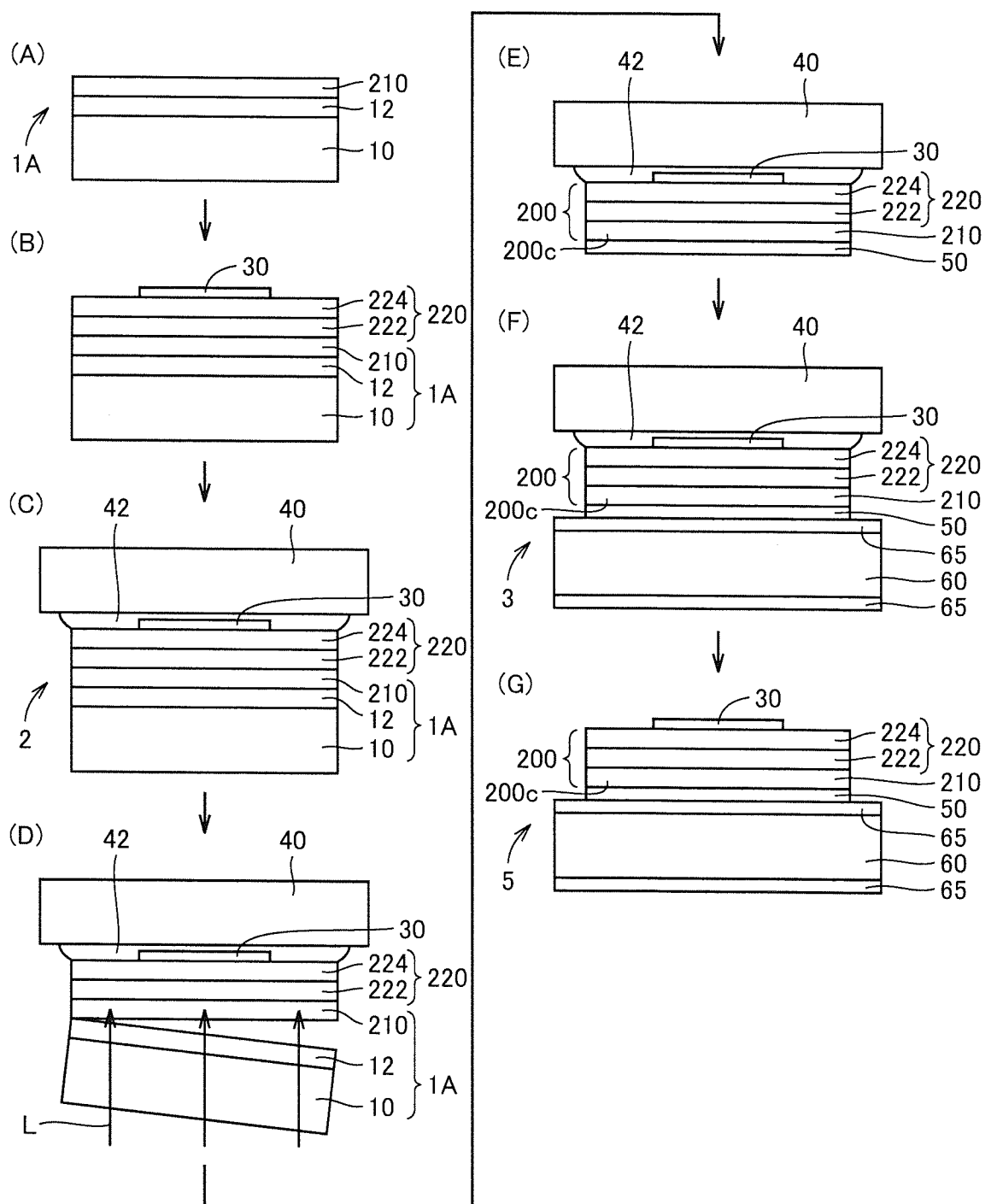
前記第４の複合基板（４）から前記仮支持基板（４０）を除去する工程と、を含み、

前記第２のⅢⅢⅢ族窒化物半導体層（２２０）のうち前記導電層（５０）に隣接する導電層隣接ⅢⅢⅢ族窒化物半導体層（２００ｃ）は、 n 型導電性を有し、転位密度が $1 \times 10^7 \text{ cm}^{-2}$ 以下であり、酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下である半導体デバイスの製造方法。

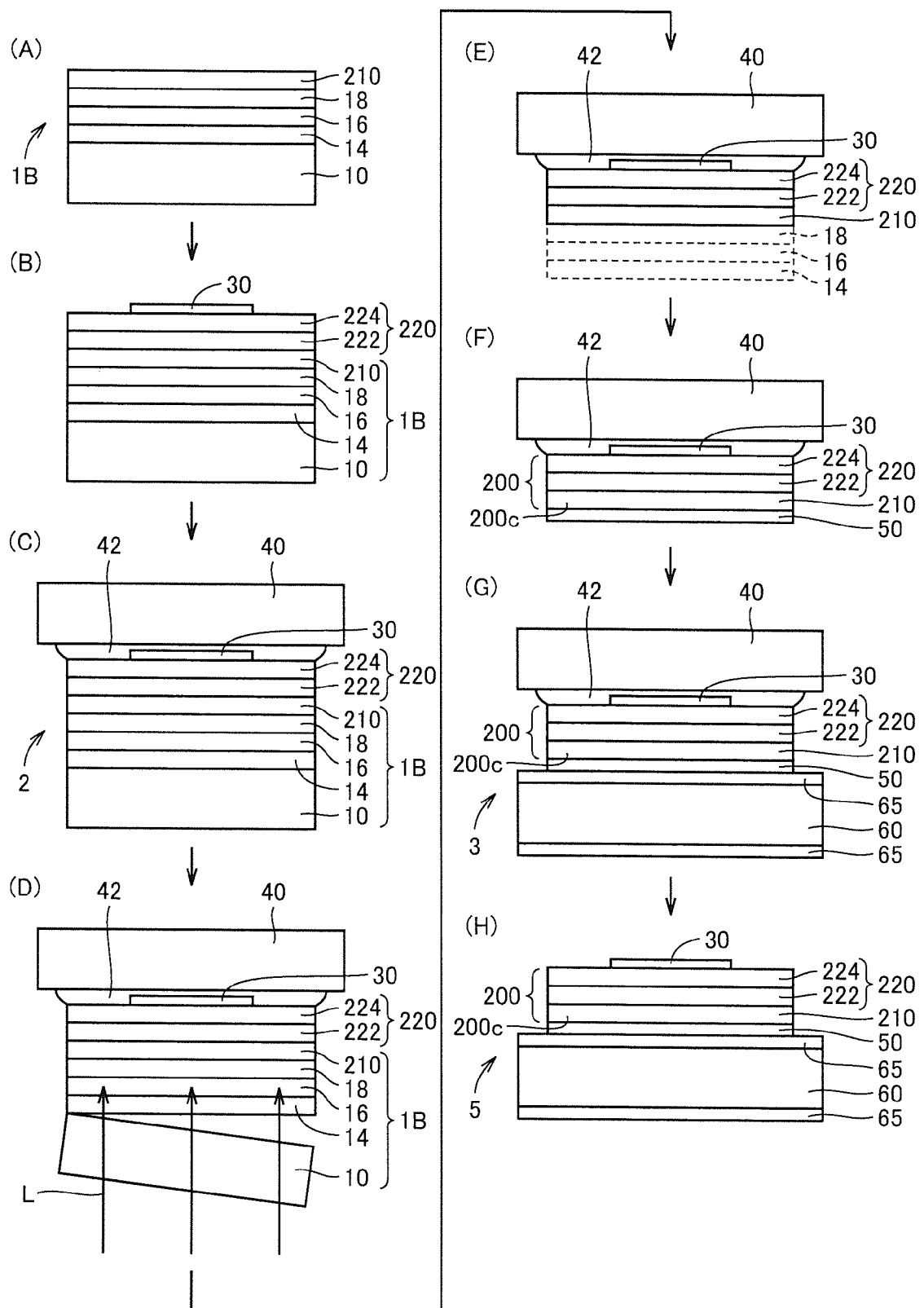
[図1]



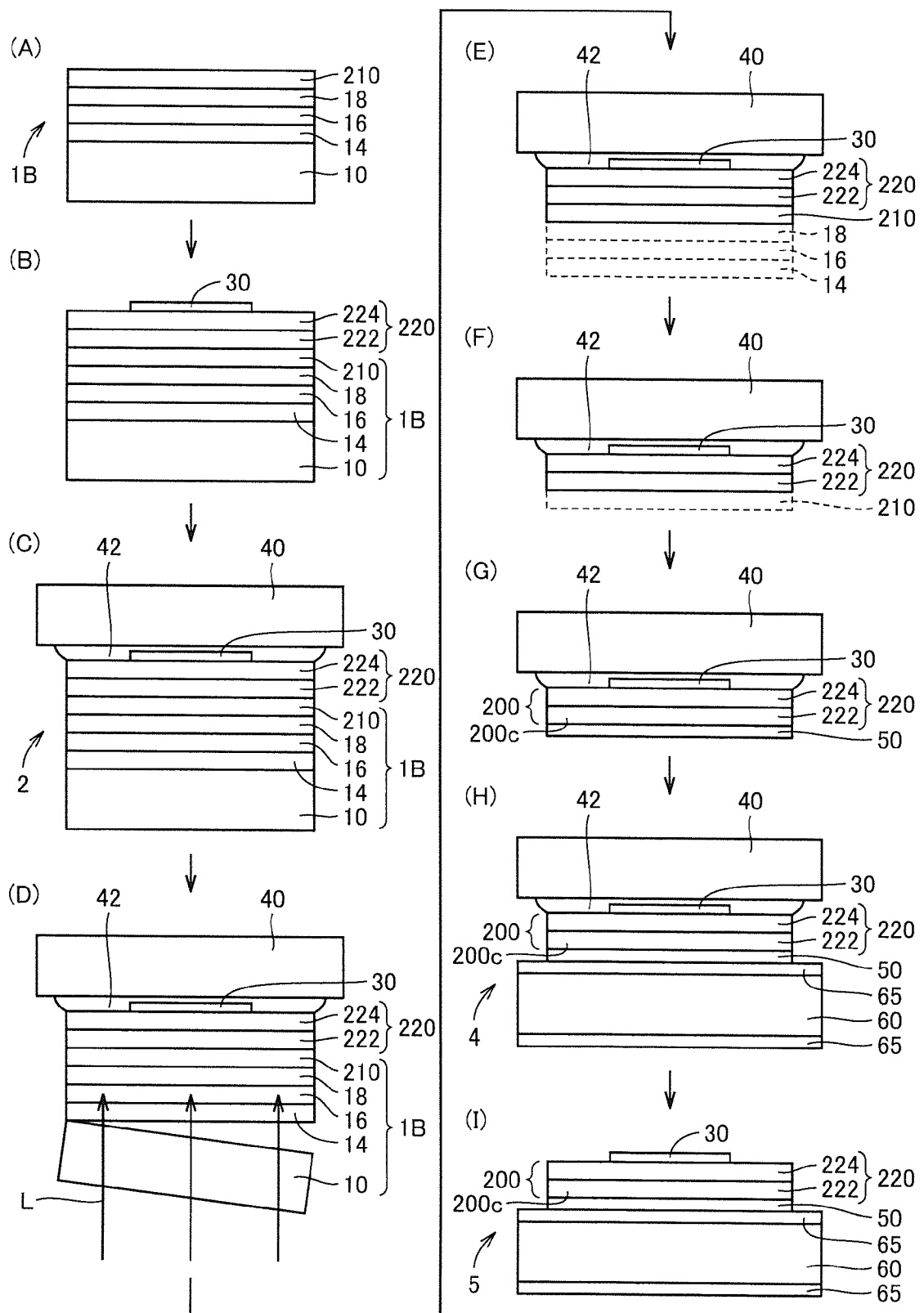
[図2]



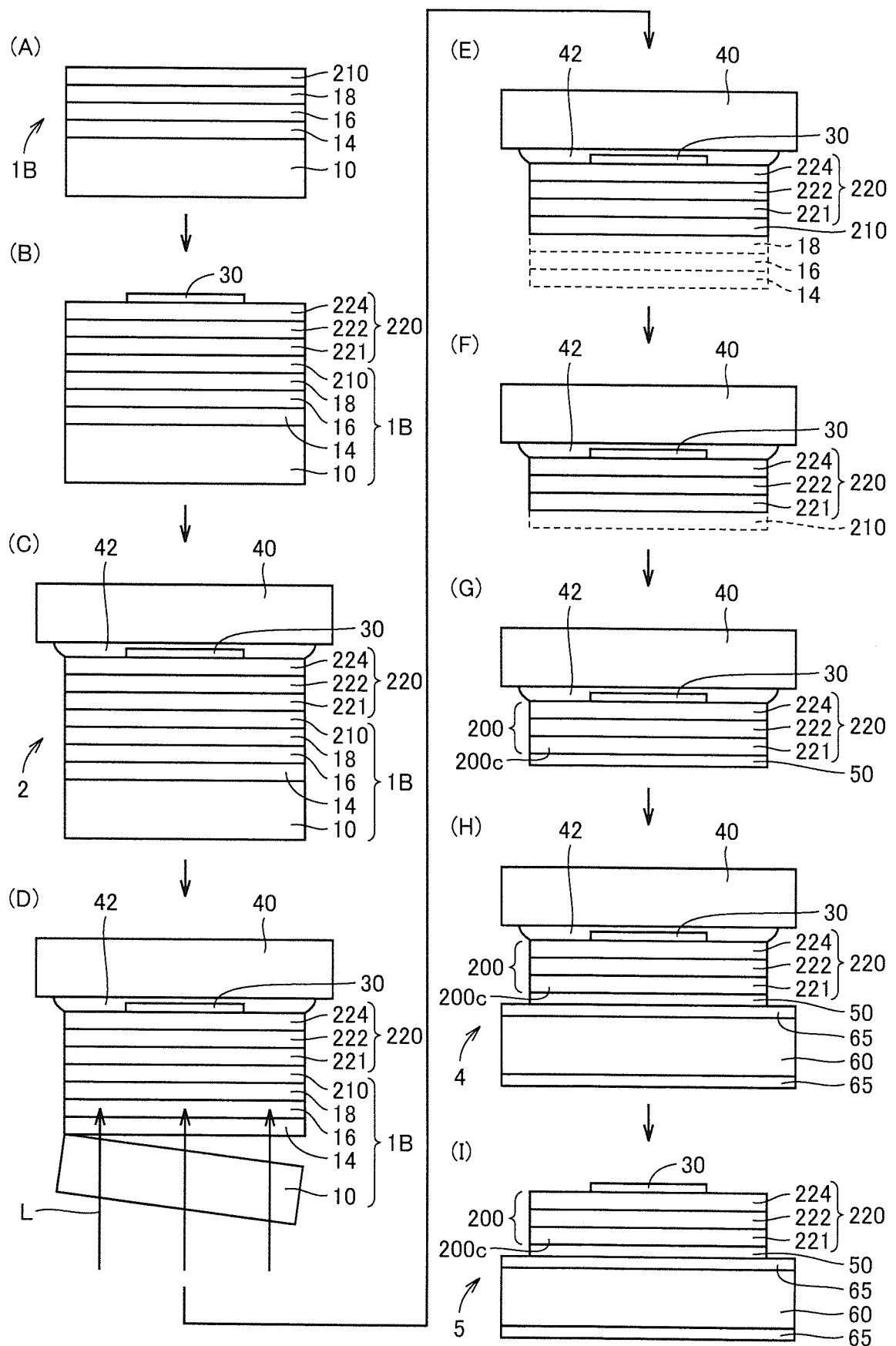
[図3]



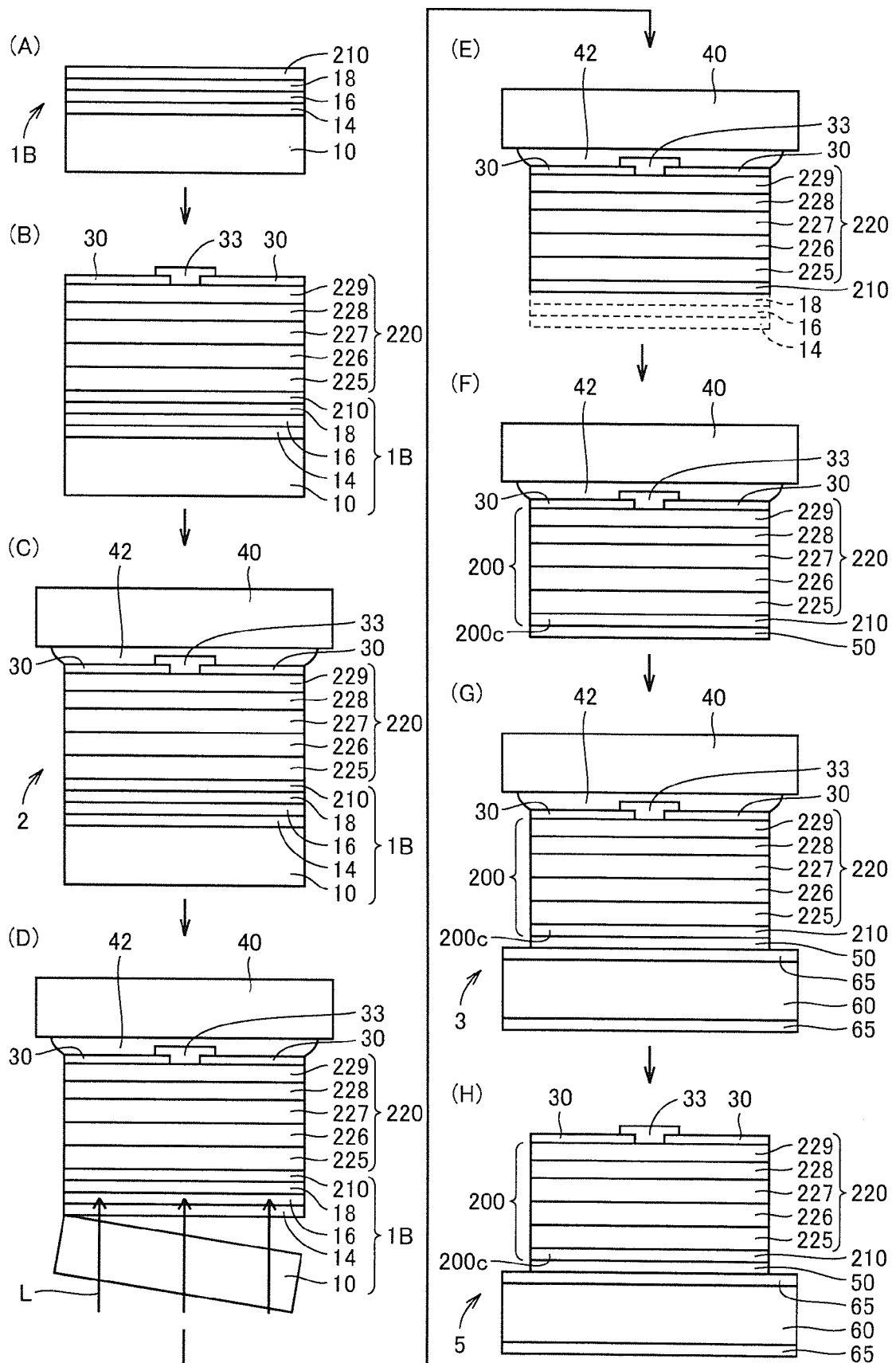
[図4]



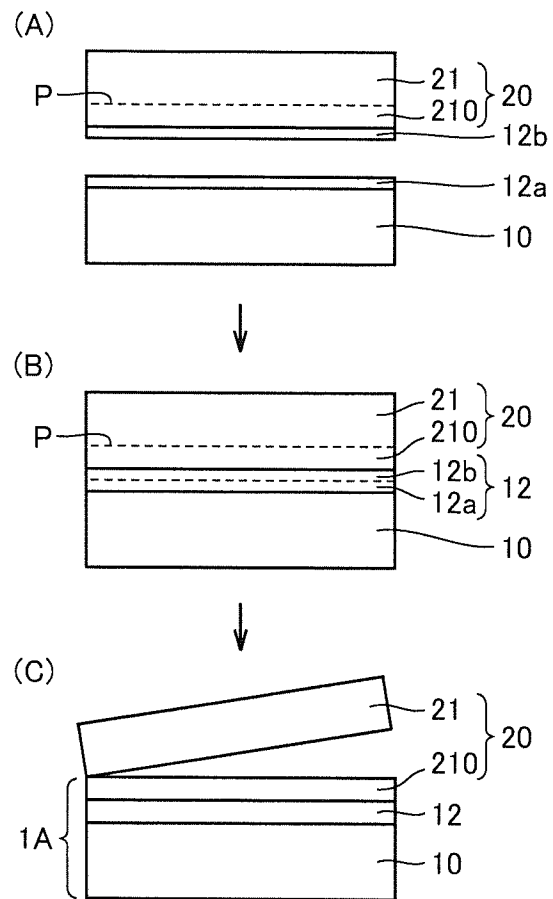
[図5]



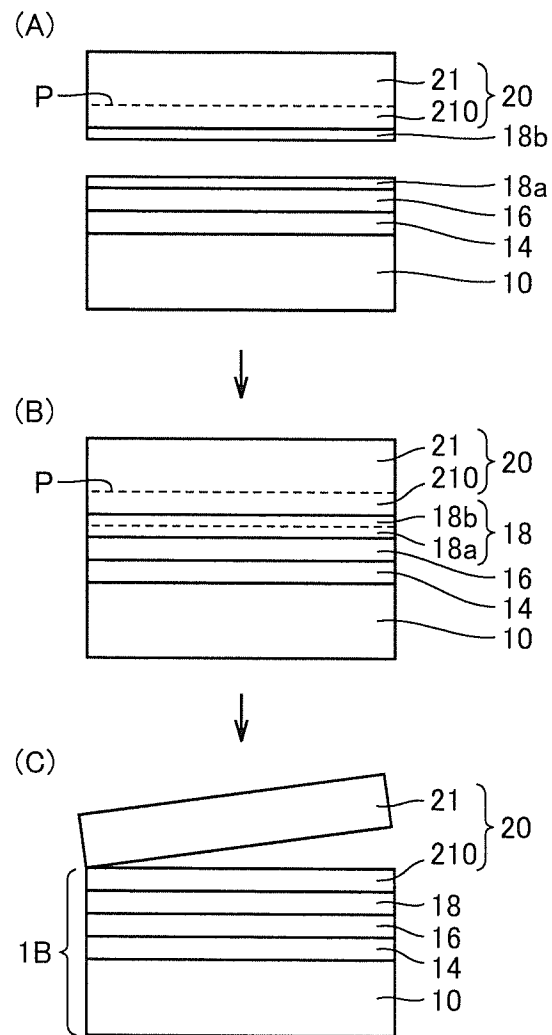
[図6]



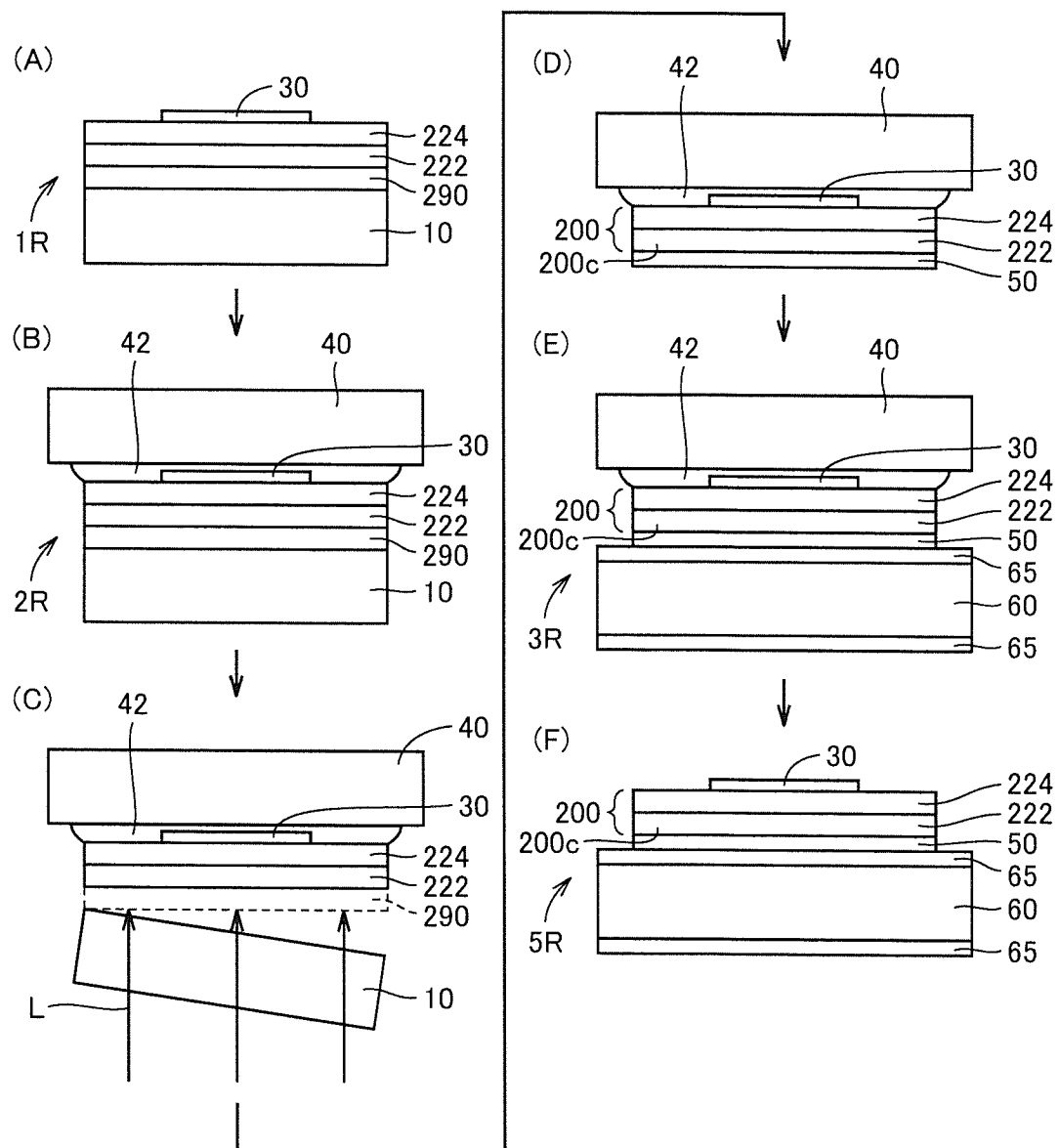
[図7]



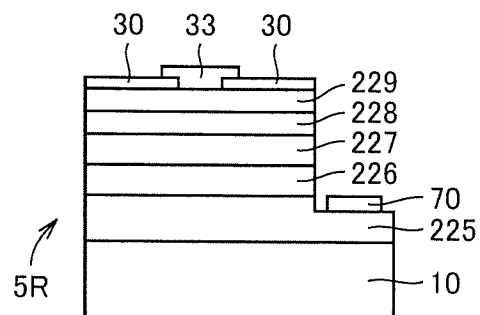
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051062

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/32(2010.01)i, H01L21/02(2006.01)i, H01L29/47(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/18-21/20, 21/28-21/288, 21/34-21/36, 21/44-21/445, 21/84, 29/40-29/49, 29/872, 33/00-33/64, H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-232625 A (Sumitomo Electric Industries, Ltd.), 14 October 2010 (14.10.2010), entire text; fig. 1 to 4 (Family: none)	1-5 6
Y A	JP 2010-182936 A (Sumitomo Electric Industries, Ltd.), 19 August 2010 (19.08.2010), paragraphs [0023] to [0031] (Family: none)	1-5 6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 March, 2012 (06.03.12)

Date of mailing of the international search report
19 March, 2012 (19.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051062

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-120465 A (Sumitomo Electric Industries, Ltd.), 04 June 2009 (04.06.2009), paragraph [0151] & US 2009/0108297 A1 & EP 2055811 A2 & KR 10-2009-0042164 A & CN 101441999 A	1-5 6
Y A	JP 2009-260391 A (Sumitomo Electric Industries, Ltd.), 05 November 2009 (05.11.2009), paragraphs [0061] to [0063] (Family: none)	1-5 6
Y A	WO 2008/091010 A1 (Shin-Etsu Handotai Co., Ltd.), 31 July 2008 (31.07.2008), fig. 2 to 3 & US 2010/0032688 A1 & CN 101589479 A	1-5 6
A	JP 2010-56100 A (Sumitomo Electric Industries, Ltd.), 11 March 2010 (11.03.2010), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L33/32 (2010.01) i, H01L21/02 (2006.01) i, H01L29/47 (2006.01) i, H01L29/872 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L 21/18-21/20, 21/28-21/288, 21/34-21/36, 21/44-21/445, 21/84, 29/40-29/49, 29/872, 33/00-33/64, H01S 5/00- 5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-232625 A (住友電気工業株式会社) 2010. 10. 14, 全文、 図 1-図 4 (ファミリーなし)	1-5
A		6
Y	JP 2010-182936 A (住友電気工業株式会社) 2010. 08. 19, 段落[0023]-[0031] (ファミリーなし)	1-5
A		6
Y	JP 2009-120465 A (住友電気工業株式会社) 2009. 06. 04, 段落[0151] & US 2009/0108297 A1 & EP 2055811 A2 & KR 10-2009-0042164 A	1-5
A	& CN 101441999 A	6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 9 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

多田 春奈

2 K

3 2 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-260391 A (住友電気工業株式会社) 2009. 11. 05, 段落[0061]-[0063] (ファミリーなし)	1-5
A		6
Y	WO 2008/091010 A1 (信越半導体株式会社) 2008. 07. 31, 図 2-3 & US 2010/0032688 A1 & CN 101589479 A	1-5
A		6
A	JP 2010-56100 A (住友電気工業株式会社) 2010. 03. 11, 全文、全図 (ファミリーなし)	1-6