

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年1月18日(2007.1.18)

【公開番号】特開2006-48749(P2006-48749A)

【公開日】平成18年2月16日(2006.2.16)

【年通号数】公開・登録公報2006-007

【出願番号】特願2004-224130(P2004-224130)

【国際特許分類】

G 11 C 16/06 (2006.01)

G 11 C 16/02 (2006.01)

G 11 C 16/04 (2006.01)

【F I】

G 11 C 17/00 6 3 4 A

G 11 C 17/00 6 3 3 A

G 11 C 17/00 6 1 1 F

G 11 C 17/00 6 1 1 Z

G 11 C 17/00 6 2 3 A

【手続補正書】

【提出日】平成18年11月20日(2006.11.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行方向にN(Nは自然数)個、列方向にL(Lは自然数)個配置され、各メモリセルブロックがM(Mは自然数)個のメモリセルを有する複数のメモリセルブロックと、複数のワード線と、複数の第1のコントロールゲート線と、複数のピット線とを有し、

前記複数のメモリセルの各々は、不揮発性メモリ素子と、ワード線スイッチとを含み、前記不揮発性メモリ素子の一端と前記ワード線スイッチの一端が接続され、

前記複数のワード線の各々は、前記複数のメモリセルのうちの行方向に配列されたN個のメモリセルブロックのメモリセルの前記ワード線スイッチのゲート電極を共通接続し、

前記複数のピット線の各々は、前記複数のメモリセルのうちの列方向に配列されたL個のメモリセルの前記ワード線スイッチの他端を共通接続し、

前記複数の第1のコントロールゲート線の各々は、各メモリセルブロック内の前記M個のメモリセルの前記不揮発性メモリ素子のコントロールゲート電極を共通接続するよう各メモリセルブロックに配置され、

選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

前記選択されたメモリセルブロックのメモリセルに接続されたワード線にワード線用書き込み電圧を印加して、前記選択されたメモリセルブロックのメモリセルの前記ワード線スイッチをONにし、

前記選択されたメモリセルブロックのメモリセルに接続されたピット線にピット線用書き込み電圧を印加し、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線にコントロールゲート線用書き込み電圧を印加することを特徴とする不揮発性記憶装置。

【請求項2】

請求項1において、

複数のビット線選択信号を出力するYデコーダと、
前記複数のビット線選択信号の各々によってON/OFFの制御がされるM×N個のビット線スイッチとを有し、
行方向に配列されたN個のメモリセルブロックの各々には、M本のビット線が接続され、

前記M本のビット線に対応するM個のビット線スイッチの各々は、その一端が前記M本のビット線の各々に接続され、その他端がM本のデータバスの各信号線に接続され、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

前記データバスの各信号線には、前記ビット線用書き込み電圧又はビット線用非選択電圧が供給され、

前記Yデコーダは、前記選択されたメモリセルブロックのメモリセルに接続されたビット線に接続されたビット線スイッチを制御するための前記ビット線選択信号をアクティブに設定して前記選択されたメモリセルブロックに対応する前記M本のビット線に接続されたビット線スイッチをONにし、

前記データバスの各信号線に印加された電圧を前記選択されたメモリセルブロックに対応する前記M本のビット線の各々に供給することで、前記選択されたメモリセルブロックのメモリセルに接続されたビット線に前記ビット線用書き込み電圧又は前記ビット線用非選択電圧を印加することを特徴とする不揮発性記憶装置。

【請求項3】

請求項2において、

複数の第2のコントロールゲート線を有し、

前記複数のメモリセルブロックの各々に配置された第1のコントロールゲート線の一端には第1のコントロールゲートスイッチの一端が接続され、

前記複数の第2のコントロールゲート線の各々は、列方向に配列されたL個のメモリセルブロックの各々に接続された前記第1のコントロールゲートスイッチの他端を共通接続し、

前記第1のコントロールゲートスイッチのON/OFFは、ワード線によって制御され、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチと接続する第2のコントロールゲート線に前記コントロールゲート線用書き込み電圧を印加し、

前記複数の第2のコントロールゲート線のうち、前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチとは接続されない第2のコントロールゲート線には、コントロールゲート線用非選択電圧を印加し、

前記選択されたメモリセルブロックに接続されたワード線に前記ワード線用書き込み電圧を印加して、前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチをONにし、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に前記コントロールゲート線用書き込み電圧を供給することを特徴とする不揮発性記憶装置。

【請求項4】

請求項3において、

前記複数の第2のコントロールゲート線の各々は、前記ビット線選択信号に基づいて前記コントロールゲート用書き込み電圧が供給され、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

アクティブに設定された前記ビット線選択信号に基づいて、前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチに接続する第2のコントロールゲート線に前記コントロールゲート線用書き込み電圧が印加され、

前記複数の第2のコントロールゲート線のうち、前記選択されたメモリセルブロックに対応する第1のコントロールゲートスイッチに接続されない第2のコントロールゲート線は、ノンアクティブに設定された前記ビット線選択信号に基づいて、前記コントロールゲート線用非選択電圧が印加されることを特徴とする不揮発性記憶装置。

【請求項5】

請求項1乃至4のいずれかにおいて、

前記複数の第1のコントロールゲート線の各々には、ワード線によってON/OFFが制御される第2のコントロールゲートスイッチの一端が接続され、

前記第2のコントロールゲートスイッチの他端は接地され、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第2のコントロールゲートスイッチがOFFに設定され、

前記複数のワード線のうち、前記選択されたメモリセルブロックが接続されていないワード線にはワード線用非選択電圧が印加され、前記ワード線用非選択電圧が印加されたワード線と接続するメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第2のコントロールゲートスイッチがONに設定されることで、前記複数のメモリセルブロックのうち、前記選択されたメモリセルブロックの行と異なる行に配置されたメモリセルブロック内に配置された第1のコントロールゲート線が接地されることを特徴とする不揮発性記憶装置。

【請求項6】

行方向にN(Nは自然数)個、列方向にL(Lは自然数)個配置され、各メモリセルブロックがM(Mは自然数)個のメモリセルを有する複数のメモリセルブロックと、不揮発性メモリ素子の一端とワード線スイッチの一端が接続されて構成された複数のメモリセルのうち行方向に配列されたM×N個のメモリセルのワード線スイッチのゲート電極を共通接続する複数のワード線と、各メモリセルブロック内の前記M個のメモリセルの前記不揮発性メモリ素子のコントロールゲート電極を共通接続する複数の第1のコントロールゲート線と、列方向に配列されたL個のメモリセルの前記ワード線スイッチの他端を共通接続し複数のビット線とを有する不揮発性記憶装置のデータ書き込み方法であって、

選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

前記選択されたメモリセルブロックのメモリセルに接続されたワード線にワード線用書き込み電圧を印加して、前記選択されたメモリセルブロックのメモリセルのワード線スイッチをONにし、

前記選択されたメモリセルブロックのメモリセルに接続されたビット線にビット線用書き込み電圧を印加し、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線にコントロールゲート線用書き込み電圧を印加することを特徴とする不揮発性記憶装置のデータ書き込み方法。

【請求項7】

請求項6において、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

一端がM本のビット線の各々と接続されるM個のビット線スイッチの他端が接続されたデータバスの各信号線に、前記ビット線用書き込み電圧又はビット線用非選択電圧を供給し、

前記選択されたメモリセルブロックのメモリセルに接続されたビット線に接続されたビット線スイッチを制御するためのビット線選択信号をアクティブに設定して前記選択されたメモリセルブロックに対応するM本のビット線に接続されたビット線スイッチをONにし、

前記データバスの各信号線に印加された電圧を前記選択されたメモリセルブロックに対応する前記M本のビット線の各々に供給することで、前記選択されたメモリセルブロックのメモリセルに接続されたビット線に前記ビット線用書き込み電圧又は前記ビット線用非

選択電圧を印加することを特徴とする不揮発性記憶装置のデータ書き込み方法。

【請求項 8】

請求項 7において、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチと接続する第2のコントロールゲート線に前記コントロールゲート線用書き込み電圧を印加し、

前記複数の第2のコントロールゲート線のうち、前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチとは接続されない第2のコントロールゲート線には、コントロールゲート線用非選択電圧を印加し、

前記選択されたメモリセルブロックに接続されたワード線に前記ワード線用書き込み電圧を印加して、前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチをONにし、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に前記コントロールゲート線用書き込み電圧を供給することを特徴とする不揮発性記憶装置のデータ書き込み方法。

【請求項 9】

請求項 8において、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

アクティブに設定された前記ビット線選択信号に基づいて、前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第1のコントロールゲートスイッチに接続する第2のコントロールゲート線に前記コントロールゲート線用書き込み電圧を印加し、

前記複数の第2のコントロールゲート線のうち、前記選択されたメモリセルブロックに対応する第1のコントロールゲートスイッチに接続されない第2のコントロールゲート線に、ノンアクティブに設定された前記ビット線選択信号に基づいて、前記コントロールゲート線用非選択電圧を印加することを特徴とする不揮発性記憶装置のデータ書き込み方法。

【請求項 10】

請求項 6乃至 9のいずれかにおいて、

前記選択されたメモリセルブロックのメモリセルにデータの書き込みを行う際には、

前記選択されたメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第2のコントロールゲートスイッチをOFFに設定し、

前記複数のワード線のうち、前記選択されたメモリセルブロックが接続されていないワード線にワード線用非選択電圧を印加し、前記ワード線用非選択電圧が印加されたワード線と接続するメモリセルブロックに配置された第1のコントロールゲート線に接続された前記第2のコントロールゲートスイッチをONに設定することで、前記複数のメモリセルブロックのうち、前記選択されたメモリセルブロックの行と異なる行に配置されたメモリセルブロック内に配置された第1のコントロールゲート線を接地することを特徴とする不揮発性記憶装置のデータ書き込み方法。