



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I476892 B

(45)公告日：中華民國 104 (2015) 年 03 月 11 日

(21)申請案號：100148998

(22)申請日：中華民國 100 (2011) 年 12 月 27 日

(51)Int. Cl. : **H01L25/075 (2006.01)**

(30)優先權：2010/12/27 美國

12/978,722

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72)發明人：舒柏 馬丁 F SCHUBERT, MARTIN F. (US)

(74)代理人：陳長文

(56)參考文獻：

US 2009/0050907A1

審查人員：張添智

申請專利範圍項數：22 項 圖式數：4 共 27 頁

(54)名稱

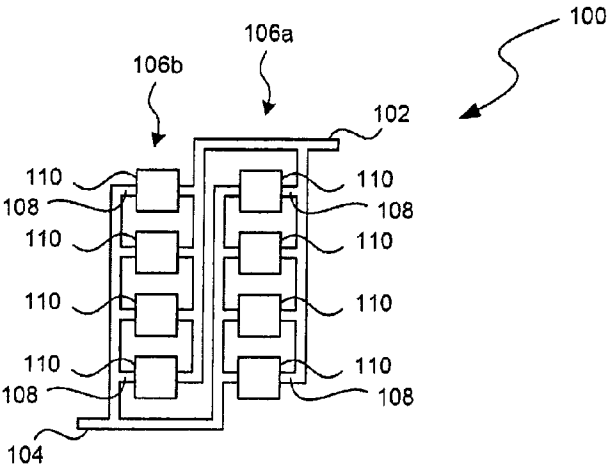
具有高電壓固態照明晶粒之陣列總成

ARRAY ASSEMBLIES WITH HIGH VOLTAGE SOLID STATE LIGHTING DIES

(57)摘要

本文中描述具有高電壓固態照明(「SSL」)晶粒之 SSL 總成及製造方法之各種實施例。在一實施例中，SSL 晶粒之一陣列總成包括經組態以接收一輸入電壓(V_o)之一第一端子及一第二端子。該陣列總成亦包括耦接於該第一端子與該第二端子之間的複數個 SSL 晶粒，該複數個 SSL 晶粒中之至少一些為並聯耦接之高電壓 SSL 晶粒。

Various embodiments of solid state lighting ("SSL") assemblies with high voltage SSL dies and methods of manufacturing are described herein. In one embodiment, an array assembly of SSL dies includes a first terminal and a second terminal configured to receive an input voltage (V_o). The array assembly also includes a plurality of SSL dies coupled between the first terminal and the second terminal, at least some of which are high voltage SSL dies coupled in parallel.



- 100 . . . 陣列總成
- 102 . . . 第一端子
- 104 . . . 第二端子
- 106a . . . 第一串
- 106b . . . 第二串
- 108 . . . 分支
- 110 . . . 高電壓 SSL 晶粒/多接面 SSL 晶粒

圖1A

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/48998

※申請日：100.12.27

※IPC分類：H01L 25/075 (2006.01)

一、發明名稱：(中文/英文)

具有高電壓固態照明晶粒之陣列總成

ARRAY ASSEMBLIES WITH HIGH VOLTAGE SOLID STATE
LIGHTING DIES

二、中文發明摘要：

本文中描述具有高電壓固態照明(「SSL」)晶粒之SSL總成及製造方法之各種實施例。在一實施例中，SSL晶粒之一陣列總成包括經組態以接收一輸入電壓(V_o)之一第一端子及一第二端子。該陣列總成亦包括耦接於該第一端子與該第二端子之間的複數個SSL晶粒，該複數個SSL晶粒中之至少一些為並聯耦接之高電壓SSL晶粒。

三、英文發明摘要：

Various embodiments of solid state lighting ("SSL") assemblies with high voltage SSL dies and methods of manufacturing are described herein. In one embodiment, an array assembly of SSL dies includes a first terminal and a second terminal configured to receive an input voltage (V_o). The array assembly also includes a plurality of SSL dies coupled between the first terminal and the second terminal, at least some of which are high voltage SSL dies coupled in parallel.

四、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

100	陣列總成
102	第一端子
104	第二端子
106a	第一串
106b	第二串
108	分支
110	高電壓 SSL 晶粒 / 多接面 SSL 晶粒

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於具有高電壓固態照明(「SSL」)晶粒之陣列總成及相關聯之製造方法。

【先前技術】

不同類型之發光二極體(「LED」)可具有不同之順向內建式電壓(或接面電壓(junction voltage))。舉例而言，以氮化鎵/氮化銦鎵(GaN/InGaN)為基礎之藍色及綠色LED晶粒通常在約3伏特直流(「DC」)之順向內建式電壓下操作。以磷化鋁銦鎵(AlInGaP)為基礎之LED晶粒可具有大約2伏特DC之順向內建式電壓。為了將電力供應至LED晶粒，電源供應器通常包括AC/DC整流器、DC/DC轉換器、功率調節器，及/或其他合適之部件。然而，此等電源供應器可在其輸出電壓與輸入電壓之間的差較小時更有效率地操作。因此，在高於為3伏特之順向內建式電壓之電壓(例如，24伏特、48伏特等)下操作的LED常常為所要的。

達成LED中之高輸入電壓的一種習知技術為串聯耦接陣列中之複數個LED晶粒。舉例而言，四個GaN/InGaN LED晶粒可串聯耦接以在12伏特下操作，或八個GaN/InGaN LED晶粒可串聯耦接以在24伏特下操作。然而，此技術限制可能的陣列組態之數目。舉例而言，就3伏特之GaN/InGaN LED晶粒而言，針對48伏特之輸入電壓，陣列中之LED晶粒之可能的數目必須為16或32，且針對60伏特之輸入電壓，陣列中之LED晶粒之可能的數目必須為20或

40。

LED晶粒通常歸因於對應於LED晶粒中之特定電流密度的效率峰值而在每單位面積(通常表示為流明/晶粒面積)大約「最佳」通量級下最有效率地操作。藉由基於輸入電壓限制陣列中之LED晶粒之可能的數目，LED晶粒可能不在「最佳」通量級下操作。舉例而言，在於24伏特下操作之700流明陣列中，陣列可包括8或16個LED晶粒，其中每一LED晶粒分別具有為84或42流明/晶粒面積之通量級。若「最佳」通量級為60流明/晶粒面積，則兩個組態皆並非「最佳」的。因此，可能需要用於形成SSL裝置之陣列以適應高輸入電壓同時至少近似每單位面積「最佳」通量級之改良的技術。

【實施方式】

下文描述SSL裝置、總成及製造方法之各種實施例。如下文中所使用，術語「SSL裝置」一般指代具有LED、雷射二極體(「LD」)，及/或不同於電燈絲、電漿或氣體之其他合適之照明源的裝置。術語「內建式電壓」或「接面電壓」一般指代在或接近空乏平衡下跨越半導體材料中之空乏區的電位。熟習相關技術者亦應理解，該技術可具有額外實施例，且可在無下文參看圖1A至圖4所描述之實施例之細節中的若干者的情況下實踐該技術。

圖1A為根據本技術之實施例的SSL晶粒110之陣列總成100的示意性方塊圖。如圖1A中所展示，陣列總成100包括第一端子102、第二端子104，及並聯耦接於第一端子102

與第二端子104之間的複數個SSL晶粒110。第一端子102及第二端子104經組態以自外部電源供應器(未圖示)接收輸入電壓(V_o)。

在所說明之實施例中，SSL晶粒110經配置為彼此並聯之第一串106a及第二串106b。第一串106a及第二串106b個別地包括彼此並聯之複數個分支108，其中每一分支108攜載相應之SSL晶粒110。結果，SSL晶粒110皆配置成彼此並聯。在其他實施例中，SSL晶粒110可經配置成單一串及/或具有其他合適之組態。在另外實施例中，分支108中之至少一者可攜載串聯之一個以上SSL晶粒，如下文參看圖1B更詳細地論述。

個別SSL晶粒110可經組態以在高於單一SSL裝置之接面電壓的電壓位準下操作。在以下描述中，具有約3伏特之接面電壓的GaN/InGaN LED晶粒係用作單一SSL裝置之實例。一般熟習相關技術者應理解，下文所論述之各種SSL陣列組態及製造方法可同樣適用於具有類似或不同接面電壓的其他SSL裝置。

在某些實施例中，個別SSL晶粒110可包括串聯耦接之一個以上LED接面。在所說明之實施例中，SSL晶粒110中之每一者的操作電壓等於在第一端子102及第二端子104處之輸入電壓(V_o)。因此，接面之總順向接面電壓(V_{tot})等於輸入電壓(V_o)，且SSL晶粒110中之每一者中之接面的數目可計算如下：

$$m = \frac{V_o}{\Delta V}$$

其中 m 為接面之數目。舉例而言，若輸入電壓 (V_o) 為 24 伏特，則具有為約 3 伏特之接面電壓的個別 SSL 晶粒 110 可包括形成於單一 SSL 晶粒 110 中之八個 GaN/InGaN LED 接面。若跨越第一端子及第二端子之輸入電壓 (V_o) 為 48 伏特，則十六個 3 伏特之 GaN/InGaN LED 接面可形成於單一 SSL 晶粒 110 中。在其他實施例中，個別 SSL 晶粒 110 可包括具有小於輸入電壓 (V_o) 之組合式順向接面電壓 (V_{tot}) 的其他數目個接面，如下文參看圖 1B 更詳細地論述。

在某些實施例中，可基於陣列總成 100 之總目標通量 (J_{tot}) 及每 SSL 晶粒 110 之晶粒面積的目標通量 (J/A_{target}) 而將陣列總成 100 中之 SSL 晶粒 110 的數目計算如下：

$$n = \frac{J_{tot}}{J/A_{target}}$$

其中 n 為複數個 LED 晶粒之數目。舉例而言，假定以下設計條件為所要的：

總目標通量 (J_{tot}) = 480 流明

每晶粒面積之目標通量 (J/A_{target}) = 60 流明 / 平方毫米

則可將 SSL 晶粒 110 之數目 (n) 計算如下：

$$n = \frac{J_{tot}}{J/A_{target}} = \frac{480}{60} = 8$$

因此，陣列總成 100 可包括經配置成彼此並聯之八個 SSL 晶粒 110。

在前述實例中，總目標通量 (J_{tot}) 可均勻地除以每晶粒面積之目標通量 (J/A_{target})。在其他實例中，總目標通量 (J_{tot})

可能不會均勻地除以每晶粒面積之目標通量(J/A_{target})，且由此，可以反覆方式判定陣列總成100中之SSL晶粒110的數目。舉例而言，假定以下設計條件為所要的：

總目標通量(J_{tot})=700流明

每晶粒面積之目標通量(J/A_{target})=60流明/平方毫米

則使總目標通量(J_{tot})除以每晶粒面積之目標通量(J/A_{target})會得到11.667。因此，藉由將SSL晶粒110之初始數目(n)設定成11，可將每晶粒面積之實際通量(J/A)計算如下：

$$J/A = \frac{J_{tot}}{n} = \frac{700}{11} = 63.64$$

可接著比較每晶粒面積之實際通量(J/A)與每晶粒面積之目標通量(J/A_{target})以判定每晶粒面積的實際通量是否在目標值之預定臨限值內。

若每晶粒面積之實際通量(J/A)係在預定臨限值內，則可使用SSL晶粒110之數目的當前值；否則，可調整SSL晶粒110之數目直至每晶粒面積的實際通量(J/A)收斂為止。舉例而言，若預定臨限值為2流明/平方毫米，則為63.64流明/平方毫米之每晶粒面積的實際通量(J/A)之值超過臨限值。結果，可調整SSL晶粒110之數目(n)。在一實施例中，SSL晶粒110之數目(n)可增加預定量(例如，一、二或其他合適之整數)。在其他實施例中，SSL晶粒110之數目(n)可減小預定量。在另外實施例中，SSL晶粒110之數目(n)可交替地增加及減小。

在一實例中，SSL晶粒110之數目(n)增加一。因此，可將每晶粒面積之實際通量(J/A)計算如下：

$$J/A = \frac{J_{tot}}{n} = \frac{700}{12} = 58.33$$

比較所計算之為58.33流明/平方毫米之每晶粒面積的實際通量(J/A)與為60流明/平方毫米之每晶粒面積的目標通量(J/A_{target})會展示所計算之值係在距目標值之2流明/平方毫米的臨限值內。因此，SSL晶粒110之數目之當前值(亦即，12)可用於陣列總成100。

可藉由使SSL晶粒110之數目與個別SSL晶粒110之操作電壓解耦而使陣列總成100的若干實施例比習知陣列更有效率。舉例而言，如上文在背景章節中所論述，在於24伏特下操作之700流明習知陣列中，陣列可包括8或16個LED晶粒，其中每一LED晶粒分別具有為84或42流明/晶粒面積的通量級。習知陣列不可具有其他晶粒組態，此係因為為24伏特之輸入電壓(V_o)規定必須在該陣列中之晶粒的數目(亦即，8、16或其他8之倍數)。對比而言，在以上實例中，為了達成相同的通量級，陣列總成100可包括12個SSL晶粒110，其各自具有8個LED接面且具有為58.33流明/平方毫米之通量級，其相比於84或42流明/晶粒面積更接近於為60流明/平方毫米的每晶粒面積之目標通量(J/A_{target})。結果，相比於習知陣列，陣列總成100可更有效率地操作。

相比於習知陣列，陣列總成100之若干實施例可在適應

不同之總目標通量(J_{tot})值方面係更靈活的。舉例而言，若總目標通量(J_{tot})現為800流明，則在習知陣列中，LED晶粒之數目由於恆定輸入電壓(V_o)而不可改變。因此，習知陣列中之每一LED晶粒必須分別改變成為100或50流明/晶粒面積之通量級。此等通量級仍遠離為60流明/平方毫米之每晶粒面積的目標通量(J/A_{target})。對比而言，在陣列總成100之若干實施例中，為了達成800流明，陣列總成100可包括耦接成並聯於其他12個SSL晶粒110之再一個SSL晶粒110。SSL晶粒110中之每一者具有為61.53流明/平方毫米之通量級，從而指示相比於習知陣列之更有效率的操作。

即使圖1A中之陣列總成100在每一分支108中包括一個SSL晶粒110(如圖1B中所展示)，在其他實施例中，分支108中之至少一者(分別經個別地識別為第一分支108a、第二分支108b、第三分支108c及第四分支108d)仍可包括串聯耦接之兩個SSL晶粒110。在所說明之實施例中，第一分支108a、第二分支108b及第三分支108c攜載兩個低電壓SSL晶粒110'，且第四分支108d攜載第二串106b中之一個高電壓SSL晶粒110。如下文中所使用，片語「高電壓」及「低電壓」指示彼此之間的相對電壓位準。因此，當另一電壓為6伏特時可認為單一電壓位準(例如，12伏特)係「高電壓」，但當另一電壓為24伏特時可認為單一電壓位準(例如，12伏特)係「低電壓」。在其他實施例中，陣列總成100可包括攜載三個、四個或任何其他所要數目個低電壓SSL晶粒110'之分支108。

在所說明之實施例中，個別低電壓SSL晶粒110'具有為輸入電壓(V_o)之一半的操作電壓。個別高電壓SSL晶粒110具有大體等於輸入電壓(V_o)之操作電壓。即使高電壓SSL晶粒110及低電壓SSL晶粒110'具有不同之操作電壓位準，個別高電壓SSL晶粒110及個別低電壓SSL晶粒110'仍可具有大體類似之每晶粒面積通量值。舉例而言，圖1B中之陣列總成100包括為高電壓SSL晶粒110與低電壓SSL晶粒110'之混合物的十一個晶粒。因此，高電壓SSL晶粒110與低電壓SSL晶粒110'兩者之每晶粒面積之通量可為63.64流明/平方毫米。在其他實施例中，高電壓SSL晶粒110與低電壓SSL晶粒110'可具有不同的每晶粒面積通量值。

即使圖1A及圖1B中僅說明特定串/分支組態，在其他實施例中，陣列總成100仍可具有其他合適之串及/或分支組態。舉例而言，如圖2A中所展示，第二串106b中之分支108a至108d中的每一者攜載兩個低電壓SSL晶粒110'。如圖2B中所展示，陣列總成100可包括第一串106a、第二串106b及第三串106c，其中第三串106c具有分支108a至108d，每一分支攜載兩個低電壓SSL晶粒110'。

圖3A為適合用於圖1A至圖2B之陣列總成中之多接面SSL晶粒110的俯視平面圖。圖3B為圖3A中之SSL晶粒110的橫截面圖。共同參看圖3A及圖3B兩者，SSL晶粒110可包括攜載複數個SSL結構121(分別經個別地識別為第一SSL結構121a至第四SSL結構121d)之基板122，該複數個SSL結構121係藉由絕緣材料123而彼此電隔離。即使圖3中僅展示

四個SSL結構121a至121d，在其他實施例中，SSL晶粒110仍可包括兩個、三個、五個及/或其他合適數目個SSL結構121。在另外實施例中，SSL晶粒110亦可包括透鏡、鏡，及/或其他合適之光學部件及/或電部件。

在一實施例中，基板122可包括金屬、金屬合金、摻雜矽，及/或其他導電基板材料。舉例而言，在一實施例中，基板122可包括銅、鋁，及/或其他合適之金屬。在其他實施例中，基板122亦可包括陶瓷材料、矽、多晶矽，及/或其他一般非導電基板材料。即使基板122被展示為僅攜載一個SSL結構121，在其他實施例中，兩個、三個或任何其他所要數目個SSL結構121仍可形成於基板122上。

在某些實施例中，絕緣材料123可包括氧化矽(SiO_2)、氮化矽(Si_3N_4)，及/或經由熱氧化、化學氣相沈積(「CVD」)、原子層沈積(「ALD」)及/或其他合適之技術而形成於基板122上的其他合適之非導電材料。在其他實施例中，絕緣材料123可包括聚合物(例如，聚四氟乙烯及/或四氟乙烯之其他含氟聚合物)、環氧樹脂，及/或其他聚合材料。

如圖3A及圖3B中所展示，SSL結構121經配置於 2×2 陣列中，其中通道138(圖3A)使鄰近SSL結構121分離。個別SSL結構121包括凹口142，第一半導體材料124之一部分經由凹口142而暴露。互連件134(分別經個別地識別為第一互連件134a至第三互連件134c)使兩個鄰近SSL結構121經由相應之凹口142電連接。因而，第一SSL結構121a至第四

SSL結構121d串聯耦接至彼此。

SSL結構121經組態以回應於所施加之電壓而發射光及/或其他類型之電磁輻射。在圖3B中所說明之實施例中，SSL結構121個別地包括第一半導體材料124、作用區126及第二半導體材料128。SSL結構121亦包括第一電極130(圖3A)及第二電極132。第一電極130經由第四SSL結構121d中之作用區126及第二半導體材料128中之間隙136而位於第一半導體材料124上。第二電極132位於第一SSL結構121a之第二半導體材料128上。在其他實施例中，SSL結構121亦可包括氮化矽、氮化鋁(AlN)，及/或其他合適之中間材料。

在某些實施例中，第一半導體材料124可包括N型GaN(例如，摻雜有矽(Si))，且第二半導體材料128可包括P型GaN(例如，摻雜有鎂(Mg))。在其他實施例中，第一半導體材料124可包括P型GaN，且第二半導體材料128可包括N型GaN。在另外實施例中，第一半導體材料124及第二半導體材料128可個別地包括以下各者中之至少一者：砷化鎵(GaAs)、砷化鋁鎵(AlGaAs)、磷砷化鎵(GaAsP)、磷化鎵(III)(GaP)、硒化鋅(ZnSe)、氮化硼(BN)、氮化鋁鎵(AlGaN)，及/或其他合適之半導體材料。

作用區126可包括單量子井(「SQW」)、多量子井(MQW)，及/或塊體半導體材料。如下文中所使用，「塊體半導體材料」一般指代厚度大於約10奈米且高達約500奈米之單一粒子半導體材料(例如，InGaN)。在某些實施例

中，作用區126可包括InGaN SQW、GaN/InGaN MQW，及/或InGaN塊體材料。在其他實施例中，作用區126可包括磷化鋁鎵銦(AlGaInP)、氮化鋁鎵銦(AlGaInN)，及/或其他合適之材料或組態。

在某些實施例中，第一半導體材料124、作用區126及第二半導體材料128中之至少一者可經由金屬有機化學氣相沈積(「MOCVD」)、分子束磊晶法(「MBE」)、液相磊晶法(「LPE」)及氫化物氣相磊晶法(「HVPE」)而形成於基板材料122上。在其他實施例中，SSL結構121之前述部件及/或其他合適之部件(未圖示)中的至少一者可經由其他合適之磊晶生長技術而形成。

圖4為根據本技術之實施例的製造SSL晶粒之陣列總成之方法200的流程圖。如圖4中所展示，方法200之初始階段(區塊202)可包括判定總通量(J_{tot})、目標通量/晶粒面積(J/A_{target})，及至陣列總成之輸入電壓(V_o)。在一實施例中，可藉由生產規格、市場需求及/或其他條件來判定前述參數。在其他實施例中，前述參數中之至少一者可在反覆計算中具有初始化值。

方法200之另一階段(區塊204)包括至少部分地基於總通量(J_{tot})及目標通量/晶粒面積(J/A_{target})計算陣列總成之SSL晶粒的數目。在一實施例中，可將陣列總成之LED晶粒的數目計算如下：

$$n = \frac{J_{tot}}{J/A_{target}}$$

其中 n 為複數個 LED 晶粒之數目。在另一實施例中，可將陣列總成之 SSL 晶粒的數目計算如下：

$$n = \frac{J_{tot}}{J/A_{target}}$$

其中括號 $[]$ 表示 $\frac{J_{tot}}{J/A_{target}}$ 之整數商。在另外實施例中，SSL 晶粒之數目可為 $\left\lceil \frac{J_{tot}}{J/A_{target}} \right\rceil + 1$ 或可具有使用反覆技術所判定之其他合適的值，如上文參看圖 1A 更詳細地論述。

方法 200 之另一階段(區塊 206)可包括至少部分地基於輸入電壓 (V_o) 而判定個別 SSL 晶粒中之接面的數目，且另一階段(區塊 208)可包括使具有所判定數目個接面之所計算數目個 SSL 晶粒並聯耦接。在一實施例中，可將個別 LED 晶粒之接面的數目判定如下：

$$m = \frac{V_o}{\Delta V}$$

其中 m 為個別 SSL 晶粒中之接面的數目，且 ΔV 為單一接面之順向接面電壓。在其他實施例中，可將個別 SSL 晶粒中之接面的數目判定如下：

$$m = \frac{V_o}{k\Delta V}$$

其中 k 為正整數。

自前述內容，應瞭解，本文中已出於說明之目的描述了該技術之特定實施例，但可在不脫離本發明的情況下進行各種修改。另外，除其他實施例之元件之外或替代其他實施例之元件，一實施例之元件中的許多元件可與其他實施

例組合。因此，本發明除受附加申請專利範圍限制外係不受限制的。

【圖式簡單說明】

圖1A及圖1B為根據本技術之實施例的SSL晶粒之陣列總成的示意性方塊圖。

圖2A及圖2B為根據本技術之額外實施例的SSL晶粒之陣列總成的示意性方塊圖。

圖3A為適合用於圖1A至圖2B之陣列總成中之多接面SSL晶粒的俯視平面圖。

圖3B為圖3A中之SSL晶粒的橫截面圖。

圖4為根據本技術之實施例的製造SSL晶粒之陣列總成之方法的流程圖。

【主要元件符號說明】

100	陣列總成
102	第一端子
104	第二端子
106a	第一串
106b	第二串
106c	第三串
108	分支
108a	第一分支
108b	第二分支
108c	第三分支
108d	第四分支

110	高電壓 SSL 晶粒 / 多接面 SSL 晶粒
110'	低電壓 SSL 晶粒
121	SSL 結構
121a	第一 SSL 結構
121b	第二 SSL 結構
121c	第三 SSL 結構
121d	第四 SSL 結構
122	基板 / 基板材料
123	絕緣材料
124	第一半導體材料
126	作用區
128	第二半導體材料
130	第一電極
132	第二電極
134	互連件
134a	第一互連件
134b	第二互連件
134c	第三互連件
136	間隙
138	通道
142	凹口

七、申請專利範圍：

1. 一種固態照明(SSL)晶粒之陣列總成，其包含：

一第一端子；

一第二端子，該第一端子及該第二端子經組態以接收一輸入電壓(V_o)；及

耦接於該第一端子與該第二端子之間的複數個SSL晶粒，其中至少一對該等SSL晶粒並聯耦接且經同向偏壓，其中：

該複數個SSL晶粒個別地包括複數個接面，該複數個接面具有小於或大體等於該輸入電壓(V_o)之一總順向接面電壓(V_{tot})；且

該等個別SSL晶粒具有在通量/晶粒面積之一目標值(J/A_{target})之一臨限值內的通量/晶粒面積之一值(J/A)。

2. 如請求項1之陣列總成，其中：

該複數個SSL晶粒之一數目等於一總目標通量(J_{tot})除以通量/晶粒面積之該目標值(J/A_{target})，如下：

$$n = \frac{J_{tot}}{J/A_{target}}$$

其中 n 為該複數個SSL晶粒之該數目；

該等個別SSL晶粒具有大體等於該輸入電壓(V_o)之一總順向接面電壓(V_{tot})；

該等個別SSL晶粒中之接面的一數目係如下：

$$m = \frac{V_o}{\Delta V}$$

其中 m 為該等個別SSL晶粒中之接面的該數目，且 ΔV 為

一單一接面之一順向接面電壓；且

所有該複數個 SSL 晶粒彼此並聯耦接於該第一端子與該第二端子之間。

3. 如請求項 1 之陣列總成，其中：

該複數個 SSL 晶粒個別地包括串聯耦接之複數個接面；且

該等個別 SSL 晶粒之該總順向接面電壓 (V_{tot}) 係如下：

$$V_{tot} = m \times \Delta V$$

其中 m 為該等個別 SSL 晶粒中之接面的一數目，且 ΔV 為一單一接面之一順向接面電壓。

4. 如請求項 1 之陣列總成，其中：

該複數個 SSL 晶粒之一數目等於一總目標通量 (J_{tot}) 除以通量/晶粒面積之該目標值 (J/A_{target})，如下：

$$n = \frac{J_{tot}}{J/A_{target}}$$

其中 n 為該複數個 SSL 晶粒之該數目。

5. 如請求項 1 之陣列總成，其中：

該複數個 SSL 晶粒之一數目等於一總目標通量 (J_{tot}) 除以通量/晶粒面積之該目標值 (J/A_{target})，如下：

$$n = \frac{J_{tot}}{J/A_{target}} + 1$$

其中 n 為該複數個 SSL 晶粒之該數目。

6. 如請求項 1 之陣列總成，其中：

該等個別 SSL 晶粒中之接面的一數目係如下：

$$m = \frac{V_o}{\Delta V}$$

其中 m 為該等個別 SSL 晶粒中之接面的該數目，且 ΔV 為一單一接面之一順向接面電壓；且

所有該複數個 SSL 晶粒彼此並聯耦接於該第一端子與該第二端子之間。

7. 如請求項 1 之陣列總成，其中：

該複數個 SSL 晶粒經配置為個別地具有串聯耦接之多個 SSL 晶粒的多個串；且

該等個別 SSL 晶粒具有小於該輸入電壓 (V_o) 之一總順向接面電壓 (V_{tot})。

8. 如請求項 1 之陣列總成，其中：

該複數個 SSL 晶粒經配置為個別地具有串聯耦接之多個 SSL 晶粒的多個串；

該等個別 SSL 晶粒具有小於該輸入電壓 (V_o) 之一總順向接面電壓 (V_{tot})；且

該等個別 SSL 晶粒中之接面的一數目係如下：

$$m = \frac{V_{tot}}{\Delta V}$$

其中 m 為該等個別 SSL 晶粒中之接面的該數目，且 ΔV 為一單一接面之一順向接面電壓。

9. 如請求項 1 之陣列總成，其中所有該複數個 SSL 晶粒包括相同數目個接面。

10. 如請求項 1 之陣列總成，其中該複數個 SSL 晶粒中之至少一些包括不同於其他 SSL 晶粒之多個接面。

11. 如請求項1之陣列總成，其進一步包括：

一第一串，其具有串聯排列之該複數個SSL晶粒之一第一部份；

一第二串，其與該第一串並聯，且該第二串具有串聯排列之該複數個SSL晶粒之一第二部份。

12. 如請求項1之陣列總成，其進一步包括：

複數個串，其個別地彼此並聯排列，其中該複數個串具有並聯排列之兩個或兩個以上之分支，且其中每一分支攜載該複數個SSL晶粒之至少一者，

其中該複數個分支之至少一者攜載並聯排列之該複數個SSL晶粒中之兩個或兩個以上。

13. 一種固態照明(SSL)晶粒之陣列總成，其包括：

一第一端子；

一第二端子，該第一端子及該第二端子經組態以接收一輸入電壓(V_o)；及

耦接於該第一端子與該第二端子之間的複數個SSL晶粒，該複數個SSL晶粒個別地具有串聯耦接之複數個接面，該複數個接面具有大於一單一接面之一順向接面電壓(ΔV)但小於或大致等於該輸入電壓(V_o)的一總順向接面電壓(V_{tot})；

所有該複數個SSL晶粒耦接成彼此並聯且經同向偏壓；

該等個別SSL晶粒之該總順向接面電壓(V_{tot})係如下：

$$V_{tot} = V_o$$

該等個別 SSL 晶粒中之接面的一數目係如下：

$$m = \frac{V_o}{\Delta V}$$

其中 m 為該等個別 SSL 晶粒中之接面的該數目。

14. 如請求項 13 之陣列總成，其中：

該等 SSL 晶粒中之至少一些串聯耦接；

該輸入電壓 (V_o) 為該等個別 SSL 晶粒之該總順向接面電壓 (V_{tot}) 之一倍數，如下：

$$V_o = k \times V_{tot}$$

其中 k 為一正整數；且

該等個別 SSL 晶粒中之接面的一數目係如下：

$$m = \frac{V_o}{k\Delta V}$$

其中 m 為該等個別 SSL 晶粒中之接面的該數目。

15. 如請求項 13 之陣列總成，其中所有該複數個 SSL 晶粒具有一大體類似之通量/晶粒面積值 (J/A)。

16. 如請求項 13 之陣列總成，其中該複數個 SSL 晶粒中之至少一者具有不同於其他 SSL 晶粒之一通量/晶粒面積值 (J/A)。

17. 一種製造固態照明 (SSL) 晶粒之一陣列總成的方法，其包含：

判定該陣列總成之一總通量 (J_{tot})、一目標通量/晶粒面積 (J/A_{target}) 及一輸入電壓 (V_o)；

至少部分地基於該總通量(J_{tot})及該目標通量/晶粒面積(J/A_{target})計算該陣列總成之SSL晶粒之一數目；

至少部分地基於該輸入電壓(V_o)判定該等個別SSL晶粒中之接面之一數目；及

使具有該所判定數目個接面之該所計算數目個SSL晶粒並聯耦接於一第一端子與一第二端子之間且經同向偏壓。

18. 如請求項17之方法，其中計算SSL晶粒之一數目包括：

將該陣列總成之SSL晶粒的該數目計算如下：

$$n = \frac{J_{tot}}{J/A_{target}}$$

其中 n 為該複數個SSL晶粒之該數目。

19. 如請求項17之方法，其中計算SSL晶粒之一數目包括：

將該陣列總成之SSL晶粒的該數目計算如下：

$$n = \left[\frac{J_{tot}}{J/A_{target}} \right] + 1$$

其中 n 為該複數個SSL晶粒之該數目。

20. 如請求項17之方法，其中計算SSL晶粒之一數目包括：

將該陣列總成之SSL晶粒之一數目(n)計算如下：

$$n = \left[\frac{J_{tot}}{J/A_{target}} \right]$$

基於該總通量(J_{tot})及SSL晶粒之該所計算數目計算通量/晶粒面積之一值(J/A)，如下：

$$J/A = \frac{J_{tot}}{n}$$

比較通量/晶粒面積之該所計算值(J/A)與通量/晶粒面積之一目標值(J/A_{target})；

若通量/晶粒面積之該所計算值(J/A)係在通量/晶粒面積之該目標值(J/A_{target})的一臨限值內，則將SSL晶粒之該數目設定成 n ；及

若通量/晶粒面積之該所計算值(J/A)不在通量/晶粒面積之該目標值(J/A_{target})的該臨限值內，則設定 $n=n+1$ 或 $n=n-1$ ，且重複通量/晶粒面積之該值(J/A)的該計算及通量/晶粒面積之該所計算值(J/A)與通量/晶粒面積之該目標值(J/A_{target})的比較。

21. 如請求項17之方法，其中判定接面之一數目包括：

將該等個別SSL晶粒之接面的該數目判定如下：

$$m = \frac{V_o}{\Delta V}$$

其中 m 為該等個別SSL晶粒中之接面的該數目。

22. 如請求項17之方法，其中判定接面之一數目包括：

將該等個別SSL晶粒之接面的該數目判定如下：

$$m = \frac{V_o}{k\Delta V}$$

其中 m 為該等個別SSL晶粒中之接面的該數目，且 k 為一正整數。

八、圖式：

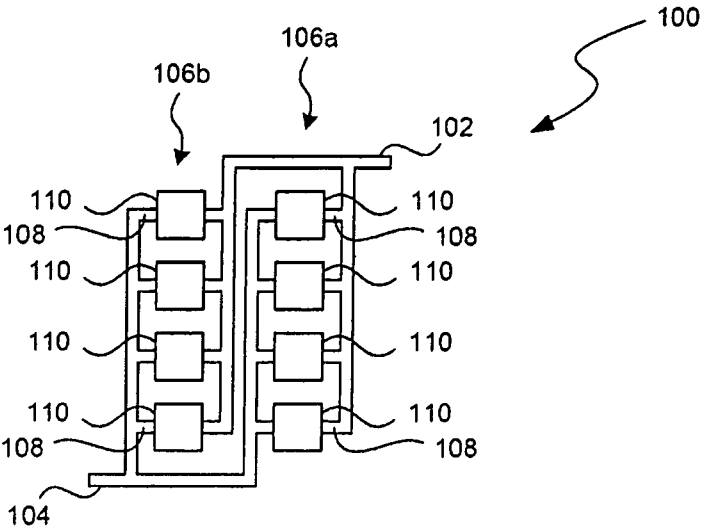


圖 1A

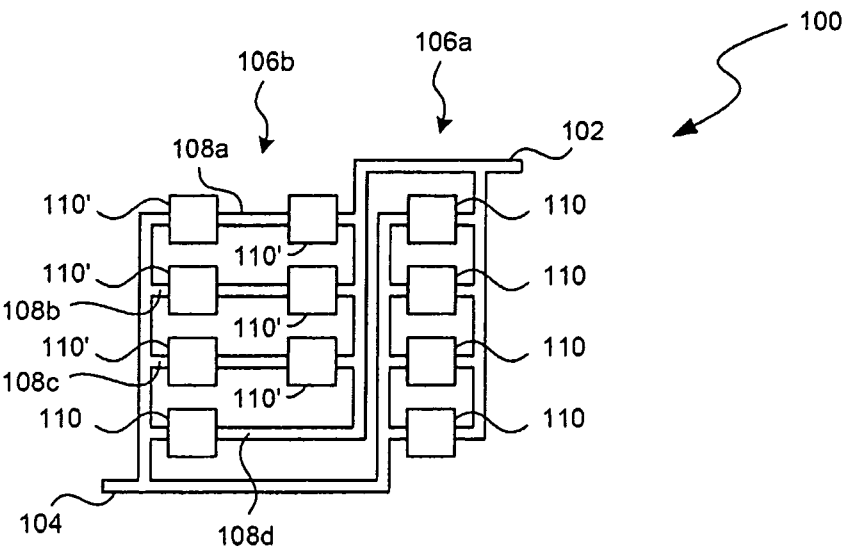


圖 1B

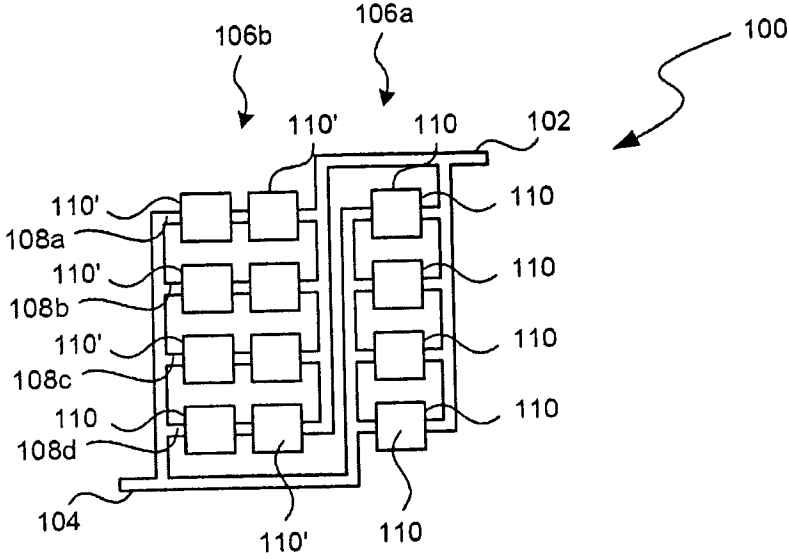


圖 2A

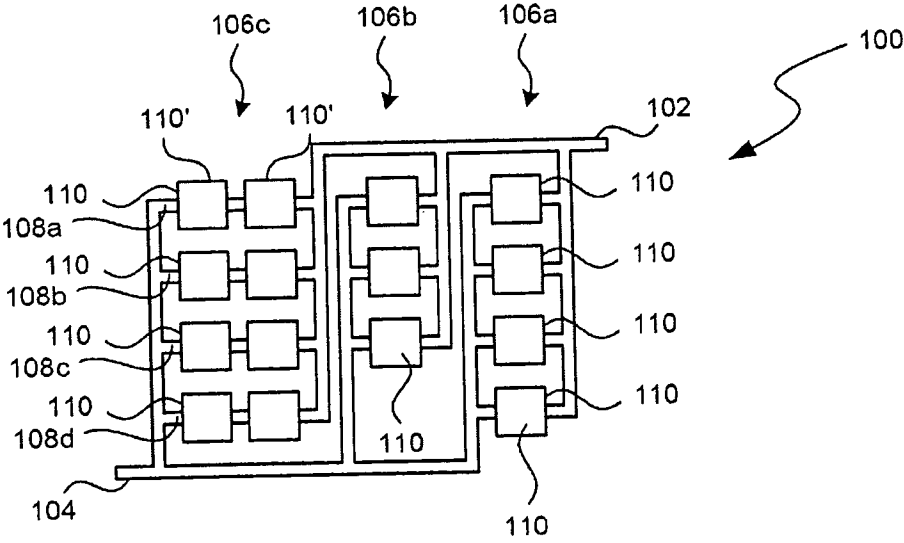


圖 2B

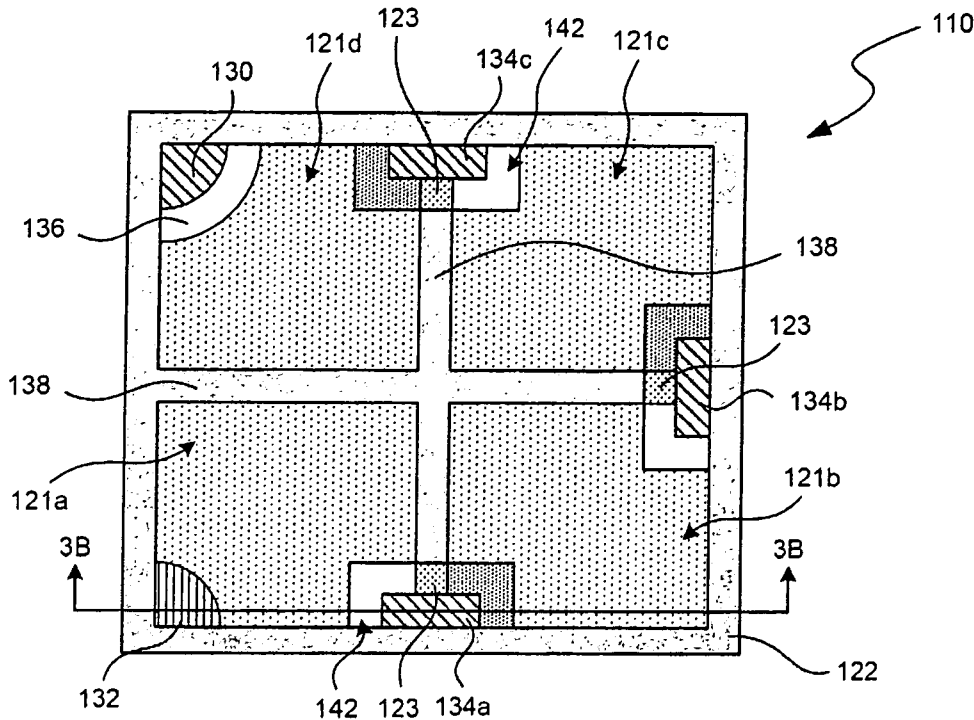


圖 3A

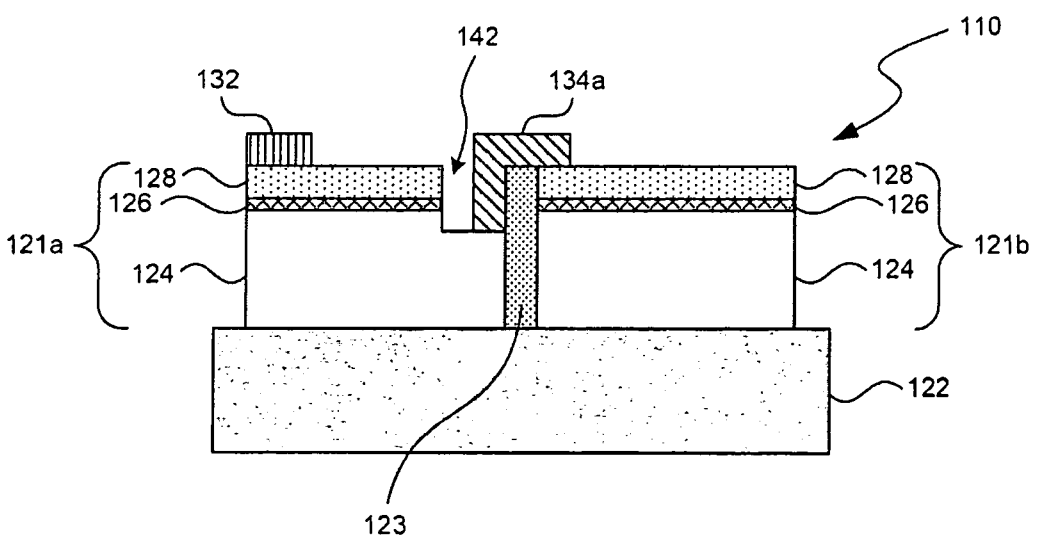


圖 3B

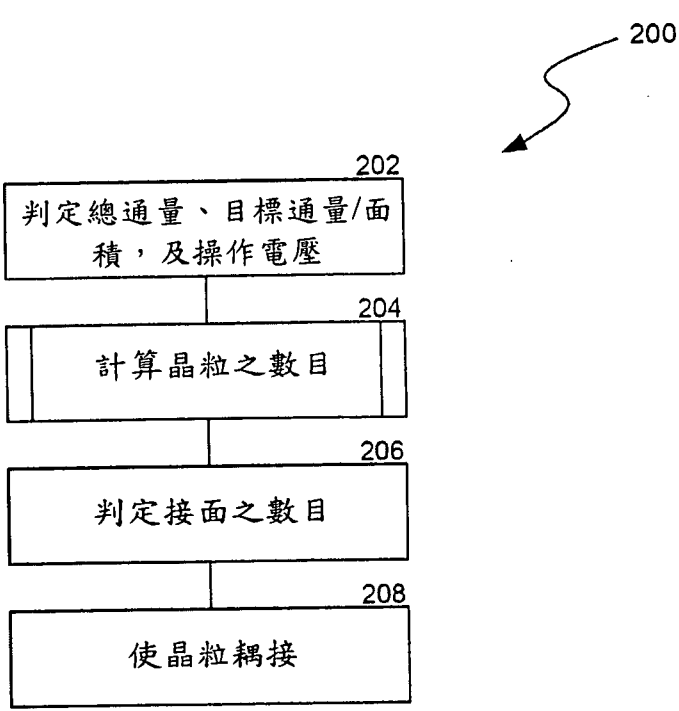


圖4