

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-306018
(P2007-306018A)

(43) 公開日 平成19年11月22日(2007.11.22)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 21/304 (2006.01)	H01L 21/304 621E	3C049
B24B 9/00 (2006.01)	B24B 9/00 601H	

審査請求 有 請求項の数 10 O L (全 27 頁)

<p>(21) 出願番号 特願2007-179460 (P2007-179460)</p> <p>(22) 出願日 平成19年7月9日(2007.7.9)</p> <p>(62) 分割の表示 特願2001-118413 (P2001-118413)の分割</p> <p>原出願日 平成13年4月17日(2001.4.17)</p>	<p>(71) 出願人 503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号</p> <p>(74) 代理人 100080001 弁理士 筒井 大和</p> <p>(72) 発明者 荒井 利行 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内</p> <p>(72) 発明者 河合 亮成 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内</p> <p>(72) 発明者 土山 洋史 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体集積回路装置の製造方法

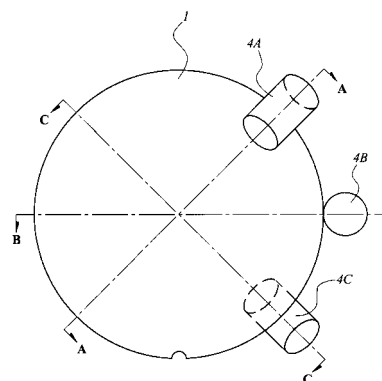
(57) 【要約】

【課題】 ウェハのエッジにおける薄膜の剥離に起因する異物の発生を防ぐ。

【解決手段】 たとえば3個の研磨ドラム4A~4Cを用いてウェハ1のエッジの全域を研磨する。研磨ドラム4Aは相対的にウェハ1のエッジの上面側を研磨し、研磨ドラム4Bは相対的にウェハ1のエッジの中央を研磨し、研磨ドラム4Cは相対的にウェハ1のエッジの下面を研磨する。それにより、種々のウェハ1のエッジ形状に対して、そのエッジ全域において成膜された薄膜を除去することができる。

【選択図】 図4

図 4



1: ウェハ
4A~4C: 研磨ドラム(研磨手段)

【特許請求の範囲】**【請求項 1】**

(a) 半導体ウェハの表面に第 1 絶縁膜を成膜する工程、
(b) 前記半導体ウェハの半導体チップ取得領域と前記半導体チップ取得領域以外との両方において前記第 1 絶縁膜をパターニングする工程、
(c) 前記 (b) 工程後に、前記第 1 絶縁膜上を含む前記半導体ウェハ上に銅を主成分とする第 1 導電性膜を成膜する工程、
(d) 前記 (c) 工程後に、前記半導体ウェハのエッジにおける前記第 1 導電性膜を除去する工程、
(e) 前記半導体ウェハの半導体チップ取得領域上の前記第 1 絶縁膜の表面を研磨終点として、前記第 1 導電性膜を機械的および化学的に研磨する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。 10

【請求項 2】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記 (d) 工程は、スラリまたは砥石を用いる研磨手段により研磨することで行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 3】

請求項 2 記載の半導体集積回路装置の製造方法において、
前記研磨手段は複数の研磨ドラムを有し、前記複数の研磨ドラムの各々は、前記半導体ウェハのエッジにそれぞれ異なる領域において接触し、前記半導体ウェハのエッジの形状に応じて、その接触する角度が変化することを特徴とする半導体集積回路装置の製造方法。 20

【請求項 4】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記 (d) 工程はドライエッチングまたはウエットエッチングにより行われることを特徴とする半導体集積回路装置の製造方法。

【請求項 5】

請求項 1 記載の半導体集積回路装置の製造方法において、
前記第 1 導電性膜が銅膜または銅合金膜である場合には、前記 (d) 工程において前記半導体ウェハのエッジの前記第 1 絶縁膜も所定の膜厚だけ除去することを特徴とする半導体集積回路装置の製造方法。 30

【請求項 6】

(a) 半導体ウェハの表面に第 1 絶縁膜を成膜する工程、
(b) 前記半導体ウェハの半導体チップ取得領域と前記半導体チップ取得領域以外との両方において前記第 1 絶縁膜をパターニングする工程、
(c) 前記 (b) 工程後に、前記第 1 絶縁膜上を含む前記半導体ウェハ上に銅を主成分とする第 1 導電性膜を成膜する工程、
(d) 前記半導体ウェハの前記半導体チップ取得領域上の前記第 1 絶縁膜の表面を研磨終点として、前記第 1 導電性膜を機械的および化学的に研磨する工程、
(e) 前記 (d) 工程後に、前記半導体ウェハのエッジにおける前記第 1 導電性膜を除去する工程、
を含むことを特徴とする半導体集積回路装置の製造方法。 40

【請求項 7】

請求項 6 記載の半導体集積回路装置の製造方法において、
前記 (e) 工程は、スラリまたは砥石を用いる研磨手段により研磨することで行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 8】

請求項 7 記載の半導体集積回路装置の製造方法において、
前記研磨手段は複数の研磨ドラムを有し、前記複数の研磨ドラムの各々は、前記半導体ウェハのエッジにそれぞれ異なる領域において接触し、前記半導体ウェハのエッジの形状 50

に応じて、その接触する角度が変化することを特徴とする半導体集積回路装置の製造方法。

【請求項 9】

請求項 6 記載の半導体集積回路装置の製造方法において、

前記 (e) 工程はドライエッチングまたはウエットエッチングにより行われることを特徴とする半導体集積回路装置の製造方法。

【請求項 10】

請求項 6 記載の半導体集積回路装置の製造方法において、

前記第 1 導電性膜が銅膜または銅合金膜である場合には、前記 (e) 工程において前記半導体ウェハのエッジの前記第 1 絶縁膜も所定の膜厚だけ除去することを特徴とする半導体集積回路装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の製造方法に関し、特に、半導体ウェハへの加工工程を含む半導体集積回路装置の製造方法に適用して有効な技術に関するものである。

【背景技術】

【0002】

本発明者らは、ウェハのエッジからの異物の発生を防ぐという観点から公知例を調査した。

20

【0003】

たとえば、特開 2000-68273 号公報 (特許文献 1) には、CMP 法により金属膜を研磨しパターンを形成した後に、ウェハの素子形成面のエッジに残った金属膜をウエットエッチング法、レーザまたは CMP 法を用いて除去することにより、そのエッジからの異物の発生を防ぐ技術について開示されている。

【0004】

また、ウェハのエッジを研磨する研磨装置については、特開平 11-104942 号公報 (特許文献 2)、特開平 11-90803 号公報 (特許文献 3)、特開平 11-48109 号公報 (特許文献 4)、特開平 11-33888 号公報 (特許文献 5)、特開平 10-328989 号公報 (特許文献 6)、特開平 10-309666 号公報 (特許文献 7)、特開平 10-296641 号公報 (特許文献 8)、特開平 4-34931 号公報 (特許文献 9) および特開昭 64-71656 号公報 (特許文献 10) などにおいて開示されている。

30

【特許文献 1】特開 2000-68273 号公報

【特許文献 2】特開平 11-104942 号公報

【特許文献 3】特開平 11-90803 号公報

【特許文献 4】特開平 11-48109 号公報

【特許文献 5】特開平 11-33888 号公報

【特許文献 6】特開平 10-328989 号公報

【特許文献 7】特開平 10-309666 号公報

40

【特許文献 8】特開平 10-296641 号公報

【特許文献 9】特開平 4-34931 号公報

【特許文献 10】特開昭 64-71656 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

半導体集積回路装置を構成する配線の抵抗の低減に関して、配線材料に銅系材料 (銅または銅合金) を用いたダマシン (Damascene) 法の適用が進められている。このダマシン法は、絶縁膜に配線形成用の溝を形成した後、その絶縁膜上および配線形成用の溝内に配線形成用の導体膜を被着し、さらに、その導体膜の不要な部分を化学機械研磨法 (CMP

50

; Chemical Mechanical Polishing) 等により除去し、上記溝内のみ conductor 膜を残すことにより配線形成用の溝内に埋込配線を形成する方法である。この方法によれば、配線の寸法を通常構造の配線の寸法に比べて小さくすることができ、特に、エッチング法による微細加工が困難な銅系材料の加工寸法を小さくできる。

【0006】

本発明者らは、CMP法を用いた工程において、製品となる半導体チップ(以下、チップと略す)を取得できない領域を含んだ半導体ウェハ(以下、ウェハと略す)の全面にパターンを形成する方法を検討している。これは、CMP法による研磨における研磨の均一性が、ウェハに形成されたパターンの有無に影響を受けやすいからである。また、パターンを転写するための露光に要する時間を短縮するために、製品となる半導体チップを取得できない領域はCMP法による研磨の均一性が保てる程度に小さく設定している。

10

【0007】

ところで、DRAM(Dynamic Random Access Memory)などの半導体集積回路装置の歩留りは、その製造に用いられるウェハに付着する異物によって大きく影響される。特に、その異物は、ウェハのエッジからの発生が多くなっている。

【0008】

ウェハは、製品となる半導体チップの取得が可能な素子形成面が平坦であるのに対し、そのエッジにおいては平坦な面に対して角度がついたラウンド状態となっている。本発明者らは、このラウンド状態となった部分において薄膜が剥離し、異物の発生源となることを見出した。

20

【0009】

たとえばSTI(Shallow Trench Isolation)工程を例に取って、上記薄膜の剥離のメカニズムについて説明する。

【0010】

まず、ウェハの表面にパッド酸化膜を形成した後、そのパッド酸化膜上に窒化シリコン膜を成膜する。続いて、フォトレジスト膜を用いたドライエッチングにより窒化シリコン膜をパターンニングした後、そのフォトレジスト膜と残った窒化シリコン膜をマスクにパッド酸化膜およびウェハをエッチングすることにより、ウェハに溝を形成する。次に、その溝の内部に薄い酸化膜を形成した後、ウェハ上に酸化シリコン膜を堆積する。続いて、その酸化シリコン膜に対してデンシファイを行った後、CMP法により上記窒化シリコン膜を研磨終点として酸化シリコン膜を研磨することにより、上記溝の内部に酸化シリコン膜を残す。

30

【0011】

ところが、上記したように、ウェハは半導体チップの取得が可能な素子形成面が平坦であるのに対し、そのエッジにおいては平坦な面に対して角度がついたラウンド状態となっている。そのため、そのエッジにおいてパターンニングされたパッド酸化膜および窒化シリコン膜の上部は上記酸化シリコン膜に覆われたままの状態となる。上記工程後にパッド酸化膜および窒化シリコン膜は除去するが、ウェハエッジのパッド酸化膜および窒化シリコン膜は、酸化シリコン膜に覆われた状態となっていることから除去されることなく残ってしまう。

40

【0012】

その後、ウェハに不純物イオンを打ち込むことによりウエルを形成した後、HF(フッ酸)系の洗浄液を用いた洗浄工程により、ウェハエッジのパッド酸化膜および窒化シリコン膜を覆っていた酸化シリコン膜が除去され、そのパッド酸化膜および窒化シリコン膜が露出する。その際、パッド酸化膜がエッチングされ、その上部の窒化シリコン膜が剥離して異物となる問題がある。さらにその後の工程においても、HF洗浄等の工程が繰り返されることから、その各々の工程においてパッド酸化膜がエッチングされ、その上部の窒化シリコン膜が剥離して異物となる可能性を有している。

【0013】

本発明の目的は、半導体集積回路装置の製造工程中における、ウェハからの異物の発生

50

を防ぐ技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

すなわち、本発明は、半導体ウェハの表面に第1絶縁膜を成膜する工程と、前記半導体ウェハのエッジにおける前記第1絶縁膜を除去する工程と、前記第1絶縁膜の除去工程後に前記第1絶縁膜をパターニングする工程と、前記第1絶縁膜をパターニング後に前記第1絶縁膜上を含む前記半導体ウェハ上に第2絶縁膜を成膜する工程とを含むものである。

10

【0017】

また、本発明は、半導体ウェハの表面に第1絶縁膜を成膜する工程と、前記第1絶縁膜をパターニングする工程と、前記第1絶縁膜をパターニング後に前記第1絶縁膜上を含む前記半導体ウェハ上に第2絶縁膜を成膜する工程と、前記第2絶縁膜の表面を機械的および化学的に研磨し、その表面を平坦化する工程と、前記第2絶縁膜の表面を平坦化した後に、前記半導体ウェハのエッジにおいて、前記第1絶縁膜を研磨終点として前記第2絶縁膜を研磨する工程とを含むものである。

20

【0018】

また、本発明は、半導体ウェハの表面に第3絶縁膜を成膜する工程と、前記第3絶縁膜をパターニングする工程と、前記第3絶縁膜をパターニング後に、前記半導体ウェハ上に第1導電性膜を成膜する工程と、前記第1導電性膜を成膜後に、前記半導体ウェハのエッジにおける前記第1導電性膜を除去する工程と、前記半導体ウェハの半導体チップ取得領域上の前記第3絶縁膜の表面を研磨終点として、前記第1導電性膜を研磨する工程とを含むものである。

【0019】

また、本発明は、半導体ウェハの表面に第3絶縁膜を成膜する工程と、前記第3絶縁膜をパターニングする工程と、前記第3絶縁膜をパターニング後に、前記半導体ウェハ上に第1導電性膜を成膜する工程と、前記半導体ウェハの半導体チップ取得領域上の前記第3絶縁膜の表面を研磨終点として、前記第1導電性膜を研磨する工程、前記第1導電性膜を研磨した後に前記半導体ウェハのエッジにおける前記第1導電性膜を除去する工程とを含むものである。

30

【発明の効果】

【0020】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

(1) ウェハのエッジにおいて形成された薄膜を除去するので、その薄膜が剥離して再度ウェハに付着することに起因する半導体集積回路装置の歩留りの低下を防ぐことができる。

40

(2) ウェハのエッジの形状、およびウェハのエッジにおける除去対象の薄膜の成膜状態に応じて、ウェハと研磨ドラムとが接触する角度および研磨ドラムの最適な研磨速度を設定することができるので、ウェハのエッジ全域においてその薄膜を除去することができる。

【発明を実施するための最良の形態】

【0021】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0022】

50

ウェハとは、集積回路の製造に用いる単結晶シリコン基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体集積回路装置と言う時は、シリコンウェハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨が明示された場合を除き、TFT（Thin-Film-Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の絶縁基板上に作られるもの等も含むものとする。

【0023】

素子形成面とは、ウェハの主面であって、その面にフォトリソグラフィ技術により複数のチップ領域に対応するデバイスパターンが形成される面を言う。

10

【0024】

ウェハのエッジとは、ウェハの外周部においてウェハの主面および裏面の平坦な面に対して角度がついた領域を言い、本願においては、ウェハの主面および裏面の平坦な面における外端部から製品となるチップが取得できる領域の間の一部の領域も含む。

【0025】

転写パターンとは、マスクによってウェハ上に転写されたパターンであって、具体的にはレジストパターンおよびレジストパターンをマスクとして実際に形成されたウェハ上のパターンを言う。

【0026】

レジストパターンとは、感光性樹脂膜（レジスト膜）をフォトリソグラフィ技術によりパターンニングした膜パターンを言う。なお、このパターンには、該当する部分に関して全く開口のない単なるレジスト膜を含む。

20

【0027】

化学機械研磨とは、一般に被研磨面を相対的に軟らかい布様のシート材料などからなる研磨パッドに接触させた状態で、スラリを供給しながら面方向に相対移動させて研磨を行うことを言い、本願においてはその他、被研磨面を硬質の砥石面に対して相対移動させることによって研磨を行う方法、その他の固定砥粒を使用するもの、および砥粒を使用しない砥粒フリーCMPなども含むものとする。

【0028】

以下の実施の形態においては、便宜上その必要があるときには複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

30

【0029】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0030】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

40

【0031】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0032】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために、ウェハにおいて製品となるチップを取得できない領域に形成された転写パターンにハッチングを付す。

【0033】

50

また、本実施の形態においては、電界効果トランジスタを代表するM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) をM I S と略し、pチャネル型のM I S F E T をp M I S と略し、nチャネル型のM I S F E T をn M I S と略す。

【0034】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0035】

(実施の形態1)

本実施の形態1は、たとえば半導体基板のp型ウエルにn M I S Q n が形成された半導体集積回路装置の製造方法に本発明を適用したものである。 10

【0036】

図1および図2は、本実施の形態1のウェハ(半導体基板)1の要部断面図である。図1においては特にウェハ1のエッジ付近を示し、図2においては、特にウェハ1における素子形成面付近を拡大して示している。

【0037】

まず、図1および図2に示すように、たとえば比抵抗が 10^{-3} cm程度の単結晶シリコンからなるウェハ(半導体基板)1を用意する。図2は、ウェハ1におけるデバイス面付近を拡大して示した要部断面図である。本実施の形態1において、このウェハ1は、その厚さが $750\ \mu\text{m}$ 程度であり、その外周部は半径 $350\ \mu\text{m}$ 程度のラウンド状態となっている。また、本実施の形態1において、ウェハ1のエッジの幅Xは、ウェハ1の外周端部から5 mm程度となっている。 20

【0038】

続いて、ウェハ1を 850°C 程度で熱処理して、その表面に膜厚10 nm程度の薄い酸化シリコン膜(パッド酸化膜)2(第1絶縁膜)を形成し、次いでこの酸化シリコン膜の上に膜厚120 nm程度の窒化シリコン膜3(第1絶縁膜)をCVD(Chemical Vapor Deposition)法で堆積する。酸化シリコン膜2は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をデンシファイ(焼き締め)するときなどに基板に加わるストレスを緩和する目的で形成される。また、窒化シリコン膜3は酸化されにくい性質を持つので、その下部(活性領域)のウェハ1の表面の酸化を防止するマスクとして利用される。 30

【0039】

次に、図3に示すように、ウェハ1のエッジにおける酸化シリコン膜2および窒化シリコン膜3を除去する。これにより、ウェハ1のエッジに酸化シリコン膜2および窒化シリコン膜3が残ることを防ぐことができる。すなわち、後の洗浄工程において、その酸化シリコン膜2および窒化シリコン膜3が剥離して、ウェハ1に再度付着することにより、本実施の形態1の半導体集積回路装置の歩留りを低下させてしまうことを防ぐことができる。また、このウェハ1のエッジの酸化シリコン膜2および窒化シリコン膜3の除去工程においては、除去工程後に酸化シリコン膜2および窒化シリコン膜3の端部の面Sがウェハ1の素子形成面に対して $5^{\circ}\sim 75^{\circ}$ 程度の角度が付くようにする。それにより、後の工程で薄膜を堆積する際に、面Sからウェハ1の表面にかけてのその薄膜のカバレッジが低下することを防ぐことができる。 40

【0040】

上記の酸化シリコン膜2および窒化シリコン膜3を除去する工程は、複数個の研磨ドラムを用いて行うものであり、たとえば図4に示すような3個の研磨ドラム4A~4C(研磨手段)を用いる場合を例示することができる。複数個の研磨ドラムを用いることにより、ウェハ1のエッジの全域を研磨することが容易になり、研磨に要する時間を短縮することができる。研磨ドラム4A~4Cは、その外周部に軟質の研磨パッドが巻き付けられており、研磨時にはその研磨面に、たとえばコロイダルシリカ、酸化セリウムまたは酸化アルミナなどのスラリーを供給することにより研磨を行う。

【0041】

図5～図7は、それぞれA-A線(図4参照)、B-B線(図4参照)およびC-C線(図4参照)での断面図である。

【0042】

図5～図7に示すように、研磨ドラム4Aは相対的にウェハ1のエッジの上面(素子形成面)側を研磨し、研磨ドラム4Bは相対的にウェハ1のエッジの中央を研磨し、研磨ドラム4Cは相対的にウェハ1のエッジの下面(裏面)を研磨している。また、研磨ドラム4A～4Cはそれぞれ異なる角度 θ_1 ～ θ_3 でウェハ1と接触し、回転することによって研磨を行う。そのため、ウェハ1のエッジ全域において酸化シリコン膜2および窒化シリコン膜3を除去することが可能となっている。

【0043】

ウェハ1のエッジの形状は、たとえば図8に示すようなエッジが弧を描いた形状の、いわゆるフルラウンドタイプや、図9に示すようなエッジの端部が平坦になった、いわゆる先端フラットタイプなどがある。本実施の形態1においては、上記研磨ドラム4A～4Cがウェハ1と接触する角度 θ_1 ～ θ_3 は、ウェハ1のエッジの形状に応じて適宜設定することが可能となっている。また、角度 θ_1 ～ θ_3 は、除去する酸化シリコン膜2および窒化シリコン膜3の成膜状態に応じて適宜設定することが可能である。すなわち、本実施の形態1の研磨ドラム4A～4Cを用いることにより、図8および図9に示したような種々のウェハ1のエッジ形状に対して、そのエッジ全域において酸化シリコン膜2および窒化シリコン膜3を除去することができる。

【0044】

また、上記研磨ドラム4A～4Cは、その回転数およびウェハ1と接触する圧力を適宜設定し、研磨速度を変えることが可能である。すなわち、ウェハ1の規格による上記したようなウェハ1のエッジの形状や、酸化シリコン膜2および窒化シリコン膜3の成膜状態に応じて、研磨ドラム4A～4Cの最適な研磨速度を設定することができる。

【0045】

また、後の工程で、ウェハ1のエッジに成膜した他の薄膜を研磨ドラム4A～4Cを用いて除去する場合においても、角度 θ_1 ～ θ_3 および研磨ドラム4A～4Cの最適な研磨速度を設定することにより、ウェハ1のエッジ全域においてその薄膜を除去することができる。図10に示すように、薄膜T1が相対的にウェハ1の上面(素子形成面)側にのみ成膜されている場合には、 $\theta_1 = 150^\circ$ 、 $\theta_2 = 120^\circ$ 、 $\theta_3 = 60^\circ$ とすることを例示できる。この時、研磨ドラム4A、4Bのみで除去対象の薄膜を除去可能であれば、研磨ドラム4Cは省略することができる。

【0046】

一方、図11に示すように、薄膜T1がウェハ1の上面(素子形成面)から下面(裏面)付近まで成膜されている場合、もしくはウェハ1の全面に成膜されている場合などには、 $\theta_1 = 135^\circ$ 、 $\theta_2 = 90^\circ$ 、 $\theta_3 = 45^\circ$ とすることを例示できる。このように角度 θ_1 ～ θ_3 を設定することにより、ウェハ1のエッジにおける薄膜T1の除去を短時間で行うことが可能となる。

【0047】

なお、本実施の形態1においては、研磨ドラム4A～4Cを用いてウェハ1のエッジにおける酸化シリコン膜2および窒化シリコン膜3を除去する方法について示したが、研磨ドラム4A～4Cの代わりにドライエッチング法またはウエットエッチング法によって上記酸化シリコン膜2および窒化シリコン膜3を除去してもよい。

【0048】

次に、図12および図13に示すように、ウェハ1上にフォトレジスト膜5を塗布した後、マスクを用いた露光処理によりそのフォトレジスト膜5をパターンニングする。この時、図14に示すように、チップを取得できるチップ領域A1の周囲のダミー露光領域(斜線部)A2においても、上記フォトレジスト膜5はパターンニングされる。これは、後のCMP法による研磨工程時において、研磨の均一性を向上させるためである。

【0049】

10

20

30

40

50

次に、図 15 および図 16 に示すように、フォトリソ膜 5 をマスクにしたドライエッチングにより、素子分離領域の窒化シリコン膜 3 と酸化シリコン膜 2 とを除去する。続いて、窒化シリコン膜 3 をマスクにしたドライエッチングで素子分離領域のウェハ 1 に深さ 350 nm 程度の溝 6 を形成する。

【0050】

次に、図 17 および図 18 に示すように、エッチングで溝 6 の内壁に生じたダメージ層を除去するために、ウェハ 1 を 1000 程度で熱処理して溝 6 の内壁に膜厚 10 nm 程度の薄い酸化シリコン膜 7 を形成する。続いて、ウェハ 1 上に膜厚 380 nm 程度の酸化シリコン膜 8 (第 2 絶縁膜) を CVD 法で堆積し、次いで酸化シリコン膜 8 の膜質を改善するために、ウェハ 1 を熱処理して酸化シリコン膜 8 をデンシファイ (焼き締め) する。

10

【0051】

次に、図 19 および図 20 に示すように、窒化シリコン膜 3 をストッパに用いた CMP 法で酸化シリコン膜 8 を研磨して溝 6 の内部に残すことにより、表面が平坦化された素子分離溝を形成する。続いて、図 21 および図 22 に示すように、熱リン酸を用いたウエットエッチングでウェハ 1 の活性領域上に残った窒化シリコン膜 3 および酸化シリコン膜 2 を除去する。既に、ウェハ 1 のエッジにおいては、窒化シリコン膜 3 および酸化シリコン膜 2 は除去されていることから、そのエッジにおいて酸化シリコン膜 8 に覆われた窒化シリコン膜 3 および酸化シリコン膜 2 は存在しない。すなわち、後の洗浄工程において、その窒化シリコン膜 3 および酸化シリコン膜 2 が剥離して異物となることを防ぐことができる。

20

【0052】

次に、図 23 に示すように、ウェハ 1 に熱処理を施して、ウェハ 1 の主面にイオン打ち込みの際のパッド酸化膜となる薄い酸化シリコン膜 (図示せず) を形成する。続いて、ウェハ 1 の nMIS を形成する領域に n 型不純物、たとえば B (ホウ素) をイオン注入して p 型ウエル 9 を形成する。この p 型ウエル 9 を形成した後、このイオン打ち込み工程に用いた上記酸化シリコン膜を HF (フッ酸) 系の洗浄液を使って除去する。この時、酸化シリコン膜 8 の表面もウエットエッチングされるため、酸化シリコン膜 8 の表面高さ と p 型ウエル 9 が形成された領域のウェハ 1 の表面高さとは同程度になる。

【0053】

次に、図 24 に示すように、ウェハ 1 をウエット酸化して p 型ウエル 9 の表面に膜厚 3.5 nm 程度の清浄なゲート酸化膜 10 を形成する。続いて、ウェハ 1 上に膜厚 90 ~ 100 nm 程度のノドープ多結晶シリコン膜を CVD 法で堆積する。続いて、イオン注入用のマスクを用いて、p 型ウエル 9 の上部のノドープ多結晶シリコン膜に、たとえば P (リン) をイオン注入して n 型多結晶シリコン膜を形成する。さらに、その n 型多結晶シリコン膜の表面に酸化シリコン膜を堆積して積層膜を形成し、フォトリソグラフィによりパターニングされたフォトリソ膜をマスクとしてその積層膜をエッチングし、ゲート電極 11 およびキャップ絶縁膜 12 を形成する。なお、ゲート電極 11 の上部に WSi_x 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ または $CoSi_x$ などの高融点金属シリサイド膜を積層してもよい。キャップ絶縁膜 12 は、たとえば CVD 法により形成することができる。

30

40

【0054】

続いて、ゲート電極 11 の加工に用いたフォトリソ膜を除去した後、p 型ウエル 9 に n 型不純物、たとえば P をイオン注入してゲート電極 11 の両側の p 型ウエル 9 に n 型半導体領域 13 を形成する。

【0055】

続いて、ウェハ 1 上に膜厚 100 nm 程度の酸化シリコン膜を CVD 法で堆積し、反応性イオンエッチング (RIE) 法を用いてこの酸化シリコン膜を異方性エッチングすることにより、nMIS のゲート電極 11 の側壁にサイドウォールスペーサ 14 を形成する。続いて、p 型ウエル 9 に n 型不純物、例えば As (ヒ素) をイオン注入して nMIS の n⁺ 型半導体領域 15 (ソース、ドレイン) を形成する。これにより、nMISQn に LD

50

D (Lightly Doped Drain) 構造のソース、ドレイン領域が形成され、n M I S Q n が完成する。

【0056】

次に、図25に示すように、ウェハ1上にCVD法で酸化シリコン膜16を堆積する。この後、上記研磨ドラム4A~4C(図4~図7参照)を用いて、ウェハ1のエッジを研磨することにより、ウェハ1のエッジに堆積している酸化シリコン膜16を除去してもよい。これにより、ウェハ1のエッジにおいて酸化シリコン膜16が剥離する可能性をなくすることができる。すなわち、その剥離した酸化シリコン膜16が異物となり、本実施の形態1の半導体集積回路装置の歩留りを低下させてしまうことを未然に防ぐことができる。

【0057】

続いて、その酸化シリコン膜16を、たとえばCMP法で研磨することにより、その表面を平坦化する。さらに、ウェハ1の主面のn⁺型半導体領域15上の酸化シリコン膜16に、フォトリソグラフィ技術を用いて接続孔17を開孔する。なお、上記のウェハ1のエッジにおける酸化シリコン膜16を除去する工程は、酸化シリコン膜16の表面を平坦化する工程の後もしくは接続孔17を開孔する工程の後としてもよい。

【0058】

次に、ウェハ1上に、スパッタリング法により、たとえば窒化チタンなどのバリア導体膜18Aを形成し、さらにCVD法により、たとえばタングステンなどの導電性膜18Bを堆積する。続いて、接続孔17以外の酸化シリコン膜16上のバリア導体膜18Aおよび導電性膜18BをたとえばCMP法により除去し、プラグ18を形成する。

【0059】

次に、図26に示すように、ウェハ1上に、たとえばプラズマCVD法にて窒化シリコン膜を堆積し、膜厚が約100nmのエッチストップ膜19(第3絶縁膜)を形成する。このエッチストップ膜19は、その上層の絶縁膜に配線形成用の溝部や孔を形成する際に、その掘り過ぎにより下層に損傷を与えたり、加工寸法精度が劣化したりすることを回避するためのものである。

【0060】

続いて、たとえばエッチストップ膜19の表面にCVD法にてフッ素を添加したSiOF(酸化シリコン)膜を堆積し、膜厚が約400nmの絶縁膜20(第3絶縁膜)を堆積する。絶縁膜20としてSiOF膜を用いた場合、そのSiOF膜は低誘電率膜であるので、半導体集積回路装置の配線の総合的な誘電率を下げるのが可能であり、配線遅延を改善できる。この時のウェハ1のエッジ付近を図27に示す。なお、図27中においては、この後の絶縁膜を堆積する工程および配線溝を形成する工程をわかりやすくするために、ウェハ1、酸化シリコン膜16、絶縁膜20および配線溝21以外の部材については図示を省略している。

【0061】

ここで、上記酸化シリコン膜16の場合と同様に、研磨ドラム4A~4C(図4~図7参照)を用いて、ウェハ1のエッジを研磨することにより、ウェハ1のエッジに堆積しているエッチストップ膜19および絶縁膜20を除去してもよい。これにより、ウェハ1のエッジにおいてエッチストップ膜19および絶縁膜20が剥離する可能性をなくすることができる。すなわち、その剥離したエッチストップ膜19および絶縁膜20が異物となり、本実施の形態1の半導体集積回路装置の歩留りを低下させてしまうことを未然に防ぐことができる。

【0062】

続いて、前記図26に示すように、絶縁膜20を、たとえばCMP法で研磨することにより、その表面を平坦化する。その後、エッチストップ膜19および絶縁膜20を、フォトリソグラフィ技術およびドライエッチング技術を用いて加工し、配線溝21を形成する。なお、上記のウェハ1のエッジに堆積しているエッチストップ膜19および絶縁膜20を除去する工程は、絶縁膜20の表面を平坦化する工程の後もしくは配線溝21を形成する工程の後としてもよい。

10

20

30

40

50

【0063】

続いて、配線溝21の底部に露出したプラグ18の表面の反応層を除去するために、Ar（アルゴン）雰囲気中にてスパッタエッチングによるウェハ1の表面処理を行う。このときのスパッタエッチング量は、P-TEOS（Plasma Tetraethylorthosilicate）膜に換算して20～180程度、好ましくは100程度とすることを例示できる。なお、本実施の形態に1においては、アルゴン雰囲気中におけるスパッタエッチングによりプラグ18の表面の反応層を除去する場合を例示したが、たとえばH₂（水素）やCO（一酸化炭素）のような還元性ガスや、還元性ガスと不活性ガスとの混合雰囲気中でのアニール処理により反応層を十分に除去できるなら、このアニール処理とスパッタエッチング処理を置き換えてもよい。アニール処理の場合は、スパッタエッチング時による絶縁膜20の損失や、電子によるゲート酸化膜10のチャージングダメージを防ぐことができる。

【0064】

次に、図28および図29に示すように、ウェハ1上にバリア導体膜22A（第1導電性膜）となる、たとえばTa₂N（窒化タンタル）膜を、タンタルターゲットをアルゴン/窒素混合雰囲気中にて反応性スパッタリングを行なうことで堆積する。なお、図28中においては、配線溝21内に埋め込み配線を形成する工程をわかりやすくするために、バリア導体膜22Aの図示を省略している。このTa₂N膜の堆積は、後の工程において堆積するCu（銅）膜の密着性の向上およびCuの拡散防止のために行うもので、その膜厚は30nm程度である。なお、本実施の形態1においてはバリア導体膜22AとしてTa₂N膜を例示するが、Ta（タンタル）等の金属膜、TiN（窒化チタン）膜あるいは金属膜と窒化膜との積層膜等であってもよい。バリア導体膜がTa、Ta₂Nの場合にはTiNを用いた場合よりCu膜との密着性がよい。また、バリア導体膜22AがTiN膜の場合、この後の工程であるCu膜の形成直前にTiN膜の表面をスパッタエッチングすることも可能である。このようなスパッタエッチングにより、TiN膜の表面に吸着した水、酸素分子等を除去し、Cu膜の接着性を改善することができる。この技術は、特に、TiN膜の堆積後、真空破壊して表面を大気に曝し、銅膜を形成する場合に効果が大きい。なお、この技術はTiN膜に限られず、Ta₂N膜においても、効果の差こそあるが有効である。

【0065】

続いて、シード膜となる、たとえばCu膜または銅合金膜を長距離スパッタリング法によって堆積する（図示せず）。シード膜を銅合金膜とする場合には、その合金中にCuを80重量パーセント程度以上含むようにする。このシード膜の膜厚は、配線溝21の内部を除いたバリア導体膜22Aの表面において1000～2000程度、好ましくは1500程度となるようにする。本実施の形態においては、シード膜の堆積に長距離スパッタリング法を用いる場合を例示するが、Cuスパッタリング原子をイオン化することでスパッタリングの指向性を高めるイオン化スパッタリング法を用いてもよい。

【0066】

続いて、シード膜が堆積されたウェハ1の全面に、たとえばCu膜を配線溝21を埋め込むように形成し、このCu膜とシード膜とを合わせて導電性膜22B（第1導電性膜）とする。配線溝21を埋め込むCu膜は、たとえば電解めっき法にて形成し、めっき液としては、たとえばH₂SO₄（硫酸）に10%のCuSO₄（硫酸銅）およびCu膜のカバレッジ向上用の添加剤を加えたものを用いる。このCu膜の形成に電解めっき法を用いた場合、Cu膜の成長速度を電氣的に制御できるので、配線溝21の内部における導電性膜22Bのカバレッジを向上することができる。なお、本実施の形態においては、導電性膜22Bの堆積に電解めっき法を用いる場合を例示しているが、無電解めっき法を用いてもよい。無電解めっき法を用いた場合、電圧印加を必要としないので、電圧印加に起因するウェハ1のダメージを、電解めっき法を用いた場合よりも低減することができる。

【0067】

また、導電性膜22Bを形成する工程に続けて、アニール処理によってそのCu膜を流動化させることにより、導電性膜22Bの配線溝21への埋め込み性をさらに向上させることもできる。

【0068】

次に、図30に示すように、ウェハ1のエッジにおけるバリア導体膜22Aおよび導電性膜22Bを除去する。この除去工程は、前述したウェハ1のエッジにおける酸化シリコン膜2および窒化シリコン膜3を除去する工程と同様に、研磨ドラム4A~4C(図4~図7参照)を用いて行うことができる。これにより、ウェハ1のエッジにバリア導体膜22Aおよび導電性膜22Bが残ることを防ぐことができる。すなわち、後述するのCMP工程後に、ウェハ1のエッジにおいて研磨残りしたバリア導体膜22Aおよび導電性膜22Bが剥離して、ウェハ1に再度付着することにより、本実施の形態1の半導体集積回路装置の歩留りを低下させてしまうことを防ぐことができる。また、Cuはウェハ1中に拡散すると、nMISQnのゲート耐圧を低下させてしまうのが、上記したようにウェハ1のエッジの導電性膜22Bを除去することにより、ウェハ1のエッジに堆積した余分なCu(導電性膜22B)がウェハ1中に拡散することを防ぐことができる。

10

【0069】

ところで、上記シード膜はスパッタリング法にて形成することを記した。スパッタリング法を用いた場合、Cu原子が下地の絶縁膜20にも打ち込まれてしまう。そのため、上記のバリア導体膜22Aおよび導電性膜22Bの除去工程においては、その下地の絶縁膜20も50nm程度除去することが好ましい。これにより、ウェハ1のエッジに堆積した余分なCu(導電性膜22B)がウェハ1中に拡散することをさらに確実に防ぐことができる。また、本実施の形態1では、上記導電性膜22Bをめっき法にて形成する場合について例示したが、スパッタリング法を用いて形成してもよい。スパッタリング法を用いた場合には、Cu原子がさらに絶縁膜20に打ち込まれてしまうことから、上記したウェハ1のエッジにおける導電性膜22Bの下地の絶縁膜20を除去する工程は、さらに有効な手段とすることができる。

20

【0070】

次に、図31および図32に示すように、たとえばCMP法により、チップ領域(図14参照)の絶縁膜20の表面を研磨終点として絶縁膜20上の余分なバリア導体膜22Aおよび導電性膜22Bを研磨し、配線溝21内にバリア導体膜22Aおよび導電性膜22Bを残すことで埋め込み配線22(第1配線)を形成する。

【0071】

続いて、たとえば0.1%アンモニア水溶液と純水とを用いた2段階のブラシスクラブ洗浄により、ウェハ1の表面に付着した研磨砥粒およびCuを除去した後、図33に示すように、埋め込み配線22および絶縁膜20上に窒化シリコン膜を堆積してバリア絶縁膜23Aを形成する。この窒化シリコン膜の堆積には、たとえばプラズマCVD法を用いることができ、その膜厚は約50nmとする。バリア絶縁膜23Aは、導電性膜22BであるCuの拡散を抑制する機能を有する。これにより、バリア導体膜22Aとともに酸化シリコン膜16、絶縁膜20および後の工程でバリア絶縁膜23A上に形成する絶縁膜への銅の拡散を防止し、それらの絶縁性を保持し、半導体集積回路装置の信頼性を高めることができる。また、バリア絶縁膜23Aは、後の工程において、エッチングを行なう際のエッチストップ層としても機能する。

30

【0072】

次に、バリア絶縁膜23Aの表面に、膜厚が約400nmの絶縁膜23Bを堆積する。この絶縁膜23Bは、たとえばフッ素を添加したCVD酸化膜などのSiOF膜とする。絶縁膜23BとしてSiOF膜を用いた場合には、半導体集積回路装置の配線の総合的な誘電率を下げるのが可能であり、配線遅延を改善できる。

40

【0073】

次に、絶縁膜23Bの表面に、たとえばプラズマCVD法にて窒化シリコン膜を堆積し、膜厚が約50nmのエッチストップ膜23Cを堆積する。このエッチストップ膜23Cは、後の工程でエッチストップ膜23C上に堆積する絶縁膜に配線形成用の溝部や孔を形成する際に、その掘り過ぎにより下層に損傷を与えたり加工寸法精度が劣化したりすることを回避するためのものである。

50

【0074】

続いて、エッチストップ膜23Cの表面に、たとえばSiOF膜を堆積して絶縁膜23Dとし、バリア絶縁膜23A、絶縁膜23B、エッチストップ膜23Cおよび絶縁膜23Dを合わせて絶縁膜23(第4絶縁膜)とする。絶縁膜23DはCVD法により堆積し、その膜厚は、たとえば300nm程度とする。この絶縁膜23Dは、絶縁膜23Bと同様に半導体集積回路装置の配線の総合的な誘電率を下げる機能を有し、配線遅延を改善することができる。

【0075】

この後、上記研磨ドラム4A~4C(図4~図7参照)を用いて、ウェハ1のエッジを研磨することにより、ウェハ1のエッジに堆積している絶縁膜23を除去してもよい。これにより、ウェハ1のエッジにおいて絶縁膜23が剥離する可能性をなくすることができる。すなわち、その剥離した絶縁膜23が異物となり、本実施の形態1の半導体集積回路装置の歩留りを低下させてしまうことを未然に防ぐことができる。

10

【0076】

次に、絶縁膜23Dを、たとえばCMP法で研磨することにより、その表面を平坦化した後、図34に示すように、下層配線である埋め込み配線22と、後の工程にて形成する上層配線とを接続するための接続孔24Aを形成する。接続孔24Aは、フォトリソグラフィ工程により、絶縁膜23D上に埋め込み配線22と接続するための接続孔パターンと同一形状のフォトレジスト膜を形成し、それをマスクとしてドライエッチングすることにより接続孔パターンを形成する。続いて、フォトレジスト膜を除去し、絶縁膜23D上に

20

【0077】

フォトリソグラフィ工程により、配線溝パターンと同一形状のフォトレジスト膜を形成し、それをマスクとしてドライエッチングすることにより配線溝24Bを形成する。なお、上記のウェハ1のエッジに堆積している絶縁膜23を除去する工程は、絶縁膜23Dの表面を平坦化する工程の後もしくは接続孔24Aおよび配線溝24Bを形成する工程の後としてもよい。

30

【0078】

続いて、配線溝21の底部に露出したプラグ18の表面の反応層を除去するために行ったスパッタエッチング工程と同様の工程により、接続孔24Aの底部に露出した埋め込み配線22の表面の反応層を除去するためのスパッタエッチングを行う。このときのスパッタエッチング量は、P-TEOS膜に換算して20~180程度、好ましくは100程度とする。

【0079】

次に、図35に示すように、バリア導体膜22A(図29参照)であるTa₂N膜を堆積した工程と同様の工程により、ウェハ1上にバリア導体膜25AとなるTa₂N膜を堆積する。本実施の形態1においては、バリア導体膜25AとしてTa₂N膜を例示したが、バリア導体膜22Aの場合と同様に、Ta等の金属膜、TiN膜あるいは金属膜と窒化膜との積層膜等であってもよい。

40

【0080】

続いて、導電性膜22Bを形成する際のシード膜と同様のシード膜となる、たとえばCu膜または銅合金膜を長距離スパッタリング法またはイオン化スパッタリング法などによって堆積する(図示せず)。その後、シード膜が堆積されたウェハ1の全面に、配線溝21を埋め込む導電性膜22BとなったCu膜を堆積した工程と同様の工程により、たとえばCu膜を接続孔24Aおよび配線溝24Bを埋め込むように堆積し、このCu膜とシード膜とを合わせて導電性膜25Bとする。導電性膜25Bを形成した後に、アニール処理によってそのCu膜を流動化させることにより、導電性膜25Bの接続孔24Aおよび配線溝24Bへの埋め込み性をさらに向上させることもできる。

50

ッジにおいて研磨残りしたバリア導体膜 2 5 A および導電性膜 2 5 B が剥離して、ウェハ 1 に再度付着することにより、本実施の形態 1 の半導体集積回路装置の歩留りを低下させてしまうことを防ぐことができる。また、Cu はウェハ 1 中に拡散すると、n M I S Q n のゲート耐圧を低下させてしまうのが、上記したようにウェハ 1 のエッジの導電性膜 2 5 B を除去することにより、ウェハ 1 のエッジに堆積した余分な Cu (導電性膜 2 5 B) がウェハ 1 中に拡散することを防ぐことができる。

【0081】

また、上記シード膜を堆積する際に下地の絶縁膜 2 3 D にも Cu 原子が打ち込まれてしまっていることから、その下地の絶縁膜 2 3 D も 5 0 n m 程度除去することが好ましい。これにより、ウェハ 1 のエッジに堆積した余分な Cu (導電性膜 2 5 B) がウェハ 1 中に拡散することをさらに確実に防ぐことができる。また、本実施の形態 1 では、上記導電性膜 2 5 B をめっき法にて形成する場合について例示したが、スパッタリング法を用いて形成してもよい。スパッタリング法を用いた場合には、Cu 原子がさらに絶縁膜 2 3 D に打ち込まれてしまうことから、上記したウェハ 1 のエッジにおける導電性膜 2 5 B の下地の絶縁膜 2 3 D を除去する工程は、さらに有効な手段とすることができる。

【0082】

次に、絶縁膜 2 3 D 上の余分なバリア導体膜 2 5 A および導電性膜 2 5 B を除去し、接続孔 2 4 A および配線溝 2 4 B の内部にバリア導体膜 2 5 A および導電性膜 2 5 B を残すことで埋め込み配線 2 5 を形成する。バリア導体膜 2 5 A および導電性膜 2 5 B の除去は、たとえば CMP 法を用いた研磨により行う。

【0083】

続いて、たとえば 0 . 1 % アンモニア水溶液と純水とを用いた 2 段階のブラシスクラブ洗浄により、ウェハ 1 の表面に付着した研磨砥粒および Cu を除去して、本実施の形態の半導体集積回路装置を製造する。なお、図 3 3 ~ 図 3 5 を用いて説明した工程と同様の工程により、埋め込み配線 2 5 の上部にさらに多層に配線を形成してもよい。

【0084】

(実施の形態 2)

本実施の形態 2 は、ウェハのエッジにおける除去対象の薄膜を、除去工程前にパターニングするものである。その他の部材および製造工程については前記実施の形態 1 と同様である。

【0085】

本実施の形態 2 の半導体集積回路装置の製造方法は、前記実施の形態 1 において図 1 および図 2 を用いて説明した工程までは同様である。

【0086】

次に、図 3 6 に示すように、ウェハ 1 上にフォトレジスト膜 5 を塗布した後、マスクを用いた露光処理によりそのフォトレジスト膜 5 をパターニングする。続いて、図 3 7 に示すように、そのフォトレジスト膜 5 をマスクにしたドライエッチングにより、素子分離領域の窒化シリコン膜 3 と酸化シリコン膜 2 とを除去する。続いて、窒化シリコン膜 3 をマスクにしたドライエッチングで素子分離領域のウェハ 1 に深さ 3 5 0 n m 程度の溝 6 を形成する。

【0087】

次に、図 3 8 に示すように、エッチングで溝 6 の内壁に生じたダメージ層を除去するために、ウェハ 1 を 1 0 0 0 程度で熱処理して溝 6 の内壁に膜厚 1 0 n m 程度の薄い酸化シリコン膜 7 を形成する。続いて、ウェハ 1 上に膜厚 3 8 0 n m 程度の酸化シリコン膜 8 を C V D 法で堆積し、次いで酸化シリコン膜 8 の膜質を改善するために、ウェハ 1 を熱処理して酸化シリコン膜 8 をデンシファイ (焼き締め) する。

【0088】

次に、図 3 9 に示すように、窒化シリコン膜 3 をストッパに用いた CMP 法で酸化シリコン膜 8 を研磨して溝 6 の内部に残すことにより、表面が平坦化された素子分離溝を形成する。続いて、図 4 0 に示すように、たとえば前記実施の形態 1 において図 4 ~ 図 7 を用

10

20

30

40

50

いて説明した研磨ドラム 4 A ~ 4 C を用い、ウェハ 1 のエッジにおける酸化シリコン膜 8 をその下部の窒化シリコン膜 3 が現れるまで除去する。

【 0 0 8 9 】

続いて、図 4 1 に示すように、熱リン酸を用いたウエットエッチングでウェハ 1 上に残った窒化シリコン膜 3 および酸化シリコン膜 2 を除去する。この時、ウェハ 1 のエッジにおいては窒化シリコン膜 3 の表面が現れていることから、ウェハ 1 の全面において窒化シリコン膜 3 および酸化シリコン膜 2 を除去することができる。これにより、後の洗浄工程において、その窒化シリコン膜 3 および酸化シリコン膜 2 が剥離して異物となることを防ぐことができる。

【 0 0 9 0 】

次に、前記実施の形態 1 において図 2 3 ~ 図 2 9 を用いて説明した工程と同様の工程を経た後、図 4 2 に示すように、たとえば CMP 法を用いた研磨により絶縁膜 2 0 上の余分なバリア導体膜 2 2 A (図 2 9 参照) および導電性膜 2 2 B (図 2 9 参照) を除去し、配線溝 2 1 内にバリア導体膜 2 2 A および導電性膜 2 2 B を残すことで埋め込み配線 2 2 を形成する。

【 0 0 9 1 】

次に、図 4 3 に示すように、たとえば前記実施の形態 1 において図 4 ~ 図 7 を用いて説明した研磨ドラム 4 A ~ 4 C を用い、ウェハ 1 のエッジにおけるバリア導体膜 2 2 A および導電性膜 2 2 B を除去する。これにより、ウェハ 1 のエッジにバリア導体膜 2 2 A および導電性膜 2 2 B が残ることを防ぐことができる。すなわち、ウェハ 1 のエッジにおいて研磨残りしたバリア導体膜 2 2 A および導電性膜 2 2 B が剥離して、ウェハ 1 に再度付着することによる、本実施の形態 2 の半導体集積回路装置の歩留りを低下させてしまうことを防ぐことができる。

【 0 0 9 2 】

その後、前記実施の形態 1 にて図 3 3 ~ 図 3 5 を用いて説明した工程と同様の工程により本実施の形態 2 の半導体集積回路装置を製造する。なお、前記実施の形態 1 においては、絶縁膜 2 3 D (図 3 3 参照) の表面を平坦化する前にウェハ 1 のエッジに堆積している絶縁膜 2 3 (図 3 3 参照) を除去する場合を例示したが、この絶縁膜 2 3 の除去工程は、接続孔 2 4 A および配線溝 2 4 B を形成した後であり、バリア導体膜 2 5 A (図 3 5 参照) を堆積する前であってもよい。また、前記実施の形態 1 においては、絶縁膜 2 3 D 上の余分なバリア導体膜 2 5 A および導電性膜 2 5 B (図 3 5 参照) を CMP 法により除去する工程の前に、ウェハ 1 のエッジに堆積している絶縁膜 2 3 (図 3 3 参照) を除去する場合を例示したが、そのバリア導体膜 2 5 A および導電性膜 2 5 B (図 3 5 参照) を CMP 法により除去した後であってもよい。

【 0 0 9 3 】

(実施の形態 3)

本実施の形態 3 の半導体集積回路装置の製造方法は、たとえば Al (アルミニウム) またはアルミニウム合金などから形成された配線を有する半導体集積回路装置の製造方法に本発明を適用したものである。

【 0 0 9 4 】

本実施の形態 3 の半導体集積回路装置の製造方法は、前記実施の形態 1 において図 1 ~ 図 2 5 を用いて説明した工程までは同様である。

【 0 0 9 5 】

その後、図 4 4 および図 4 5 に示すように、ウェハ 1 上にスパッタリング法にて、たとえば TiN などの導電性膜 2 2 C (第 1 導電性膜) を堆積する。なお、図 4 4 中においては、酸化シリコン膜 1 6 上に配線を形成する工程をわかりやすくするために、導電性膜 2 2 C の図示を省略している。

【 0 0 9 6 】

続いて、導電性膜 2 2 C の表面に、たとえば Al などの導電性膜 2 2 D (第 1 導電性膜) を堆積する。さらに続けて、その導電性膜 2 2 D の表面に、たとえば TiN などの導電

10

20

30

40

50

性膜 2 2 E を堆積する。この導電性膜 2 2 E は、導電性膜 2 2 C、導電性膜 2 2 D および導電性膜 2 2 E (第 1 導電性膜) をフォトリソグラフィ工程によりパターンニングする際に、光の乱反射を防ぐ機能を有する。導電性膜 2 2 D および導電性膜 2 2 E の堆積は、たとえばスパッタリング法にて行う。

【0097】

次に、図 4 6 に示すように、たとえば前記実施の形態 1 において図 4 ~ 図 7 を用いて説明した研磨ドラム 4 A ~ 4 C を用い、ウェハ 1 のエッジにおける導電性膜 2 2 C ~ 2 2 E を除去する。これにより、ウェハ 1 のエッジに導電性膜 2 2 C ~ 2 2 E が残ることを防ぐことができる。すなわち、ウェハ 1 のエッジにおいて研磨残りした導電性膜 2 2 C ~ 2 2 E が剥離して、ウェハ 1 に再度付着することによる、本実施の形態 3 の半導体集積回路装置の歩留りを低下させてしまうことを防ぐことができる。

10

【0098】

次に、図 4 7 および図 4 8 に示すように、導電性膜 2 2 C ~ 2 2 E をドライエッチング技術を用いて加工し、配線 2 2 F を形成し、本実施の形態 3 の半導体集積回路装置を製造する。なお、本実施の形態 3 においては、配線 2 2 F を形成する前にウェハ 1 のエッジに堆積している導電性膜 2 2 C ~ 2 2 E を除去する場合を例示したが、この導電性膜 2 2 C ~ 2 2 E の除去工程は、配線 2 2 F を形成した後であってもよい。

【0099】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

20

【0100】

たとえば、前記実施の形態においては、ウェハのエッジを研磨する研磨ドラムは 3 個である場合を例示したが、3 個以上の研磨ドラムを用いてもよい。

【0101】

また、前記実施の形態においては、研磨ドラムを用いてウェハのエッジを研磨する場合について例示したが、ウェハのエッジの輪郭が型取りしてある砥石、または有機系樹脂にスラリを埋め込むことにより製造された研磨用テープを用いて研磨してもよい。

【0102】

また、前記実施の形態においては、p 型ウェルに n M I S が形成された半導体集積回路装置の製造方法について例示したが、n 型ウェルに p M I S が形成された半導体集積回路装置の製造方法に適用してもよい。

30

【産業上の利用可能性】

【0103】

本発明の半導体集積回路装置の製造方法は、CMP 法によるウェハの研磨工程を含む半導体集積回路装置の製造工程に広く適用することができる。

【図面の簡単な説明】

【0104】

【図 1】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を示した要部断面図である。

40

【図 2】図 1 に示したウェハの素子形成面付近を拡大して示した要部断面図である。

【図 3】図 1 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 4】研磨ドラムを用いたウェハのエッジの研磨工程を説明する平面図である

【図 5】図 4 に示した研磨ドラムの 1 個とウェハのエッジとが接触する角度を説明する要部断面図である。

【図 6】図 4 に示した研磨ドラムの 1 個とウェハのエッジとが接触する角度を説明する要部断面図である。

【図 7】図 4 に示した研磨ドラムの 1 個とウェハのエッジとが接触する角度を説明する要部断面図である。

【図 8】ウェハのエッジの形状の違いを説明する要部断面図である。

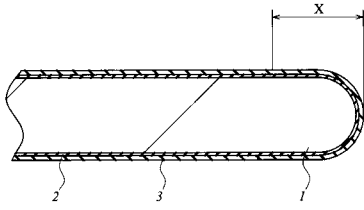
50

- 【図 9】ウェハのエッジの形状の違いを説明する要部断面図である。
- 【図 10】ウェハ上に成膜した薄膜の成膜状態の違いを説明する要部断面図である。
- 【図 11】ウェハ上に成膜した薄膜の成膜状態の違いを説明する要部断面図である。
- 【図 12】図 3 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 13】図 12 に示したウェハの素子形成面付近を拡大して示した要部断面図である。
- 【図 14】図 1 に示したウェハの素子形成面において、チップを取得できるチップ領域とその周囲のダミー露光領域とを説明する平面図である。
- 【図 15】図 12 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 16】図 13 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 17】図 15 に続く半導体集積回路装置の製造工程中の要部断面図である。 10
- 【図 18】図 16 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 19】図 17 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 20】図 18 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 21】図 19 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 22】図 20 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 23】図 22 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 24】図 23 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 25】図 24 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 26】図 25 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 27】本発明の一実施の形態である半導体集積回路装置の製造工程中の要部断面図である。 20
- 【図 28】図 27 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 29】図 26 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 30】図 28 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 31】図 30 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 32】本発明の一実施の形態である半導体集積回路装置の製造工程中の要部断面図である。
- 【図 33】図 32 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 34】図 33 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 35】図 34 に続く半導体集積回路装置の製造工程中の要部断面図である。 30
- 【図 36】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例を示した要部断面図である。
- 【図 37】図 36 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 38】図 37 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 39】図 38 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 40】図 39 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 41】図 40 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 42】本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。
- 【図 43】図 42 に続く半導体集積回路装置の製造工程中の要部断面図である。 40
- 【図 44】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例を示した要部断面図である。
- 【図 45】図 44 に示したウェハの素子形成面付近を拡大して示した要部断面図である。
- 【図 46】図 44 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 47】図 46 に続く半導体集積回路装置の製造工程中の要部断面図である。
- 【図 48】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。
- 【符号の説明】
- 【0105】
- 1 ウェハ

2	酸化シリコン膜 (第1絶縁膜)	
3	窒化シリコン膜 (第1絶縁膜)	
4 A ~ 4 C	研磨ドラム (研磨手段)	
5	フォトレジスト膜	
6	溝	
7	酸化シリコン膜	
8	酸化シリコン膜 (第2絶縁膜)	
9	p型ウェル	
10	ゲート酸化膜	
11	ゲート電極	10
12	キャップ絶縁膜	
13	n ⁻ 型半導体領域	
14	サイドウォールスペーサ	
15	n ⁺ 型半導体領域 (ソース、ドレイン)	
16	酸化シリコン膜	
17	接続孔	
18	プラグ	
18 A	バリア導体膜	
18 B	導電性膜	
19	エッチストップ膜 (第3絶縁膜)	20
20	絶縁膜 (第3絶縁膜)	
21	配線溝	
22	埋め込み配線 (第1配線)	
22 A	バリア導体膜 (第1導電性膜)	
22 B ~ 22 E	導電性膜 (第1導電性膜)	
22 F	配線	
23	絶縁膜 (第4絶縁膜)	
23 A	バリア絶縁膜	
23 B	絶縁膜	
23 C	エッチストップ膜	30
23 D	絶縁膜	
24 A	接続孔	
24 B	配線溝	
25	埋め込み配線	
25 A	バリア導体膜	
25 B	導電性膜	
A 1	チップ領域	
A 2	ダミー露光領域	
Q n	n M I S	
T 1	薄膜	40

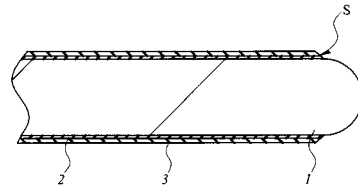
【 図 1 】

図 1



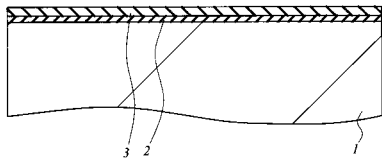
【 図 3 】

図 3



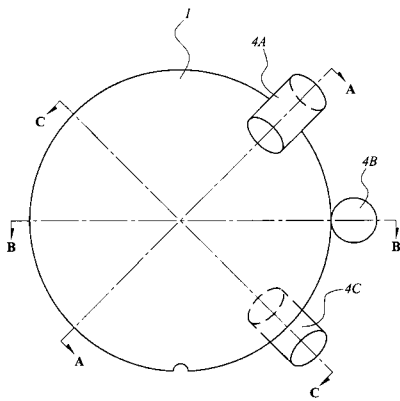
【 図 2 】

図 2



【 図 4 】

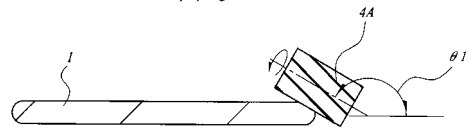
図 4



1: ウェハ
4A~4C: 研磨ドラム(研磨手段)

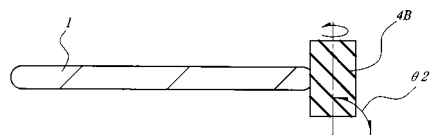
【 図 5 】

図 5



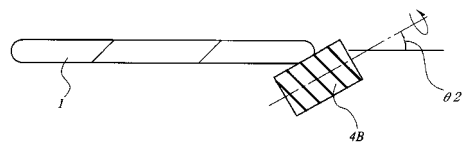
【 図 6 】

図 6



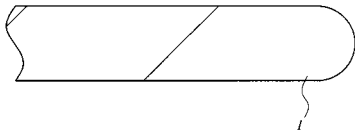
【 図 7 】

図 7



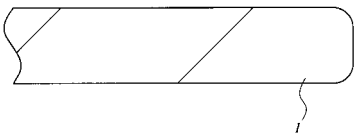
【 図 8 】

図 8



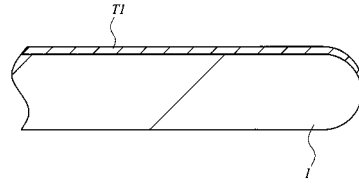
【 図 9 】

図 9



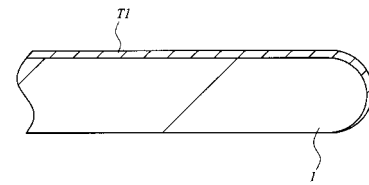
【 図 10 】

図 10



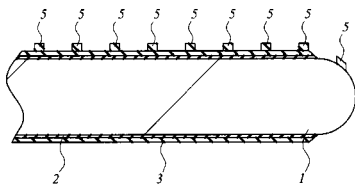
【 図 11 】

図 11



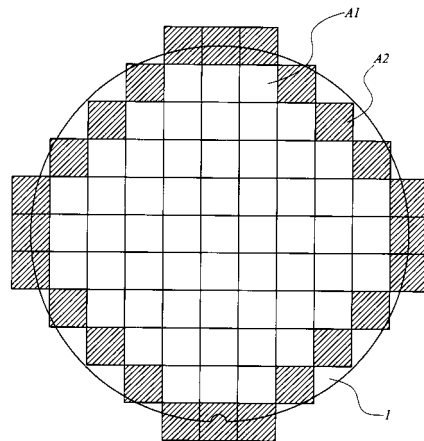
【 図 12 】

図 12



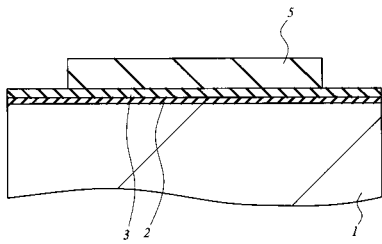
【 図 14 】

図 14



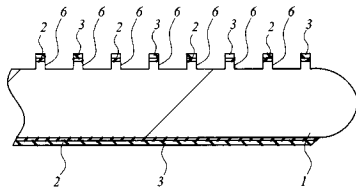
【 図 13 】

図 13



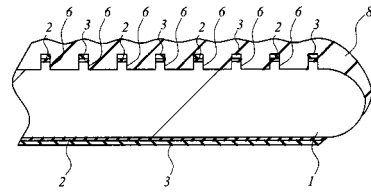
【図 15】

図 15



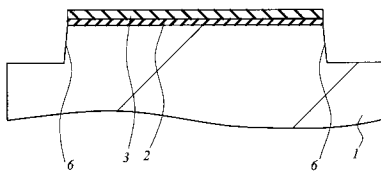
【図 17】

図 17



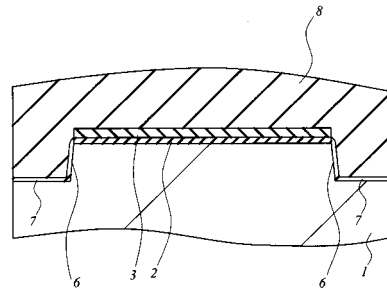
【図 16】

図 16



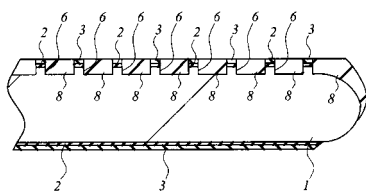
【図 18】

図 18



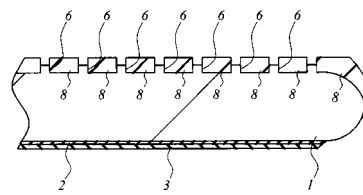
【図 19】

図 19



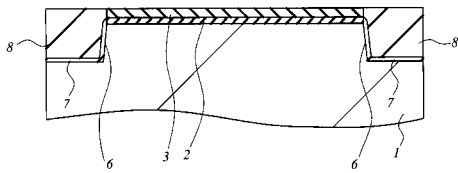
【図 21】

図 21



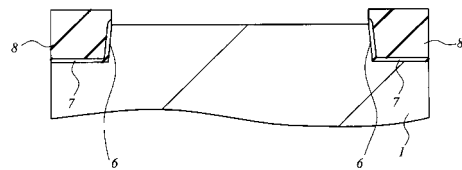
【図 20】

図 20



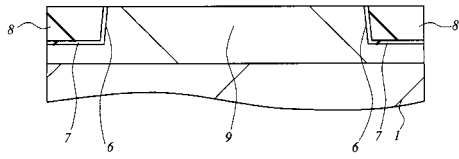
【図 22】

図 22



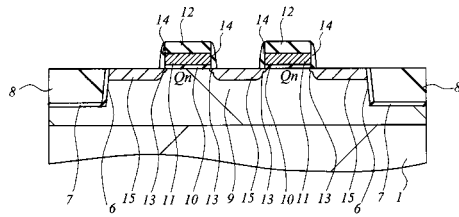
【 図 2 3 】

図 23



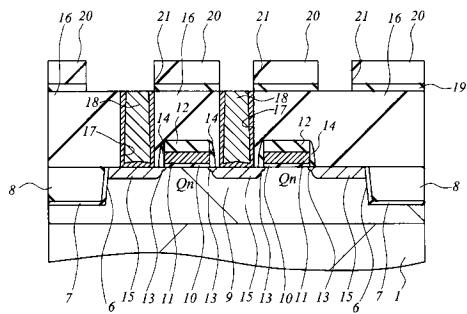
【 図 2 4 】

図 24



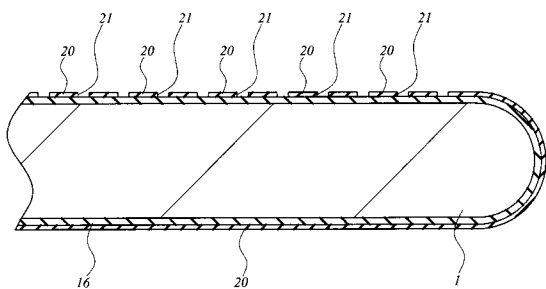
【 図 2 6 】

図 26



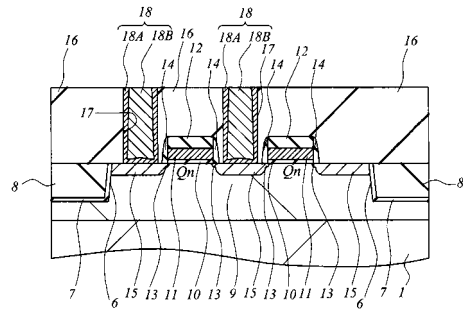
【 図 2 7 】

図 27



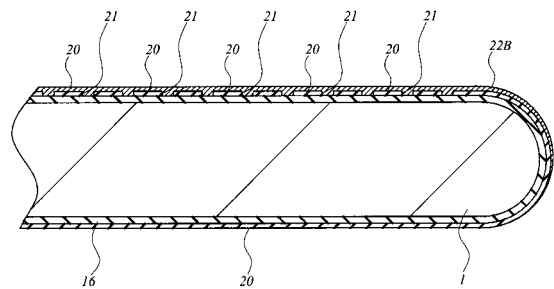
【 図 2 5 】

図 25



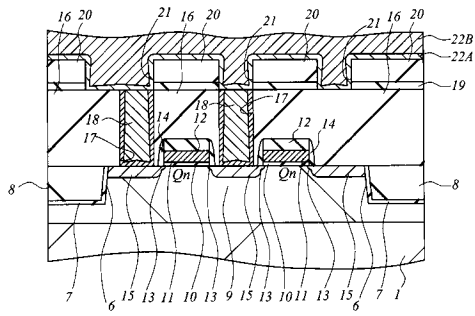
【 図 2 8 】

図 28



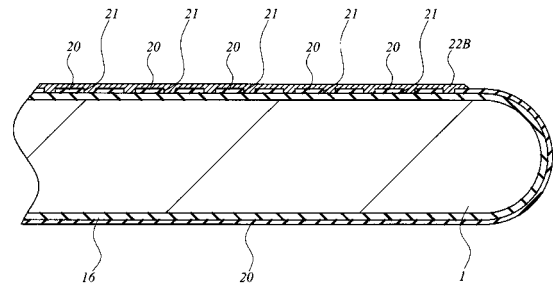
【 図 2 9 】

図 29



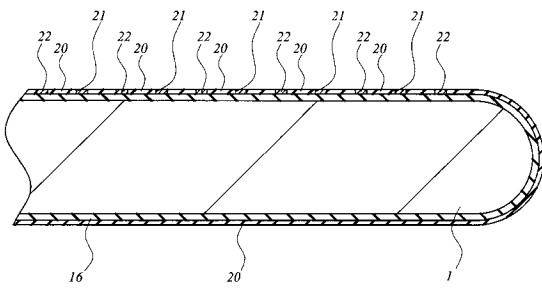
【 図 3 0 】

図 30



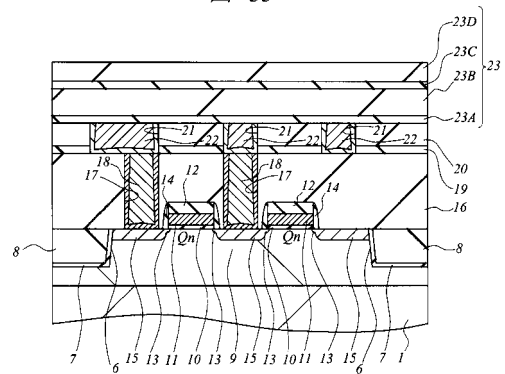
【 図 3 1 】

図 31



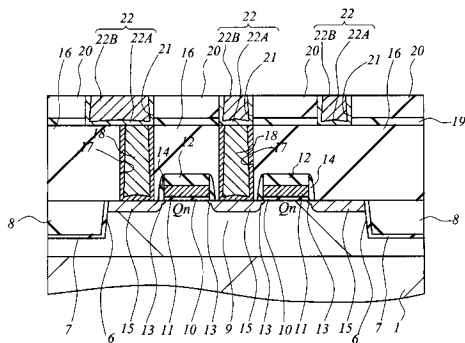
【 図 3 3 】

図 33

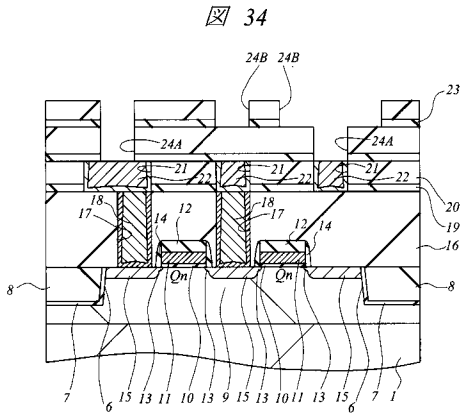


【 図 3 2 】

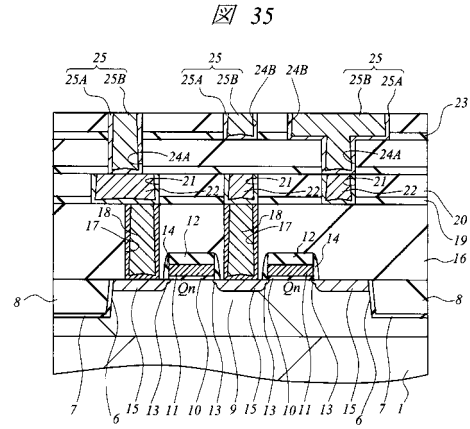
図 32



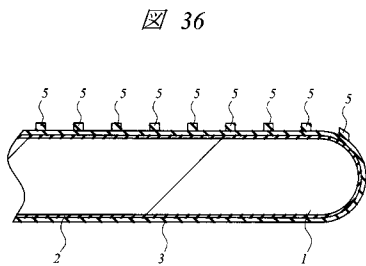
【 図 3 4 】



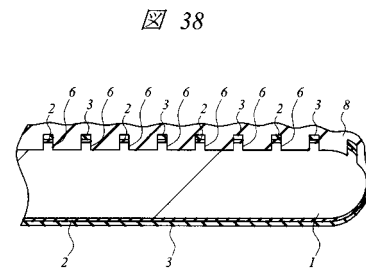
【 図 3 5 】



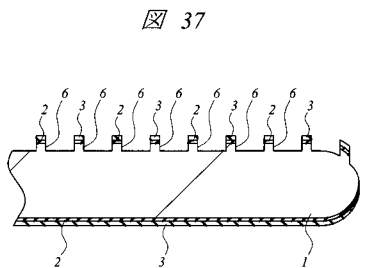
【 図 3 6 】



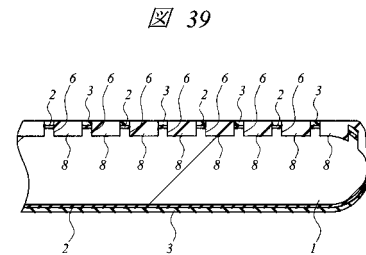
【 図 3 8 】



【 図 3 7 】

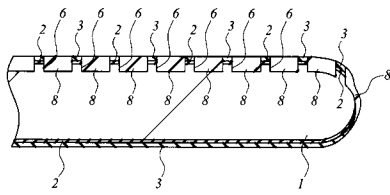


【 図 3 9 】



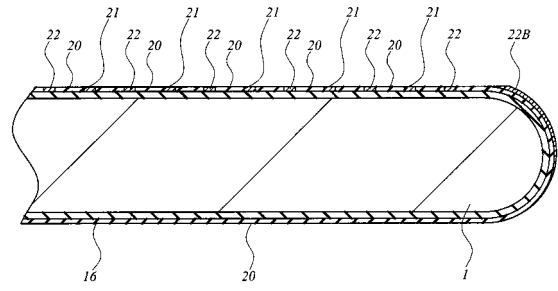
【 図 4 0 】

図 40



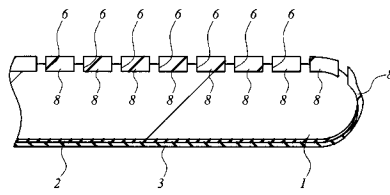
【 図 4 2 】

図 42



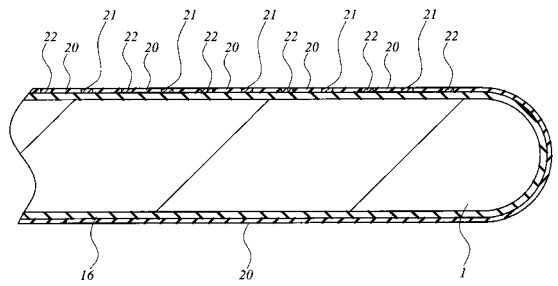
【 図 4 1 】

図 41



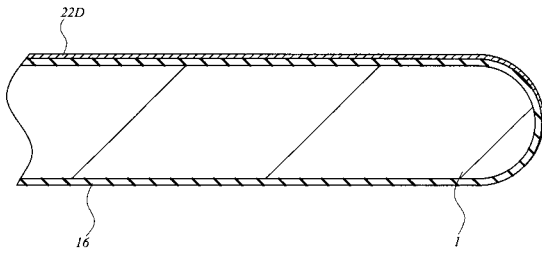
【 図 4 3 】

図 43



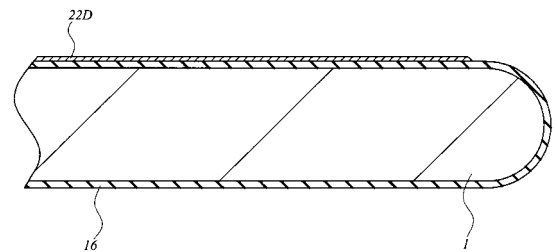
【 図 4 4 】

図 44



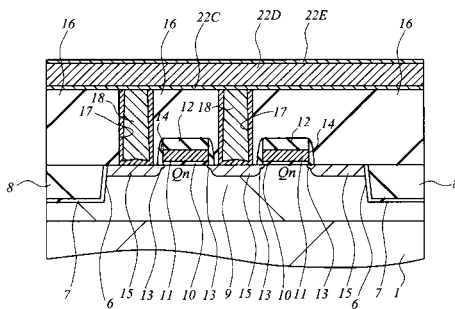
【 図 4 6 】

図 46

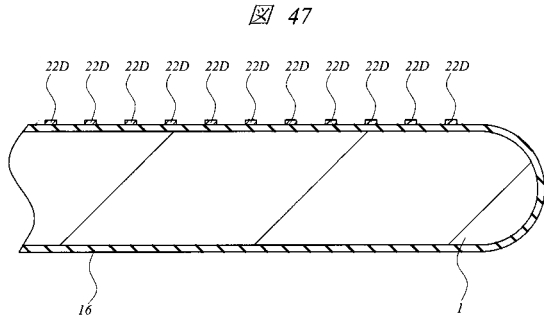


【 図 4 5 】

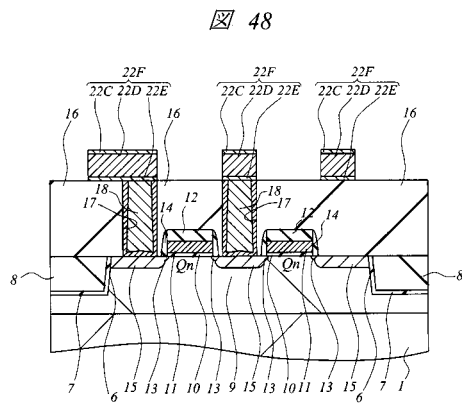
図 45



【 図 4 7 】



【 図 4 8 】



フロントページの続き

(72)発明者 金井 史幸

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 中林 伸一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

Fターム(参考) 3C049 AA03 AA06 AA13 AA18 AB04 CA05 CB02