



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0135725
(43) 공개일자 2013년12월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/265 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2012-7024090
(22) 출원일자(국제) 2011년11월07일
 심사청구일자 **없음**
(85) 번역문제출일자 2012년09월14일
(86) 국제출원번호 PCT/JP2011/075590
(87) 국제공개번호 WO 2012/077443
 국제공개일자 2012년06월14일
(30) 우선권주장
 JP-P-2010-272622 2010년12월07일 일본(JP)

(71) 출원인
 스미토모덴키고교가부시키가이샤
 일본 오사카후 오사카시 쥬오쿠 기타하마 4쵸메
 5반33고
(72) 별명자
 구보타 료스케
 일본 5540024 오사카후 오사카시 고노하나쿠 시마
 야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
 세이사쿠쇼 나이
 와다 게이지
 일본 5540024 오사카후 오사카시 고노하나쿠 시마
 야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
 세이사쿠쇼 나이
 (뒷면에 계속)
(74) 대리인
 송승필, 강승옥

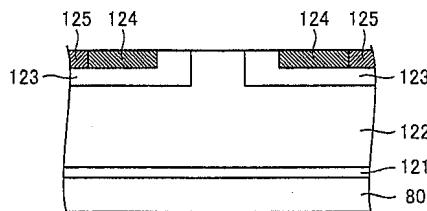
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **반도체 장치의 제조 방법**

(57) 요 약

표면을 갖는 탄화규소 기판이 준비된다. 표면으로부터 탄화규소 기판 내로 이온 주입을 행함으로써 불순물 영역(123~125)이 형성된다. 불순물 영역을 활성화하기 위한 어닐링이 행해진다. 어닐링은, 탄화규소 기판의 표면으로 제1 파장을 갖는 제1 레이저광을 조사하는 공정과, 탄화규소 기판의 표면으로 제2 파장을 갖는 제2 레이저광을 조사하는 공정을 포함한다. 탄화규소 기판은 제1 및 제2 파장의 각각에 있어서 제1 및 제2 감쇠 계수를 갖는다. 제1 파장에 대한 제1 감쇠 계수의 비는 $5 \times 10^5 / \text{m}$ 보다 크다. 제2 파장에 대한 제2 감쇠 계수의 비는 $5 \times 10^5 / \text{m}$ 보다 작다. 이에 따라 레이저 어닐링에서의 탄화규소 기판의 표면으로의 손상을 작게 할 수 있다.

대 표 도 - 도8



(72) 발명자

마스다 다케요시

일본 5540024 오사카후 오사카시 고노하나쿠 시마
야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
세이사쿠쇼 나이

시오미 히로무

일본 5540024 오사카후 오사카시 고노하나쿠 시마
야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
세이사쿠쇼 나이

특허청구의 범위

청구항 1

표면을 갖는 탄화규소 기판(80, 121 및 122)을 준비하는 공정과,

상기 표면으로부터 상기 탄화규소 기판 내로 이온 주입을 행함으로써 불순물 영역(123~125)을 형성하는 공정과,

상기 불순물 영역을 활성화하기 위한 어닐링을 행하는 공정을 포함하고,

상기 어닐링을 행하는 공정은, 상기 탄화규소 기판의 상기 표면으로 제1 파장을 갖는 제1 레이저광을 조사하는 공정과, 상기 탄화규소 기판의 상기 표면으로 제2 파장을 갖는 제2 레이저광을 조사하는 공정을 포함하며,

상기 탄화규소 기판은 상기 제1 및 제2 파장의 각각에 있어서 제1 및 제2 감쇠 계수를 가지며, 상기 제1 파장에 대한 상기 제1 감쇠 계수의 비는 $5 \times 10^5 / \text{m}$ 보다 크고, 상기 제2 파장에 대한 상기 제2 감쇠 계수의 비는 $5 \times 10^5 / \text{m}$ 보다 작은 것인 반도체 장치(100)의 제조 방법.

청구항 2

제1항에 있어서, 상기 불순물 영역을 형성하는 공정은,

제1 불순물 농도를 가지며, 상기 탄화규소 기판의 상기 표면을 기준으로 하여 제1 깊이에 도달하는 제1 불순물 층(123)을 형성하는 공정과,

제2 불순물 농도를 가지며, 상기 탄화규소 기판의 상기 표면을 기준으로 하여 제2 깊이에 도달하는 제2 불순물 층(125)을 형성하는 공정을 포함하고,

상기 제1 깊이에 비하여 상기 제2 깊이는 작고, 상기 제1 불순물 농도에 비하여 상기 제2 불순물 농도는 큰 것인 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서, 상기 제1 레이저광을 조사하는 공정은, 상기 탄화규소 기판의 상기 표면의 일부인 제1 영역에만 상기 제1 레이저광을 조사하는 공정인 것인 반도체 장치의 제조 방법.

청구항 4

제3항에 있어서, 상기 제2 레이저광을 조사하는 공정은, 상기 탄화규소 기판의 상기 표면의 제2 영역에 상기 제2 레이저광을 조사하는 공정이며, 상기 제1 영역은 상기 제2 영역보다 좁은 것인 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서, 상기 제1 및 제2 레이저광을 조사하는 공정은, 한쪽이 행해진 후에 다른 쪽이 행해지는 것인 반도체 장치의 제조 방법.

청구항 6

제1항에 있어서, 상기 제1 및 제2 레이저광을 조사하는 공정은 동시에 행해지는 것인 반도체 장치의 제조 방법.

청구항 7

제1항에 있어서, 상기 어닐링을 행하는 공정은, 상기 탄화규소 기판을 히터(205)에 의해 가열하는 공정을 포함하는 것인 반도체 장치의 제조 방법.

청구항 8

제1항에 있어서, 상기 어닐링을 행하는 공정은, 불활성 가스 분위기 내, 및 대기압보다 감압된 분위기 내 중 어느 하나에서 행해지는 것인 반도체 장치의 제조 방법.

청구항 9

제1항에 있어서, 상기 제1 및 제2 레이저광의 각각의 광자 에너지는 상기 탄화규소 기판의 밴드갭 에너지보다 큰 것인 반도체 장치의 제조 방법.

명세서

기술 분야

[0001]

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 특정적으로는, 탄화규소 기판을 갖는 반도체 장치의 제조 방법에 관한 것이다.

배경기술

[0002]

최근, 반도체 장치의 제조에 탄화규소 기판이 이용되기 시작하고 있다. 탄화규소는, 보다 일반적인 재료인 실리콘에 비교해서, 보다 큰 밴드갭을 갖는다. 그 때문에 탄화규소 기판을 이용한 반도체 장치는, 내압이 높고, 온저항이 낮으며, 고온 환경 하에서의 특성의 저하가 작다는 이점을 갖는다.

[0003]

탄화규소 기판을 이용한 반도체 장치의 제조 방법에서도, 실리콘 기판을 이용한 반도체 장치의 제조 방법과 동일하게, 불순물 영역을 활성화하는 어닐링 공정이 필요해진다. 그러나, 기판의 재료가 상이하면, 최적의 어닐링 공정도 상이하게 된다. 예를 들면 일본 특허 공개 제2002-289550호(특허문현 1)에 따르면, 어닐링 공정으로서, 탄화규소 등의 와이드 밴드갭 반도체에 대하여 밴드갭 이상의 에너지를 갖는 레이저광을 조사하는 것이 개시되어 있다.

선행기술문현

특허문현

[0004]

(특허문현 0001) 특허문현 1 : 일본 특허 공개 제2002-289550호

발명의 내용

해결하려는 과제

[0005]

그러나, 상기 종래의 기술에 의해서, 불순물 영역을 충분히 활성화하는 데 필요한 강도로 레이저 어닐링을 행하면, 탄화규소 기판의 표면에 손상을 부여해버림으로써 반도체 장치의 신뢰성이 저하되어 버리는 일이 있었다. 예를 들면, 탄화규소 기판의 표면이 거칠어져 버림으로써 그 위에 형성되는 막, 특히 게이트 절연막의 신뢰성이 저하되어 버리는 일이 있었다.

[0006]

따라서 본 발명의 목적은, 레이저 어닐링에서의 탄화규소 기판의 표면으로의 손상을 작게 할 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007]

본 발명의 반도체 장치의 제조 방법은, 이하의 공정을 갖는다. 표면을 갖는 탄화규소 기판이 준비된다. 표면으로부터 탄화규소 기판 중으로 이온 주입을 행함으로써 불순물 영역이 형성된다. 불순물 영역을 활성화하기 위한 어닐링이 행해진다. 어닐링은, 탄화규소 기판의 표면으로 제1 파장을 갖는 제1 레이저광을 조사하는 공정과, 탄화규소 기판의 표면으로 제2 파장을 갖는 제2 레이저광을 조사하는 공정을 포함한다. 탄화규소 기판은 제1 및 제2 파장의 각각에 있어서 제1 및 제2 감쇠 계수를 갖는다. 제1 파장에 대한 제1 감쇠 계수의 비는 $5 \times 10^5 / \text{m}$ 보다 크다. 제2 파장에 대한 제2 감쇠 계수의 비는 $5 \times 10^5 / \text{m}$ 보다 작다.

[0008]

이 제조 방법에 따르면, 탄화규소 기판의 표면 근처에 있어서 특히 흡수되기 쉬운 제1 레이저광과, 탄화규소 기판의 표면으로부터 깊게 침입하기 쉬운 제2 레이저광을 조합함에 따라 어닐링이 행해진다. 이에 따라, 단일의 레이저광에 의해서 어닐링이 행해지는 경우에 비하여, 불순물 영역의 깊이 방향에서의 레이저광의 흡수량을 보다 최적화할 수 있다. 즉, 탄화규소 기판의 깊은 영역을 충분히 어닐링하면서, 표면 근방이 불필요하게 강하게

어닐링되지 않도록, 어닐링 조건을 조정할 수 있다. 따라서 탄화규소 기판의 표면으로의 손상을 작게 할 수 있다.

[0009] 바람직하게는, 불순물 영역을 형성하는 공정은, 이하의 공정을 갖는다. 제1 불순물 농도를 가지고, 탄화규소 기판의 표면을 기준으로 하여 제1 깊이에 도달하는 제1 불순물층이 형성된다. 제2 불순물 농도를 가지고, 탄화규소 기판의 표면을 기준으로 하여 제2 깊이에 도달하는 제2 불순물층이 형성된다. 제1 깊이에 비하여 제2 깊이는 작고, 제1 불순물 농도에 비하여 제2 불순물 농도는 크다.

[0010] 이 경우, 제2 레이저광에 비하여 얇은 위치에서 흡수되기 쉬운 제1 레이저광은, 주로, 제1 불순물층에 비하여 얇은 위치에 있는 제2 불순물층의 어닐링에 기여한다. 이 결과, 제1 및 제2 레이저광 중 제2 레이저광 쪽은, 주로 제1 불순물층을 어닐링하기 위해서 최적화될 수 있다. 제1 불순물층은 제2 불순물층에 비하여 불순물 농도가 작기 때문에, 비교적 약한 어닐링으로 충분히 활성화된다. 따라서 제2 레이저광의 강도를 작게 할 수 있다. 이에 따라 탄화규소 기판의 표면으로의 손상을 작게 할 수 있다.

[0011] 바람직하게는 제1 레이저광을 조사하는 공정은, 탄화규소의 표면의 일부인 제1 영역에만 제1 레이저광을 조사하는 공정이다. 이에 따라 표면 중 제1 영역 이외의 부분으로의 손상을 방지할 수 있다.

[0012] 바람직하게는 제2 레이저광을 조사하는 공정은, 탄화규소 기판의 표면의 제2 영역에 제2 레이저광을 조사하는 공정이며, 제1 영역은 제2 영역보다 좁다. 이에 따라, 제1 영역이 제2 영역과 동일하게 되는 경우에 비하여, 표면 중 제1 및 제2 레이저광의 양쪽의 조사를 받는 부분, 즉 큰 손상을 받기 쉬운 부분을 작게 할 수 있다.

[0013] 제1 및 제2 레이저광을 조사하는 공정은, 한쪽이 행해진 후에 다른 쪽이 행해져도 좋다. 이 경우, 제1 레이저광에 의한 공정과, 제2 레이저광에 의한 공정을 독립적으로 제어할 수 있다.

[0014] 제1 및 제2 레이저광을 조사하는 공정은 동시에 행해져도 좋다. 이 경우, 양레이저광에 의한 가열이 동시에 행해지기 때문에, 탄화규소 기판이 보다 높은 온도까지 가열된다. 따라서, 보다 강한 어닐링을 행할 수 있다.

[0015] 바람직하게는 어닐링을 행하는 공정은, 탄화규소 기판을 히터에 의해서 가열하는 공정을 포함한다. 이에 따라, 충분한 어닐링을 행하는 데 필요한 레이저광의 강도를 작게 할 수 있다.

[0016] 바람직하게는 어닐링을 행하는 공정은, 불활성 가스 분위기 내, 및, 대기압보다 감압된 분위기 내 중 어느 하나에서 행해진다. 이에 따라 탄화규소 기판의 표면의 변질을 억제할 수 있다.

[0017] 바람직하게는 제1 및 제2 레이저광의 각각의 광자 에너지는 탄화규소 기판의 밴드갭 에너지보다 크다. 이에 따라 제1 및 제2 레이저광이 탄화규소 기판 내에 보다 높은 효율로 흡수된다.

발명의 효과

[0018] 이상의 설명으로부터 분명한 바와 같이, 본 발명에 따르면, 레이저 어닐링에 있어서의 탄화규소 기판의 표면으로의 손상을 작게 할 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시형태에서의 반도체 장치의 구성을 개략적으로 도시하는 단면도이다.

도 2는 도 1의 일부 확대도이다.

도 3의 (A)는 도 2의 화살표 PR1을 따르는 불순물 농도 프로파일, (B)는 도 2의 화살표 PR2를 따르는 불순물 농도 프로파일, (C)는 도 2의 화살표 PR3을 따르는 불순물 농도 프로파일이다.

도 4는 본 발명의 일 실시형태의 반도체 장치의 제조 방법에 이용되는 레이저 어닐링 장치를 개략적으로 도시하는 단면도이다.

도 5는 본 발명의 일 실시형태의 반도체 장치의 제조 방법에 이용될 수 있는 레이저광의 흡수를 도시하는 그래프도이다.

도 6은 본 발명의 일 실시형태의 반도체 장치의 제조 방법을 개략적으로 도시하는 흐름도이다.

도 7은 본 발명의 일 실시형태의 반도체 장치의 제조 방법의 제1 공정을 개략적으로 도시하는 부분 단면도이다.

도 8은 본 발명의 일 실시형태의 반도체 장치의 제조 방법의 제2 공정을 개략적으로 도시하는 부분 단면도이다.

도 9는 본 발명의 일 실시형태의 반도체 장치의 제조 방법의 제3 공정을 개략적으로 도시하는 부분 단면도이다. 도 10은 본 발명의 일 실시형태의 반도체 장치의 제조 방법의 제4 공정을 개략적으로 도시하는 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 도면에 기초로 본 발명의 실시형태를 설명한다.

[0021] 도 1에 도시한 바와 같이, 본 실시형태의 반도체 장치(100)는, 종형 DiMOSFET(Double Implanted Metal Oxide Semiconductor Field Effect Transistor)으로서, 산화막(126), 소스 전극(111), 상부 소스 전극(127), 게이트 전극(110), 드레인 전극(112) 및 탄화규소 기판을 갖는다. 탄화규소 기판은, 베이스 기판(80)과, 베퍼층(121)과, n^- 층(122)과, p_B 영역(123)(제1 불순물층)과, n^+ 영역(124) 및 p^+ 영역(125)을 갖는 영역(제2 불순물층)을 포함한다.

[0022] 베이스 기판(80)은, 단결정 탄화규소로 만들어지고 있다. 바람직하게는 베이스 기판(80)은 육방정의 결정 구조를 가지고, 보다 바람직하게는 폴리타입 4H를 갖는다. 또한 베이스 기판(80)은, 본 실시형태에서는 n 형의 도전형을 가지고, n 형 도전성 불순물의 농도는, 예를 들면 10^{19} cm^{-3} 정도의 오더이다. 베퍼층(121)은, 도전형이 n 형이며, 그 두께는 예를 들면 $0.5 \mu\text{m}$ 이다. 또한 베퍼층(121)에서의 n 형 도전성 불순물의 농도는, 예를 들면 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 의 오더이다.

[0023] n^- 층(122)은, 베퍼층(121) 상에 형성된 내압 유지층이며, 도전형이 n 형인 탄화규소로 이루어진다. 예를 들면, n^- 층(122)의 두께는 $10 \mu\text{m}$ 이며, 그 n 형 도전성 불순물의 농도는, 예를 들면 10^{15} cm^{-3} 의 오더이다.

[0024] 이 n^- 층(122)의 표면에는, 도전형이 p 형인 복수의 p_B 영역(123)이 서로 간격을 두고 형성되어 있다. p_B 영역(123)의 두께는, 예를 들면 $0.7 \mu\text{m}$ 정도이다. 또한 p_B 영역(123)에서의 p 형 도전성 불순물의 농도는, 예를 들면 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 의 오더이다.

[0025] p_B 영역(123)의 내부에 있어서, p_B 영역(123)의 표면층에 n^+ 영역(124)이 형성되어 있다. 또한, 이 n^+ 영역(124)에 인접하는 위치에는, p^+ 영역(125)이 형성되어 있다. 즉, n^+ 영역(124) 및 p^+ 영역(125)의 각각이 탄화규소 기판의 표면을 기준으로 하여 도달하는 깊이는, p_B 영역(123)이 탄화규소 기판의 표면을 기준으로 하여 도달하는 깊이에 비하여 작다.

[0026] 또한 n^+ 영역(124)의 n 형 도전성 불순물의 농도와, p^+ 영역(125)의 p 형 도전성 불순물의 농도의 각각은, 예를 들면 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 의 오더이다. 즉 n^+ 영역(124)의 n 형 도전성 불순물의 농도와, p^+ 영역(125)의 p 형 도전성 불순물의 농도의 각각은, p_B 영역(123)의 p 형 도전성 불순물의 농도에 비하여 크다.

[0027] 한쪽의 p_B 영역(123)에서의 n^+ 영역(124) 상으로부터, p_B 영역(123), 2개의 p_B 영역(123)의 사이에 있어서 노출되는 n^- 층(122), 다른 쪽의 p_B 영역(123) 및 그 다른 쪽의 p_B 영역(123)에서의 n^+ 영역(124) 위에까지 연장되도록, 산화막(126)이 형성되어 있다. 산화막(126) 상에는 게이트 전극(110)이 형성되어 있다. 또한, n^+ 영역(124) 및 p^+ 영역(125) 상에는 소스 전극(111)이 형성되어 있다. 이 소스 전극(111) 상에는 상부 소스 전극(127)이 형성되어 있다.

[0028] 도 3의 (A)~(C)의 각각은, 반도체 장치(100)의 화살표 PR1~PR3(도 2)를 따른 불순물 농도 프로파일을 나타낸다. 반도체 장치(100)의 화살표 PR1을 따른 불순물 농도 프로파일(도 3의 (A))에는, p^+ 영역(125)에 대응하는 구간 p^+ 과, p_B 영역(123)에 대응하는 구간 p_B 와, n^- 층(122)에 대응하는 구간 n^- 가 표시되어 있다. 또한 프로파일 Dp^+ 및 Dp_B 의 각각은, p^+ 영역(125) 및 p_B 영역(123)의 형성을 목적으로 한 이온 주입 프로파일을 나타내고

있다. 또한 프로파일 Dn^- 는, n^- 층(122)의 형성 시의 불순물 농도에 대응하고 있다. 반도체 장치(100)의 화살표 PR2를 따른 불순물 농도 프로파일(도 3의 (B))에는, n^+ 영역(124)에 대응하는 구간 n^+ 과, p_B 영역(123)에 대응하는 구간 p_B 와, n^- 층(122)에 대응하는 구간 n^- 가 표시되어 있다. 또한 프로파일 Dn^+ 는, n^+ 영역(124)의 형성을 목적으로 한 이온 주입 프로파일을 나타내고 있다.

[0029] 도 4를 참조하여, 이온 주입된 불순물의 활성화에 이용되는 레이저 어닐링 장치에 관해서 설명한다. 이 장치는, 제1 및 제2 레이저(201, 202)와, 트리거부(200)와, 하프 미러(203)와, 집광 렌즈(204)와, 히터(205)를 갖는다. 또한 하프 미러 대신에 다이크로익 미러가 이용되어도 좋다.

[0030] 트리거부(200)는, 제1 및 제2 레이저(201 및 202)로, 동시에, 또는 타이밍을 어긋나게 하여 트리거 신호를 보내는 것이다. 제1 및 제2 레이저(201, 202)의 각각은, 트리거부(200)로부터의 트리거 신호를 받으면, 제1 및 제2 파장의 펄스 레이저광을 방사하는 것이다. 하프 미러(203)는, 제1 및 제2 레이저(201, 202)로부터의 레이저광의 모두가 집광 렌즈(204)로 광축을 따라서 입사하도록 배치되어 있다. 집광 렌즈(204)는, 워크(WK)의 피(被)어닐링 영역(RG)에, 제1 및 제2 레이저(201, 202)로부터의 레이저광을 집광하는 것이다. 집광된 레이저광에 의해서 피어닐링 영역(RG)이 레이저 어닐링된다. 히터(205)는, 레이저 어닐링을 보조하기 위해서 워크(WK)를 가열하는 것이다.

[0031] 제1 및 제2 레이저(201, 202)의 각각이 생성하는 레이저광의 파장 X 및 Y (미터)는, 파장 W (미터)의 광에 대한 탄화규소의 감쇠 계수를 $k(W)$ 로 하면, 이하의 식을 만족하도록 선택된다.

$$k(Y)/Y \leq 5 \times 10^5 < k(X)/X$$

[0033] 따라서, 제1 레이저(201)의 레이저광쪽이, 제2 레이저(202)의 레이저광에 비하여, 워크(WK)의 표면 가까이에서 흡수되기 쉽다. 반대로 말하면, 제2 레이저(202)의 레이저광쪽이, 제1 레이저(201)의 레이저광에 비하여, 워크(WK)의 보다 깊은 위치까지 침입하기 쉽다.

[0034] 도 5는 파장 L1~L36의 광이 탄화규소에 깊이(DP)만큼 침입한 경우의 광의 강도(RT)의 변화를 도시하는 그래프이다. 파장 L1~L21을 제1 군(G1)으로 하고, 파장 L22~L36을 제2 군(G2)으로 한다. 제1 군(G1)쪽이 제2 군(G2)에 비하여 보다 큰 $k(W)/W$ 를 가지며, 양자의 경계(CR)는 $k(W)/W=5 \times 10^5$ 에 대응하고 있다. 제1 군(G1)에 속하는 파장은 제1 레이저(201)에 대응하고, 제2 군(G2)에 속하는 파장은 제2 레이저(202)에 대응하고 있다.

[0035] 파장 L1~L36의 값을 도시한다. 파장 L1=263.8 nm, L2=266.6 nm, L3=325 nm, L4=326.3 nm, L5=269.5 nm, L6=407.8 nm, L7=272.5 nm, L8=335.1 nm, L9=410.5 nm, L10=344.4 nm, L11=281.8 nm, L12=285 nm, L13=355 nm, L14=200 nm, L15=400 nm, L16=206.6 nm, L17=213.8 nm, L18=221.4 nm, L19=229.6 nm, L20=238.4 nm, L21=248 nm, L22=261 nm, L23=275.5 nm, L24=278.6 nm, L25=302.4 nm, L26=308 nm, L27=315 nm, L28=317.9 nm, L29=364.7 nm, L30=375 nm, L31=375.7 nm, L32=387.5 nm, L33=397 nm, L34=402.5 nm, L35=405.2 nm, L36=413.3 nm.

[0036] 또한 파장 L1~L13에 관해서는 그 특성이 가깝기 때문에, 각각의 그래프를 도시하는 대신에 하나의 해칭 영역을 나타낸다. 파장 L25~36에 관해서도 동일하다.

[0037] 다음으로 반도체 장치(100)의 제조 방법에 관해서 설명한다.

[0038] 도 7을 참조하여, 우선 기판 준비 공정(단계 S110: 도 6)에서, 탄화규소 기판이, 이하와 같이 준비된다.

[0039] 우선 베이스 기판(80) 상에 베퍼층(121)이 형성된다. 본 실시형태에 있어서는, 베이스 기판(80)의 도전형은 n형으로 된다. 베퍼층(121)은, 도전형이 n형인 탄화규소로 이루어지고, 예를 들면 두께 0.5 μ m의 에피택셜층이다. 또한 베퍼층(121)에서의 도전형 불순물의 농도는, 예를 들면 $5 \times 10^{17} \text{ cm}^{-3}$ 으로 된다.

[0040] 다음으로 베퍼층(121) 상에 n^- 층(122)이 형성된다. 구체적으로는, 도전형이 n형의 탄화규소로 이루어지는 층이 에피택셜 성장법에 의해서 형성된다. n^- 층(122)의 두께는, 예를 들면 10 μ m로 된다. 또한 n^- 층(122)에서의 n형 도전성 불순물의 농도는, 예를 들면 $5 \times 10^{15} \text{ cm}^{-3}$ 이다.

[0041] 이상에 의해, 베이스 기판(80)과, 베퍼층(121)과, n^- 층(122)을 갖는 탄화규소 기판(도 7)이 준비된다. 이 탄화

규소 기판은, n^- 층(122)으로 이루어지는 표면(도 7의 상면)과, 베이스 기판(80)으로 이루어지는 이면(도 7에 있어서의 하면)을 갖는다.

[0042] 도 8을 참조하여, 이온 주입 공정(단계 S120: 도 6)에 의해, 불순물 영역(p_B 영역(123), n^+ 영역(124), 및 p^+ 영역(125))이, 탄화규소 기판의 표면으로부터 탄화규소 기판 내로의 이온 주입에 의해서 형성된다. 구체적으로는, 이하와 같이 형성된다.

[0043] 우선 도전형이 p 형인 불순물이 n^- 층(122)의 일부에 선택적으로 주입됨으로써, p_B 영역(123)이 형성된다. 다음으로, n 형인 도전성 불순물을 정해진 영역에 선택적으로 주입함으로써 n^+ 영역(124)이 형성되고, 도전형이 p 형인 도전성 불순물을 정해진 영역에 선택적으로 주입함으로써 p^+ 영역(125)이 형성된다. 또한 불순물의 선택적인 주입은, 예를 들면 산화막으로 이루어지는 마스크를 이용하여 행해진다.

[0044] 다음으로, 주입된 불순물을 활성화하기 위한 어닐링 공정(단계 S130: 도 6)이, 도 4의 레이저 어닐링 장치를 이용하여 행해진다. 즉, 탄화규소 기판의 표면으로, 제1 군(G1)(도 5)으로부터 선택되는 파장을 갖는 레이저광(제1 레이저광)의 조사와, 제2 군(G2)(도 5)으로부터 선택되는 파장을 갖는 레이저광(제2 레이저광)의 조사가 행해진다.

[0045] 바람직하게는 제1 레이저광을 조사하는 공정은, 탄화규소의 표면의 일부인 제1 영역에만 제1 레이저광을 조사하는 공정이다. 제1 영역은 적어도 n^+ 영역(124) 및 p^+ 영역(125)을 포함한다. 또한 바람직하게는 제2 레이저광을 조사하는 공정은, 탄화규소 기판의 표면의 일부인 제2 영역에 제2 레이저광을 조사하는 공정이다. 제2 영역은 적어도 p_B 영역(123)을 포함한다. 보다 바람직하게는, 제1 영역은 제2 영역보다 좁게 된다.

[0046] 상기 제1 및 제2 레이저광을 조사하는 공정은, 한쪽이 행해진 후에 다른 쪽이 행해져도 좋고, 양쪽이 동시에 행해져도 좋다. 또한 제1 및 제2 레이저광이 입사될 때까지, 탄화규소 기판의 온도가 히터(205)(도 4)에 의해서 승온되어 있는 것이 바람직하다. 또한 제1 및 제2 레이저광의 조사는, 불활성 가스 분위기 내, 또는, 대기압보다 감압된 분위기 내 중 어느 하나로 행해지는 것이 바람직하다. 또한 제1 및 제2 레이저광의 각각의 광자 에너지는, 탄화규소 기판의 밴드갭 에너지보다 큰 것이 바람직하다.

[0047] 도 9를 참조하여, 게이트 절연막 형성 공정(단계 S140: 도 6)이 행해진다. 구체적으로는, n^- 층(122)과, p_B 영역(123)과, n^+ 영역(124)과, p^+ 영역(125) 위를 덮도록 산화막(126)이 형성된다. 이 형성은 드라이 산화(열산화)에 의해 행해져도 좋다. 드라이 산화의 조건은, 예를 들면, 가열 온도가 1200°C이며, 가열 시간이 30분이다.

[0048] 그 후, 질소 어닐링 공정(단계 S150: 도 6)이 행해진다. 구체적으로는, 일산화질소(NO) 분위기 내에서의 어닐링 처리가 행해진다. 이 처리의 조건은, 예를 들면 가열 온도가 1100°C이며, 가열 시간이 120분이다. 이 결과, n^- 층(122), p_B 영역(123), n^+ 영역(124), 및 p^+ 영역(125)의 각각과, 산화막(126)과의 계면 근방에, 질소 원자가 도입된다.

[0049] 또한 이 일산화질소를 이용한 어닐링 공정의 후, 또한 불활성 가스인 아르곤(Ar) 가스를 이용한 어닐링 처리가 행해져도 좋다. 이 처리의 조건은, 예를 들면, 가열 온도가 1100°C이며, 가열 시간이 60분이다.

[0050] 도 10을 참조하여, 전극 형성 공정(단계 S160: 도 6)에 의해, 소스 전극(111) 및 드레인 전극(112)이, 이하와 같이 형성된다.

[0051] 우선 산화막(126) 상에, 포토리소그래피법을 이용하여, 패턴을 갖는 레지스트막이 형성된다. 이 레지스트막을 마스크로서 이용하여, 산화막(126) 중 n^+ 영역(124) 및 p^+ 영역(125) 상에 위치하는 부분이 에칭에 의해 제거된다. 이에 따라 산화막(126)에 개구부가 형성된다. 다음으로, 이 개구부에 있어서 n^+ 영역(124) 및 p^+ 영역(125)의 각각과 접촉하도록 도전체막이 형성된다. 다음으로, 레지스트막을 제거함으로써, 상기 도체막 중 레지스트막 상에 위치하고 있던 부분의 제거(리프트 오프)가 행해진다. 이 도체막은, 금속막이라도 좋고, 예를 들면 니켈(Ni)로 이루어진다. 이 리프트 오프의 결과, 소스 전극(111)이 형성된다.

[0052] 또한, 여기서 열로이화를 위한 열처리가 행해지는 것이 바람직하다. 예를 들면, 불활성 가스인 아르곤(Ar) 가스

의 분위기 중, 가열 온도 950°C에서 2분의 열처리가 행해진다.

[0053] 다시 도 1을 참조하여, 소스 전극(111) 상에 상부 소스 전극(127)이 형성된다. 또한, 베이스 기판(80)의 이면 상에 드레인 전극(112)이 형성된다. 또한 산화막(126) 상에 게이트 전극(110)이 형성된다. 이상에 의해, 반도체 장치(100)가 얻어진다.

[0054] 본 실시형태에 따르면, 탄화규소 기판의 표면 근처에 있어서 특히 흡수되기 쉬운 제1 군(G1)(도 5)의 레이저광과, 탄화규소 기판의 표면으로부터 깊게 침입하기 쉬운 제2 군(G2)(도 5)의 레이저광을 조합함에 따라 어닐링이 행해진다. 이에 따라, 단일의 레이저광에 의해서 어닐링이 행해지는 경우에 비하여, 불순물 영역의 깊이 방향에서의 레이저광의 흡수량을 보다 최적화할 수 있다. 즉, 탄화규소 기판의 깊은 영역을 충분히 어닐링하면서, 표면 근방이 불필요하게 강하게 어닐링되지 않도록, 어닐링 조건을 조정할 수 있다. 따라서 탄화규소 기판의 표면으로의 손상을 작게 할 수 있다.

[0055] 상기 작용 효과는, p_B 영역(123)과 같은 비교적 저농도의 확산 영역과, 그 표면측에 n^+ 영역(124) 및 p^+ 영역(125)과 같은 비교적 고농도의 확산 영역을 갖는 구조, 즉 이중 확산을 갖는 구조에 있어서 특히 유용하다. 구체적으로는, 제2 군(G2)의 레이저광에 비하여 얇은 위치에서 흡수되기 쉬운 제1 군(G1)의 레이저광은, 주로, p_B 영역(123)에 비하여 얇은 위치에 있는 n^+ 영역(124) 및 p^+ 영역(125)의 어닐링에 기여한다. 이 결과, 제2 군(G2)의 레이저광은, 주로 p_B 영역(123)을 어닐링하기 위해서 최적화될 수 있다. n^+ 영역(124) 및 p^+ 영역(125)의 각각에 비하여 p_B 영역(123)은 불순물 농도가 작기 때문에, 비교적 약한 어닐링으로 충분히 활성화된다. 따라서 제1 군(G1)의 레이저광이 병용되지 않는 경우에 비하여, 제2 군(G2)의 레이저광의 강도를 작게 할 수 있다. 이에 따라 탄화규소 기판의 표면으로의 손상을 작게 할 수 있다.

[0056] 또한 제1 군(G1)의 레이저광이, 탄화규소의 표면의 일부의 영역에만 조사됨으로써, 다른 영역으로의 손상, 및 기판의 휘어짐을 억제할 수 있다. 또한 제1 군(G1)의 레이저광이 조사되는 영역이, 제2 군(G2)의 레이저광이 조사되는 영역에 비하여 좁게 됨으로써, 양 영역이 동일하게 취급되는 경우에 비하여, 표면 중 양 레이저광의 조사를 받는 부분, 즉 보다 큰 손상을 받기 쉬운 부분을 작게 할 수 있다. 특히 탄화규소 기판의 표면 중 게이트 전극(110)(도 1)에 대향하는 부분의 손상을 억제함으로써, 반도체 장치(100)의 신뢰성을 향상시킬 수 있다. 왜냐하면, 이 부분의 손상에 의한 표면 거칠기는, 이 부분의 위에 형성되는 게이트 절연막(산화막(126))의 신뢰성 저하에 연결되고, 그 결과 누설 전류가 생기기 쉬워지기 때문이다.

[0057] 제1 군(G1) 및 제2 군(G2)의 각각의 레이저광은, 한쪽이 조사된 후에 다른 쪽이 조사되어도 좋다. 이 경우, 각각의 공정을 독립적으로 제어할 수 있다. 혹은 양방이 동시에 조사되어도 좋다. 이 경우, 각각이 개별적으로 조사되는 경우에 비하여, 탄화규소 기판이 보다 높은 온도까지 가열된다. 따라서, 보다 강한 어닐링을 행할 수 있다.

[0058] 또한, 히터(205)(도 4)가 사용되는 경우, 충분한 어닐링을 행하는 데 필요한 레이저광의 강도를 작게 할 수 있다.

[0059] 또한, 불활성 가스 분위기 내, 또는, 대기압보다 감압된 분위기 내에서 어닐링이 행해지는 경우, 탄화규소 기판의 표면의 변질을 억제할 수 있다.

[0060] 또한, 레이저 어닐링에 이용되는 레이저광의 광자 에너지가 탄화규소 기판의 밴드갭 에너지보다 크게 되는 경우, 레이저광이 탄화규소 기판 내에 보다 높은 효율로 흡수될 수 있다.

[0061] 또한 본 실시형태에서의 도전형이 교체된 구성, 즉 p 형과 n 형이 교체된 구성을 이용할 수도 있다.

[0062] 또한 종형 DiMOSFET를 예시했지만, 본 발명의 반도체 기판을 이용하여 다른 반도체 장치가 제조되어도 좋고, 예를 들면 RESURF-JFET(Reduced Surface Field-Junction Field Effect Transistor) 또는 쇼트키 다이오드가 제조되어도 좋다.

[0063] 이번 개시된 실시형태는 모든 점에서 예시로서, 제한적인 것은 아니라고 생각되어야 할 것이다. 본 발명의 범위는 전술한 설명이 아니라 청구범위에 의해서 표시되고, 청구범위와 균등의 의미, 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

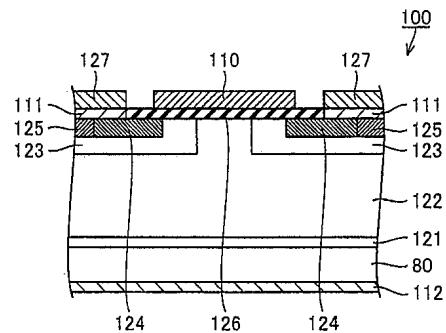
부호의 설명

[0064]

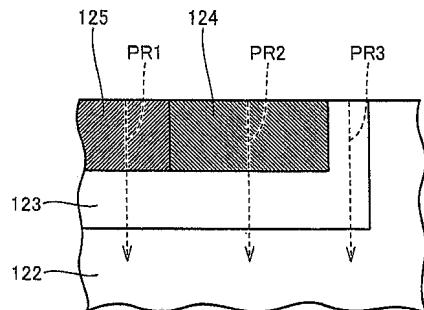
100 : 반도체 장치	110 : 게이트 전극
111 : 소스 전극	112 : 드레인 전극
121 : 베퍼층	122 : n^- 층
123 : p_B 영역	124 : n^+ 영역
125 : p^+ 영역	126 : 산화막
127 : 상부 소스 전극	200 : 트리거부
201 : 제1 레이저	202 : 제2 레이저
203 : 하프 미러	204 : 집광 렌즈
205 : 히터	

도면

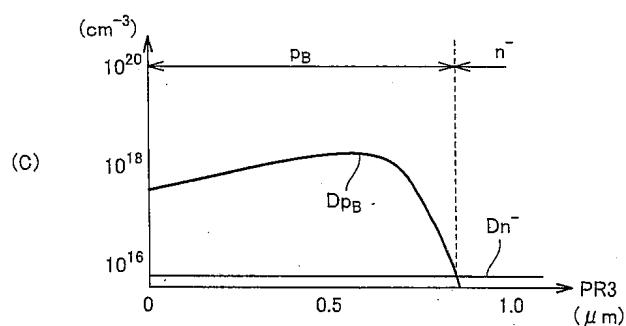
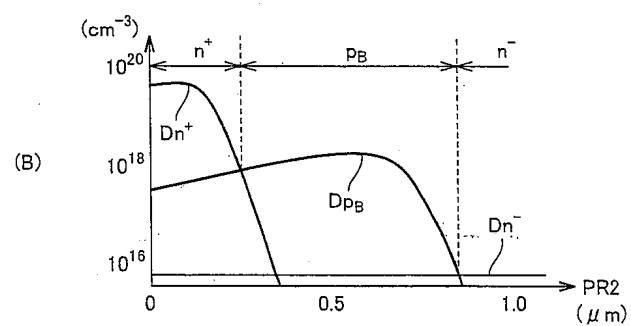
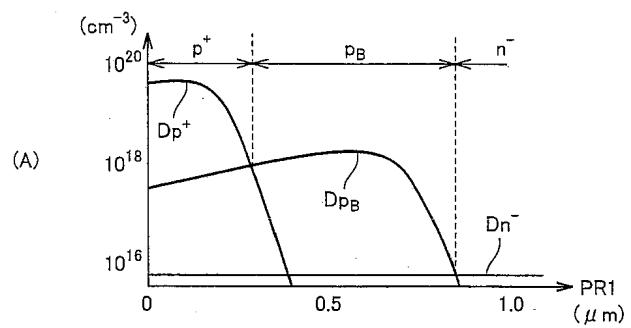
도면1



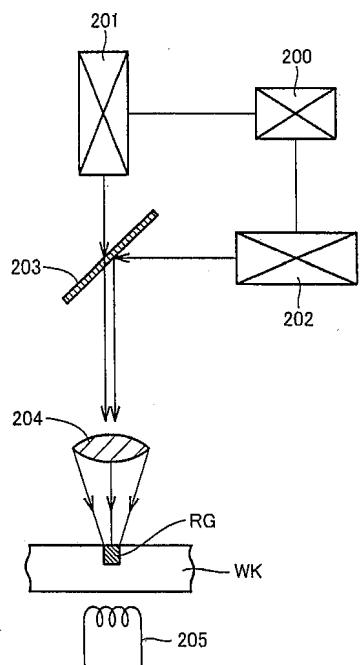
도면2



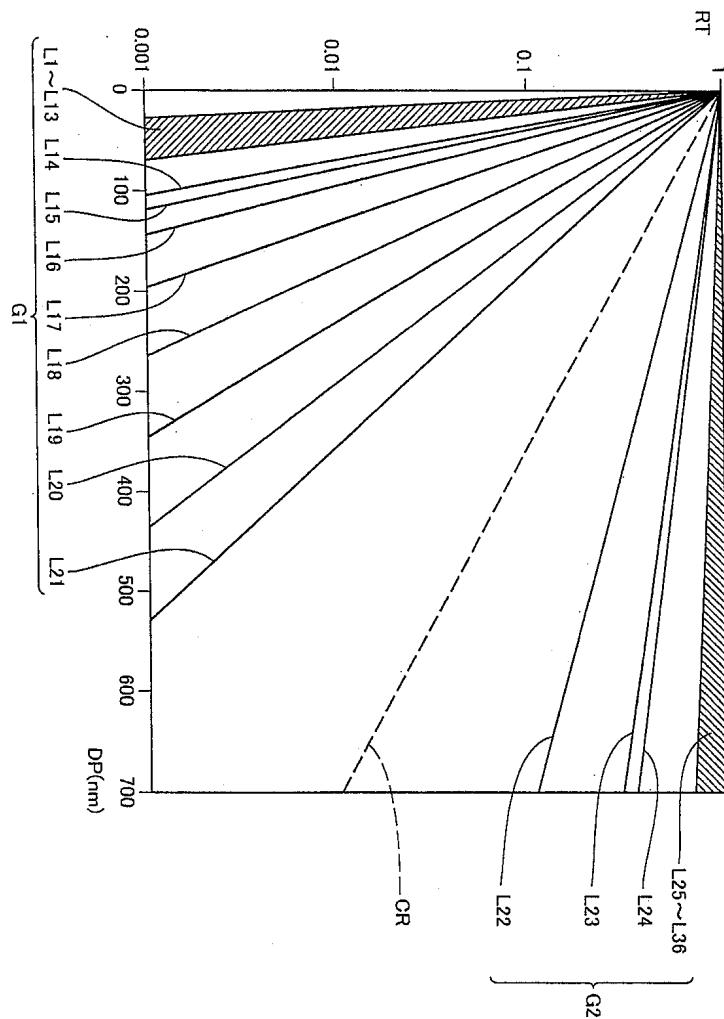
도면3



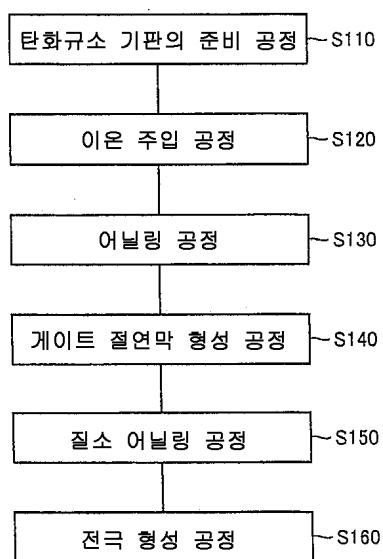
도면4



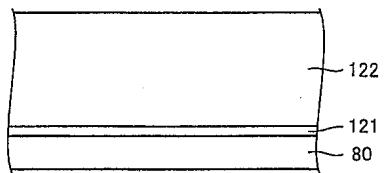
도면5



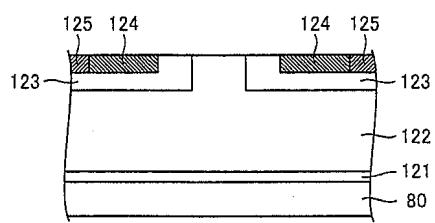
도면6



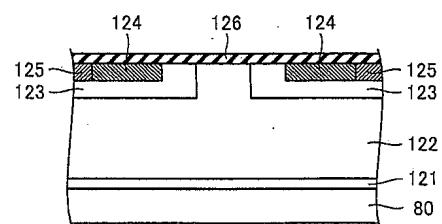
도면7



도면8



도면9



도면10

