

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3777246号
(P3777246)

(45) 発行日 平成18年5月24日(2006.5.24)

(24) 登録日 平成18年3月3日(2006.3.3)

(51) Int. Cl.

F I

G 0 6 F 12/16 (2006.01)

G 0 6 F 12/16 3 2 0 L

G 0 6 F 3/06 (2006.01)

G 0 6 F 3/06 3 0 5 C

G 1 1 B 20/18 (2006.01)

G 1 1 B 20/18 5 4 4 A

H 0 3 M 13/00 (2006.01)

G 1 1 B 20/18 5 7 2 F

H 0 3 M 13/00

請求項の数 21 (全 24 頁)

(21) 出願番号 特願平9-268519
 (22) 出願日 平成9年10月1日(1997.10.1)
 (65) 公開番号 特開平10-171721
 (43) 公開日 平成10年6月26日(1998.6.26)
 審査請求日 平成14年6月20日(2002.6.20)
 (31) 優先権主張番号 08/725685
 (32) 優先日 平成8年10月2日(1996.10.2)
 (33) 優先権主張国 米国(US)

(73) 特許権者 592212054
 ミツビシ・セミコンダクター・アメリカ・
 インコーポレイテッド
 MITSUBISHI SEMICOND
 UCTOR AMERICA, INC.
 アメリカ合衆国、27704 ノース・カ
 ロライナ州、ダラム、スリー・ダイヤモンド
 ・レーン(番地なし)

(74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100091409
 弁理士 伊藤 英彦

最終頁に続く

(54) 【発明の名称】 ディスク記憶装置内の誤りを訂正するためのシステムおよび誤り制御チップ、ならびに符号化および復号化の方法

(57) 【特許請求の範囲】

【請求項1】

ディスク記憶装置内の誤りを訂正するためのシステムであって、
 前記ディスク記憶装置内に記憶するために中央処理装置より供給されたオリジナルデータを符号化するためのエンコーダと、
 前記ディスク記憶装置からディスクドライブによって読出されたデータを復号化するためのデコーダと、
 前記中央処理装置、ディスクドライブ、エンコーダおよびデコーダによってアクセス可能な複数のワーキングバッファと、
 前記中央処理装置、ディスクドライブ、エンコーダおよびデコーダの各々が前記複数のワーキングバッファのうちの予め定められた1つのバッファにアクセスが可能なように、前記複数のワーキングバッファをアドレス指定するためのアドレス発生器とを含み、
 前記アドレス発生器は、
 前記複数のワーキングバッファを回転させて、前記中央処理装置、ディスクドライブ、エンコーダおよびデコーダの各々が前記複数のワーキングバッファのすべてに逐次的にアクセスできるようにするためのバッファ回転回路と、
 前記中央処理装置および前記ディスクドライブにワーキングバッファの位置へのリニアアクセスを提供するためのローディングアドレス発生器と、
 前記エンコーダおよびデコーダにワーキングバッファの位置へのインタリーブおよびランダムアクセスを提供するための処理アドレス発生器を含む、システム。

10

20

【請求項 2】

前記複数のワーキングバッファに結合された複数のアドレスマルチプレクサを有するアドレス多重化回路をさらに含む、請求項 1 に記載のシステム。

【請求項 3】

前記複数のアドレスマルチプレクサの各々における第 1 の入力の前記ローディングアドレス発生器に接続され、前記複数のアドレスマルチプレクサの各々における第 2 の入力の前記処理アドレス発生器に接続される、請求項 2 に記載のシステム。

【請求項 4】

前記複数のアドレスマルチプレクサは前記バッファ回転回路によって制御される、請求項 3 に記載のシステム。

10

【請求項 5】

入力が前記複数のワーキングバッファに接続され、かつ出力が前記中央処理装置、ディスクドライブ、エンコーダおよびデコーダに結合されたデータバス多重化回路をさらに含む、請求項 4 に記載のシステム。

【請求項 6】

前記データバス多重化回路は前記バッファ回転回路によって制御される、請求項 5 に記載のシステム。

【請求項 7】

前記バッファ回転回路は、回転数および符号化 / 復号化選択信号が供給される複数の比較器を含む、請求項 6 に記載のシステム。

20

【請求項 8】

前記処理アドレス発生器は、前記エンコーダおよびデコーダに供給される一体化されたワードカウンタに基づいて、種々のフォーマットのディスクのために前記エンコーダおよびデコーダによって処理されるワードを指定するマッピング回路を含む、請求項 1 に記載のシステム。

【請求項 9】

光ディスク記憶装置における誤りを訂正するための誤り制御チップであって、

前記光ディスク記憶装置内に記憶するために中央処理装置によって供給されたオリジナルデータを符号化し、かつ、前記ディスク記憶装置から光ディスクドライブによって読出された記憶されたデータを復号化するためのエンコーダ / デコーダ回路を含み、符号化されたデータは光ディスクドライブに供給され、復号化されたデータは前記中央処理装置に供給され、さらに、

30

符号化 / 復号化手順中にデータを記憶するための第 1、第 2 および第 3 のワーキングバッファと、

符号化 / 復号化手順の各々のサイクルにおいて前記中央処理装置、ディスクドライブ、およびエンコーダ / デコーダ回路の各々に前記第 1、第 2 および第 3 のワーキングバッファのうちの 1 つのバッファへのアクセスを提供するためのアドレス発生器とを含み、

前記アドレス発生器は、

前記複数のワーキングバッファを回転させて、前記中央処理装置、ディスクドライブ、エンコーダおよびデコーダの各々が前記複数のワーキングバッファのすべてに逐次的にアクセスできるようにするためのバッファ回転回路と、

40

前記中央処理装置および前記ディスクドライブにワーキングバッファの位置へのリニアアクセスを提供するためのローディングアドレス発生器と、

前記エンコーダおよびデコーダにワーキングバッファの位置へのインタリーブおよびランダムアクセスを提供するための処理アドレス発生器を含む、チップ。

【請求項 10】

前記バッファ回転回路は、前記第 1、第 2 および第 3 のワーキングバッファの各々を前記中央処理装置、ディスクドライブ、およびエンコーダ / デコーダ回路の各々に逐次接続する、請求項 9 に記載のチップ。

【請求項 11】

50

前記ローディングアドレス発生器は、前記中央処理装置に、前記オリジナルデータを供給するためおよび前記復号化されたデータを読み出すために前記第 1、第 2 および第 3 のワーキングバッファの各々へのアクセスを提供する、請求項 1 0 に記載のチップ。

【請求項 1 2】

前記ローディングアドレス発生器はさらに、前記光ディスクドライブに、前記光ディスク上に書込まれるべき前記符号化されたデータを受取るためおよび前記光ディスクより読出された前記記憶されたデータを供給するために前記第 1、第 2 および第 3 のワーキングバッファの各々へのアクセスを提供する、請求項 1 1 に記載のチップ。

【請求項 1 3】

前記ローディングアドレス発生器は前記ワーキングバッファのリニアアドレスを提供する、請求項 1 2 に記載のチップ。

10

【請求項 1 4】

前記処理アドレス発生器は、前記エンコーダ/デコーダ回路に、データの符号化および復号化のために前記第 1、第 2 および第 3 のワーキングバッファ各々へのアクセスを提供する、請求項 1 3 に記載のチップ。

【請求項 1 5】

前記処理アドレス発生器は、前記ワーキングバッファのインタリーブおよびランダムアドレス指定を提供する、請求項 1 4 に記載のチップ。

【請求項 1 6】

前記処理アドレス発生器は、加算器と、前記加算器の入力に結合された第 1 のシフトレジスタとを有する、第 1 の値で乗算するための第 1 の回路を含む、請求項 1 4 に記載のチップ。

20

【請求項 1 7】

前記処理アドレス発生器は、前記加算器の出力に結合された第 2 のシフトレジスタを有する、第 2 の値で乗算するための第 2 の回路をさらに含む、請求項 1 6 に記載のチップ。

【請求項 1 8】

前記処理アドレス発生器は、第 1 の入力の前記加算器に結合されかつ第 2 の入力の前記第 2 のシフトレジスタに結合されたフォーマットセクタをさらに含む、請求項 1 7 に記載のチップ。

【請求項 1 9】

30

前記フォーマットセクタは、選択フォーマット信号によって制御されて、前記光ディスク記憶装置の第 1 のフォーマットが選択された際には前記フォーマットセクタの出力端子に前記加算器の出力を結合し、かつ、前記光ディスク記憶装置の第 2 のフォーマットが選択された際には前記フォーマットセクタの出力端子に前記第 2 のシフトレジスタの出力を結合する、制御入力とを有する、請求項 1 8 に記載のチップ。

【請求項 2 0】

符号化の方法であって、

リニアアドレス指定モードにより第 1 のワーキングバッファのアドレスを指定して前記第 1 のワーキングバッファに符号化されるべき第 1 のデータブロックを供給するステップと、

40

インタリーブおよびランダムアドレス指定モードにより第 2 のワーキングバッファをアドレス指定して前記第 2 のワーキングバッファ内に記憶された第 2 のデータブロックを、符号化するステップと、

フォーマット信号に従って前記第 2 のワーキングバッファのアドレス指定のインターリーブ量を変更するステップと、

リニアアドレス指定モードで第 3 のワーキングバッファのアドレスを指定して前記第 3 のワーキングバッファ内に記憶された符号化された第 3 のデータブロックを出力するステップと、

前記第 1、第 2 および第 3 のワーキングバッファを回転させて、前記第 3 のワーキングバッファに符号化されるべき第 4 のデータブロックを供給し、前記第 1 のワーキングバッ

50

ファ内に記憶された第 1 のデータブロックを符号化し、前記第 2 のワーキングバッファから符号化された第 2 のデータブロックを出力するステップと、

前記第 1、第 2 および第 3 のワーキングバッファをさらに回転させて、前記第 2 のワーキングバッファに符号化されるべき第 5 のデータブロックを供給し、前記第 3 のワーキングバッファ内に記憶された第 4 のデータブロックを符号化し、前記第 1 のワーキングバッファから符号化された第 1 のデータブロックを出力するステップとを含む、方法。

【請求項 21】

復号化の方法であって、

リニアアドレス指定モードで第 1 のワーキングバッファのアドレス指定を行って前記第 1 のワーキングバッファに復号化されるべき第 1 のデータブロックを供給するステップと

10

、
インタリーブおよびランダムアドレス指定モードにより第 2 のワーキングバッファをアドレス指定して前記第 2 のワーキングバッファ内に記憶された第 2 のデータブロックを復号化するステップと、

フォーマット信号に従って前記第 2 のワーキングバッファのアドレス指定のインターリブ量を変更するステップと、

リニアアドレス指定モードで第 3 のワーキングバッファのアドレスを指定して前記第 3 のワーキングバッファ内に記憶された復号化された第 3 のデータブロックを出力するステップと、

前記第 1、第 2 および第 3 のワーキングバッファを回転させて、前記第 3 のワーキングバッファに復号化されるべき第 4 のデータブロックを供給し、第 1 のワーキングバッファ内に記憶された第 1 のデータブロックを復号化し、前記第 2 のワーキングバッファから復号化された第 2 のデータブロックを出力するステップと、

20

前記第 1、第 2 および第 3 のワーキングバッファをさらに回転させて、前記第 2 のワーキングバッファに符号化されるべき第 5 のデータブロックを供給し、前記第 3 のワーキングバッファ内に記憶された第 4 のデータブロックを復号化し、前記第 1 のワーキングバッファから復号化された第 1 のデータブロックを出力するステップとを含む、方法。

【発明の詳細な説明】

【0001】

【発明の分野】

30

この発明は一般に、誤り訂正に関し、より特定的には、光ディスク記憶装置のための誤り訂正システムの動作を支持するアドレス発生器に関する。

【0002】

【背景技術】

記憶媒体はさまざまな種類の雑音、歪みおよび干渉にさらされるため、書込まれたデータの消去を含む種々の誤りがその出力に生じ得る。光ディスク記憶装置内に記憶されるデジタルデータは大量であるため、誤りおよび消去の可能性は高い。これらの誤りおよび消去を訂正するために、光ディスク記憶装置には誤り制御チップ (ECC) が備えられる。ここで図 1 を参照して、誤り制御チップ 20 は、コア 22 と、光ディスク 26 のセクタに対応してデータを記憶するためのセクタバッファ 24 とを含む。光ディスク 26 上に書込まれるべきオリジナルデータは、中央処理装置 (CPU) 28 からセクタバッファ 24 へと供給される。コア 22 内のエンコーダは、オリジナルデータをデータバイトおよび冗長バイトを含む符号語に変換する。この符号語は、セクタバッファ 24 を介して光ディスク 26 上に書込まれる。読出モードにおいては、符号語はセクタバッファ 24 を介してコア 22 内のデコーダに供給される。復号化されたデータは、セクタバッファ 24 を介して CPU 28 に転送される。

40

【0003】

光ディスクへの応用において、符号語は国際標準化機構 (ISO) 標準に基づいて符号化されるが、これは巡回冗長検査 (CRC) 符号化を要し、かつ複数のガロア体にわたるリードソロモン (RS) 符号を組込む。RS (n, k) 符号は、巡回記号誤り訂正符号であ

50

って、ここでオリジナルデータのうち k 個の記号が符号化される。その結果は $(n - k)$ 記号冗長ブロックであって、これがそのデータに付加される。ガロア体とは有限体であって、その元は、変数としての特定の原始元を有する多項式として表現され得る。RS 符号は 2^m の 2 進記号のガロア体 $GF(2^m)$ のブロックのシーケンスを表わし、ここで m は記号当りのビット数である。ガロア体 $GF(2^m)$ を構築するには、次数 m の生成多項式 $p(x)$ および、 $p(x)$ の根である原始元 β を要する。 β のべきは、 $GF(2^m)$ のゼロでないすべての元を生成する。

【0004】

図 2 に示されるように、コア 22 は、CRC 符号化回路 34 と RS 符号化回路 36 とを有するエンコーダ 32 を含む。エンコーダ 32 は、 k 個のステップにおいて、 $(n - k)$ 個の冗長バイトを生成し、これがオリジナルの符号データに付加されて、光ディスク 26 上に書込まれる n バイトの符号語が作られる。コア 22 のデコーダ 38 は、シンδροーム発生器 40 を含む。シンδροーム発生器 40 は誤りを検出して、光ディスク 26 から受取った変造されたデータの各語に対してシンδροームバイト $S(x)$ を生成する。シンδροーム $(n - k)$ バイトは、ユークリッド演算回路 42 に供給される。ユークリッド演算回路 42 は、拡張されたユークリッドの互除法を使用して、誤り位置多項式 $\sigma(x)$ および誤り値多項式 $\eta(x)$ を見つける。このユークリッド演算回路 42 は誤り探知回路 44 に接続される。誤り探知回路 44 はチエンサーチ (Chien Search) プロセスを使用して、誤り位置多項式 $\sigma(x)$ に基づいて実際の誤り位置を発見する。この誤り位置が、誤り値多項式 $\eta(x)$ および誤り位置多項式 $\sigma(x)$ とともに誤り値計算機 46 によって使用されて、チエンサーチプロセスによって発見された誤り位置の各々における誤り値が判定される。誤り訂正回路 48 はわかっている誤り位置および値を使用してその誤りを訂正する。CRC 復号化回路 50 は CRC 復号化を行なって、復号化されたデータを CPU 28 に供給する。

【0005】

変造されたデータが消去を含む場合、デコーダ 38 はわかっている消去位置に基づいて消去多項式を見つけるために多項式展開を行なう。モジュール多項式乗算を実行して、通常が多項式乗算において使用される修正されたシンδροーム多項式を計算して、消去 / 誤り位置多項式を得るのである。これらの多項式演算を行なうために、デコーダ 38 は多項式処理モジュール (PPM) 52 を含んでもよい。この多項式処理モジュールは、1994 年 2 月 7 日に出願の、「誤り制御符号化のための有限体多項式処理モジュール ("FINITE FIELD POLYNOMIAL PROCESSING MODULE FOR ERROR CONTROL CODING")」と題された、同時係属中の米国特許出願番号第 08 / 192,909 号に、より詳細に記載されており、これがここに引用により援用される。

【0006】

上述のように、セクタバッファ 24 は、符号化のために CPU 28 から供給されるオリジナルデータと、ディスク 26 上に書込むためにエンコーダ 32 によって符号化されるデータと、復号化のためにディスク 26 から供給される変造データと、CPU 28 に転送するためにデコーダ 38 によって復号化されるデータとを記憶する。このため、CPU 28、光ディスク 26 から / への読出 / 書込を行なう光ディスクドライブ (ODD)、エンコーダ 32、およびデコーダ 38 は、セクタバッファへの別個のアクセスを備えられなければならない。

【0007】

光ディスク 26 の種々のフォーマットのためのセクタバッファ 24 の従来よりのデータ構成の例が図 3 に示される。ここでは 4 つの光ディスクフォーマットが示されている。90 mm / 0.5 K フォーマットおよび 130 mm / 0.5 K フォーマットはそれぞれ、セクタ当り 522 バイト (0.5 K) を有する 90 mm (3 1/2 インチ) ディスクおよび、セクタ当り 0.5 K の 130 mm (5 1/4 インチ) ディスクを規定する。90 mm / 1 K フォーマットおよび 130 mm / 1 K フォーマットは、セクタ当り 1024 バイト (1 K) を有する 90 mm ディスクおよび

10

20

30

40

50

、セクタ当り 1 K の 1 3 0 m m ディスクをそれぞれ規定する。

【 0 0 0 8 】

9 0 m m / 1 K フォーマットおよび 1 3 0 m m / 1 K フォーマットについては、セクタバッファ 2 4 は 1 2 0 バイト (垂直方向) × 1 0 ワード (水平方向) として構成されており、そのうち、各ワードの最後の 1 6 バイトが冗長である。

【 0 0 0 9 】

1 3 0 m m / 0 . 5 K フォーマットについては、セクタバッファ 2 4 は 6 1 バイト (垂直方向) × 5 ワード (水平方向) として構成されており、各ワードの最後の 1 6 バイトが冗長である。

【 0 0 1 0 】

9 0 m m / 0 . 5 K フォーマットについては、セクタバッファ 2 4 は 6 0 バイト (垂直方向) × 5 ワード (水平方向) で構成されており、各ワードの最後の 1 6 バイトが冗長である。すべてのフォーマットについて、バッファ位置 1 2 0 0 ~ 1 2 1 6 内に消去位置バイトが記憶される。

【 0 0 1 1 】

図 3 に示されるように、9 0 m m / 1 K フォーマットおよび 1 3 0 m m / 1 K フォーマットについては、C R C バイトは位置 1 0 3 6 、 1 0 3 7 、 1 0 3 8 および 1 0 3 9 に記憶される。9 0 m m / 0 . 5 K フォーマットおよび 1 3 0 m m / 0 . 5 K フォーマットについては、位置 5 1 6 ~ 5 1 9 および 5 2 6 ~ 5 2 9 がそれぞれ、C R C バイトに充てられる。

【 0 0 1 2 】

このセクタバッファ 2 4 には 3 つの異なるアクセス方法が必要である。すなわち、C P U 2 8 およびディスク 2 6 とのインタフェースを支持するためにかつ消去位置をロードするために、各符号語の各バイトへのリニアアクセスが提供されなくてはならない。誤り訂正のためには、バッファの各位置はランダムにアクセス可能でなければならない。なぜなら、訂正回路は誤り訂正のために、判定された誤り位置にアクセスできなければならないからである。C R C および R S 符号化 / 復号化を支持するためには、符号語は、データが C P U またはディスクからセクタバッファへ方向で書込まれかつ異なる方向で誤り訂正回路によって読出される、インタリーブ方式でアクセスされ得る。

【 0 0 1 3 】

図 4 に示されるように、誤り訂正システムのスループットを増すために、復号化モジュールは、セクタバッファ 2 4 内の異なる符号語 (C W 0 ~ C W 9) 上で同時に動作するように、パイプラインに配することが可能である。このパイプライン方式は以下の復号化動作を含む：シンドローム生成 / C R C 復号化 (S Y N / C R C 1) 、 P P M 多項式演算、チエンサーチ (C H N) 、誤り値計算 (E V L) 、誤り訂正 (C O R) 、および C R C 復号化の最終ステップ (C R C 2) である。このパイプラインモードでは、セクタバッファ 2 4 内の異なる符号語は異なる復号化モジュールによって同時にアクセス可能でなければならない。アクセス時間は重複できないため、アドレス指定は多重化されて、いかなるときにも必要なアクセスをモジュールに提供できるようにしなければならないのである。

【 0 0 1 4 】

したがって、データの符号化 / 復号化のためにセクタバッファアクセスを可能とし、種々の光ディスクフォーマットおよび誤り制御モードを支持し、かつ誤り訂正システムがパイプラインモードで動作することを可能とするような、一体型アドレス指定システムを提供することが所望される。

【 0 0 1 5 】

さらに、誤り訂正パイプライン構成が同時処理能力を備えるように、各々のバッファメモリが光ディスクのセクタに対応してデータののための記憶スペースを提供する、多数のバッファメモリを組込むことが所望される。たとえば、1 つのバッファメモリが O D D とインタフェースするために使用され、別のバッファメモリが C P U へのインタフェースを提供し、第 3 のバッファメモリが符号化 / 復号化ユニットに結合されるようにもできる。誤り

10

20

30

40

50

訂正手順中、アドレス指定システムは多数のデータバッファとアクセスする必要がある。

【0016】

【発明の開示】

したがって、この発明の1つの利点は、CPU、ODD、および符号化/復号化モジュールがデータの符号化/復号化のためにセクタバッファとアクセスすることを可能とする、一体型アドレス指定システムを提供することにある。

【0017】

この発明の別の利点は、種々の光ディスクフォーマットに対して誤り訂正を支持する、アドレス指定システムを提供することにある。

【0018】

この発明のさらなる利点は、パイプラインモードの誤り訂正を支持するアドレス指定システムを提供することにある。

【0019】

この発明のまた別の利点は、誤り訂正手順中に多数のデータバッファがアクセスされることを可能とするアドレス指定システムを提供することにある。

【0020】

この発明のさらなる利点は、誤りおよび消去が訂正されることを可能とするアドレス指定システムを提供することにある。

【0021】

この発明の別の利点は、データの符号化/復号化のためにセクタバッファにアクセスするのに使用されるアドレスを提供するための、アドレス発生器を提供することにある。

【0022】

この発明の上述および他の利点は、中央処理装置より供給されたオリジナルデータをディスク記憶装置内に記憶するために符号化するためのエンコーダおよびディスク記憶装置よりディスクドライブによって読出されたデータを復号化するためのデコーダを含む、ディスク記憶装置内の誤りを訂正するためのシステムを提供することによって、少なくとも部分的に達成される。複数のワーキングバッファが、符号化/復号化の中間結果を記憶するために備えられる。また、中央処理装置、ディスクドライブ、エンコーダおよびデコーダが上記複数のワーキングバッファのうち1つの予め定められたワーキングバッファにアクセスできるように、上記複数のワーキングバッファをアドレス指定するためにアドレス発生器が使用される。

【0023】

この発明の第1の局面に従って、アドレス発生器は、中央処理装置、ディスクドライブ、エンコーダおよびデコーダが上記複数のワーキングバッファのすべてに逐次的にアクセスできるように、上記複数のワーキングバッファを回転させるためのバッファ回転回路を含む。

【0024】

この発明の別の局面に従って、アドレス発生器は、中央処理装置およびディスクドライブにワーキングバッファの位置へのリニアアクセスを提供するための、ローディングアドレス発生器を含む。

【0025】

この発明のさらなる局面に従って、アドレス発生器はさらに、エンコーダおよびデコーダにワーキングバッファの位置へのインタリーブおよびランダムアクセスを提供するための、処理アドレス発生器を含む。

【0026】

好ましくは、ワーキングバッファは複数のアドレスマルチプレクサを含むアドレス多重化回路の出力に結合される。各アドレスマルチプレクサの第1の入力は、ローディングアドレス発生器に接続され得る。各アドレスマルチプレクサの第2の入力は、処理アドレス発生器に接続され得る。アドレスマルチプレクサは、バッファ回転回路によって制御が可能である。

10

20

30

40

50

【 0 0 2 7 】

さらに、ワーキングバッファは、出力が中央処理装置、ディスクドライブ、エンコーダおよびデコーダに結合された、データバス多重化回路の入力に接続されてもよい。データバス多重化回路は、バッファ回転回路によって制御され得る。

【 0 0 2 8 】

バッファ回転回路は、回転数および符号化 / 復号化選択信号が与えられる、複数の比較器を含み得る。

【 0 0 2 9 】

この発明の方法に従えば、データの符号化のために以下のステップが実行される。すなわち：

第 1 のワーキングバッファに符号化されるべき第 1 のデータブロックを供給するステップと、

第 2 のワーキングバッファ内に記憶された第 2 のデータブロックを符号化するステップと、

第 3 のワーキングバッファに記憶された、符号化された第 3 のデータブロックを出力するステップと、

上記第 1、第 2 および第 3 のワーキングバッファを回転して、第 3 のワーキングバッファに符号化されるべき第 4 のデータブロックを供給し、第 1 のワーキングバッファに記憶された第 1 のデータブロックを符号化し、第 2 のワーキングバッファから符号化された第 2 のデータブロックを出力するステップと、

上記第 1、第 2 および第 3 のワーキングバッファをさらに回転させて、第 2 のワーキングバッファに符号化されるべき第 5 のデータブロックを供給し、第 3 のワーキングバッファ内に記憶された第 4 のデータブロックを符号化し、第 1 のワーキングバッファから符号化された第 1 のデータブロックを出力するステップとを含む。

【 0 0 3 0 】

この発明の方法に従えば、データの復号化のために、以下のステップが実行される。すなわち：

第 1 のワーキングバッファに復号化されるべき第 1 のデータブロックを供給するステップと、

第 2 のワーキングバッファ内に記憶された第 2 のデータブロックを復号化するステップと、

第 3 のワーキングバッファ内に記憶された、復号化された第 3 のデータブロックを出力するステップと、

上記第 1、第 2 および第 3 のワーキングバッファを回転して、第 3 のワーキングバッファに復号化されるべき第 4 のデータブロックを供給し、第 1 のワーキングバッファ内に記憶された第 1 のデータブロックを復号化し、第 2 のワーキングバッファから復号化された第 2 のデータブロックを出力するステップと、

上記第 1、第 2 および第 3 のワーキングバッファをさらに回転させて、第 2 のワーキングバッファに復号化されるべき第 5 のデータブロックを供給し、第 3 のワーキングバッファ内に記憶された第 4 のデータブロックを復号化し、第 1 のワーキングバッファから復号化された第 1 のデータブロックを出力するステップとを含む。

【 0 0 3 1 】

この発明のさらに別の目的および利点は、以下の詳細な説明より、当業者には容易に理解されるであろう。詳細な説明にはこの発明の好ましい実施例のみが示されかつ説明されており、これは、この発明を実行するために考えられるベストモードを単に例示しているにすぎない。理解されるように、この発明は他の異なる実施例も可能であり、そのいくつかの詳細は、種々の明らかな観点で変形もまた可能であるが、これらはすべてこの発明から離れるものではない。したがって、添付の図面および記載される説明は、例示のためのものであって限定を意図するものではないと考えられたい。

【 0 0 3 2 】

【本発明を実施するためのベストモード】

この発明を実施するためのベストモードは、パイプラインデータ処理を提供するための多数のデータバッファを有する誤り訂正システムの実現に基づく。図5を参照して、この発明の誤り制御チップ(ECC)200は、ECC200を中央処理装置(CPU)300および光ディスクドライブ(ODD)400にインタフェースする、3つのワーキングバッファEDBF0、EDBF1、およびEDBF2を含む。さらに、ワーキングバッファEDBF0～EDBF2は、ECC200上に配されたエンコーダ220およびデコーダ240と通信する。エンコーダ220およびデコーダ240は、図2に示されるCRCエンコーダ34、RSエンコーダ36、シンドローム発生器40、ユークリッド演算回路42、チエン誤り探知回路44、誤り値計算機46、誤り訂正回路48およびCRC復号化回路50を組み込む符号化/復号化回路によって実現され得る。ECC200上のアドレス発生器260は、ワーキングバッファEDBF0～EDBF2をデータの符号化および復号化中にアクセス可能とするアドレス情報を生成して、図4に示されるパイプラインデータ処理を支持する。アドレス発生器260については後により詳細に説明する。

10

【0033】

図6に示されるように、データの符号化手順中、光ディスクのセクタ内に書込まれるべきオリジナルデータが、CPU300からたとえばバッファEDBF0に供給され得る。同時に、符号化の先行するサイクルにおいてCPU300によって供給された別のディスクセクタのためのデータを含むバッファEDBF1がエンコーダ220によってアクセスされて、これらのデータのRSおよびCRC符号化がなされ、また同時に、先行する符号化サイクルにおいてエンコーダ220によって符号化されたセクタデータを記憶しているバッファEDBF2は、これらのデータを光ディスク上に書込むためにODD400に送る。

20

【0034】

CPU300が次の光ディスクセクタのためのデータを供給できる状態になると、ワーキングバッファが回転する。ここでバッファEDBF2はCPU300に切換えられて、次のデータセクタのためのオリジナルデータを受取る。バッファEDBF0はエンコーダ220に切換えられて、先のサイクルにおいて受取ったセクタデータを符号化する。バッファEDBF1はODD400に切換えられて、光ディスク上に書込むために、符号化されたセクタデータを出力する。

30

【0035】

符号化の次のサイクルにおいて、バッファEDBF1はCPU300へ切換えられ、バッファEDBF2はエンコーダ220に、バッファEDBF0はODD400に切換えられる。このように、次の光ディスクセクタのためのオリジナルデータが符号化のためにCPU300から供給されるたびに、ワーキングバッファの回転が行なわれる。

【0036】

ここで図7を参照して、復号化手順中のワーキングバッファの回転が図示される。たとえば復号化の第1のサイクルにおいては、ODD400は光ディスクセクタよりの変造されたデータをバッファEDBF0に書込む。これと同時に、復号化の先のサイクルにおいて書込まれたセクタデータを含むバッファEDBF1は、そのデータの復号化のためにデコーダ240に結合される。バッファEDBF2はCPU300に接続されて、先の復号化サイクルにおいてデコーダ240によって復号化されたセクタデータをCPU300に供給する。

40

【0037】

復号化の次のサイクルにおいては、バッファEDBF0はデコーダ240に切換えられて、先の復号化サイクルにおいて受取ったセクタデータを復号化する。バッファEDBF1はCPU300に切換えられて、先の復号化サイクルにおいて復号化されたセクタデータを伝送する。バッファEDBF2はODD400に切換えられて、光ディスクの次のセクタからデータを受取る。光ディスクの各セクタから読出されるデータごとに、この回転手順が実行される。

50

【 0 0 3 8 】

このように、3つのワーキングバッファを有するE C C 2 0 0は、光ディスクの3つのセクタに対して同時にデータのパイプライン処理を提供する。たとえば、ディスクのセクタn内に書込まれるべきデータが符号化のためにC P U 3 0 0から供給されるとき、セクタn - 1のためのデータは符号化され、セクタn - 2のためのデータはO D D 4 0 0に供給される。同様に、ディスクのセクタnから読出されたデータが復号化のためにO D D 4 0 0から供給される際に、セクタn - 1よりのデータは復号化され、かつセクタn - 2よりのデータはC P U 3 0 0に供給される。したがって、このような多バッファ誤り制御構成は、1バッファ誤り制御システムよりも、3倍効率が良い。

【 0 0 3 9 】

ワーキングバッファE D B F 0 ~ E D B F 2の各々は、1 2 2 0バイト(1 2 2バイト×1 0ワード)に等しい固定されたサイズを有する。誤り制御チップ2 0 0は、図3に関連して上に記載した、1 3 0 mm / 1 K、9 0 mm / 1 K、1 3 0 mm / 0 . 5 Kおよび9 0 mm / 0 . 5 Kを含む種々の光ディスクフォーマットを支持することが可能である。これらの光ディスクフォーマットの各々について、ワーキングバッファの各々内のデータが、図3に示される対応するデータ構成と同様に配される得る。

【 0 0 4 0 】

ここで図8および図9を参照する。これらはそれぞれ、符号化手順および復号化手順中のE C C 2 0 0の動作を示す。アドレス発生器2 6 0は、ローディングアドレス発生器2 6 2、処理アドレス発生器2 6 4、およびE D B F回転制御回路2 6 6を含む。ローディングアドレス発生器2 6 2は、C P U 3 0 0およびO D D 4 0 0によってアクセスされるべき、バッファE D B F 0 ~ E D B F 2内の位置を示す、a d o pアドレス信号を生成する。処理アドレス発生器2 6 4は、エンコーダ2 2 0およびデコーダ2 4 0によってアクセスされるべき、バッファE D B F 0 ~ E D B F 2内の位置を示す、a d e xアドレス信号を生成する。これらa d e xアドレス信号およびa d o pアドレス信号は、アドレスマルチプレクサ2 6 8 A、2 6 8 Bおよび2 6 8 Cをそれぞれ介して、バッファE D B F 0、E D B F 1およびE D B F 2に供給される。a d e xアドレス信号はアドレスマルチプレクサ3 8 0 A ~ 3 8 0 Cの第1の入力に供給され、a d o pアドレス信号はアドレスマルチプレクサ2 6 8 A ~ 2 6 8 Cの第2の入力に供給される。アドレスマルチプレクサ2 6 8 A、2 6 8 B、および2 6 8 Cはそれぞれ、a d d r 0信号、a d d r 1信号、およびa d d r 2信号を出力するが、これらの信号は、C P U 3 0 0、O D D 4 0 0、またはエンコーダ/デコーダロジック2 2 0および2 4 0によってアクセスされるべき、バッファE D B F 0、E D B F 1およびE D B F 2内のアドレスを指示する。E D B F回転制御回路2 6 6は、アドレスマルチプレクサ2 6 8 A ~ 2 6 8 Cの各々が対応するアドレス信号をバッファE D B F 0 ~ E D B F 2に供給するよう制御して、符号化/復号化手順中にそれらが回転するようにする。E D B F回転制御回路2 6 6によって制御されるデータバス多重化回路2 7 0は、バッファE D B F 0 ~ E D B F 2をC P U 3 0 0、O D D 4 0 0、エンコーダ2 2 0およびデコーダ2 4 0に結合する。E D B F回転制御回路2 6 6の構造および動作については、後により詳細に説明する。

【 0 0 4 1 】

図8は、符号化サイクルの一例を示す。ここでバッファE D B F 2にはマルチプレクサ2 6 8 Cによってa d d r 2信号が供給されて、このバッファはC P U 3 0 0に接続されて、次の符号化サイクルにおいて符号化すべきデータを受取る。マルチプレクサ2 6 8 BはバッファE D B F 1にa d d r 1信号を供給して、このバッファ内に記憶されたデータを符号化するためにこのバッファをエンコーダ2 2 0に接続する。マルチプレクサ2 6 8 AはバッファE D B F 0にa d d r 0信号を供給して、先の符号化サイクルにおいて符号化されたデータをバッファE D B F 0からO D D 4 0 0へと伝送させる。符号化の次のサイクルにおいては、バッファE D B F 1はO D D 4 0 0に接続され、E D B F 2はエンコーダ2 2 0に接続され、E D B F 0はC P U 3 0 0に結合される。この後、E D B F 2、E D B F 0およびE D B F 1はそれぞれ、O D D 4 0 0、エンコーダ2 2 0、およびC P U

10

20

30

40

50

300に接続される。

【0042】

図9は、復号化サイクルを示す。ここでバッファEDBF0にはaddr0信号が供給されて、このバッファは次の復号化サイクルにおいて復号化すべきデータをODD400から受取る。バッファEDBF1にはaddr1信号が供給されて、このバッファはデータの復号化のためにデコーダ240に接続される。バッファEDBF2にはaddr2信号が提供されて、先の復号化サイクルにおいて復号化されたデータがこのバッファからCPU300に伝送される。次の復号化サイクルにおいては、EDBF2、EDBF0およびEDBF1はそれぞれ、ODD400、デコーダ240、およびCPU300に接続される。

10

【0043】

このように、アドレス発生器260は、CPU300、ODD400、エンコーダ220およびデコーダ240が、符号化/復号化手順中に回転されるワーキングバッファEDBF0～EDBF2にアクセスすることを可能にする。アドレス発生器260の素子およびそれらの動作については、後により詳細に説明する。

【0044】

データの符号化および復号化の動作を支持するためには、種々の光ディスクフォーマットのために、以下のアドレス指定モードが提供されなくてはならない。すなわち：

- 1．復号化のためにODD400から入力されるデータを支持するための、（たとえば図3に示される）ワーキングバッファの位置0より、ディスクフォーマットに従ってバッファの位置515、525または1035までの、リニアアドレス指定、
- 2．符号化のためにCPU300から入力されたデータを支持するための、バッファの位置0よりディスクフォーマットに従ってバッファの位置515、525または1035までの、リニアアドレス指定、
- 3．符号化の後にODD400に出力されるデータを支持するための、バッファの位置0よりディスクフォーマットに従って位置515、525または1035までの、リニアアドレス指定、
- 4．復号化の後にCPU300に出力されるデータを支持するための、バッファの位置0よりディスクフォーマットに従って位置515、525または1035までの、リニアアドレス指定、
- 5．90mm/0.5Kフォーマットおよび130mm/0.5KフォーマットのためにRS/CRC符号化を支持するための、バッファの位置0より5つおきの位置（位置5、10、15、20、...）までの、インタリーブアドレス指定、
- 6．90mm/1Kフォーマットおよび130mm/1KフォーマットのためにRS/CRC符号化を支持するための、バッファの位置0より10個おきの位置（位置10、20、30、...）までの、インタリーブアドレス指定、
- 7．90mm/0.5Kフォーマットおよび130mm/0.5KフォーマットのためのRS/CRC復号化を支持するための、バッファの位置0より5つおきの位置（位置5、10、15、20、...）までの、インタリーブアドレス指定、
- 8．90mm/1Kフォーマットおよび130mm/1KフォーマットのためにRS/CRC復号化を支持するための、各バッファの位置0より同じバッファの10個おきの位置（位置10、20、30、...）までの、インタリーブアドレス指定、
- 9．消去復号化を支持するための、各バッファの位置1200～1216の各々へのランダムおよびリニアアドレス指定、
- 10．リードソロモン符号化中のシンδροームの書込を支持するための、各符号語の最後に16バイトを書込むための、ランダムおよびインタリーブアドレス指定、
- 11．CRC符号化/復号化中のCRC読出/書込を支持するための、4つのCRCバイトへのランダムおよびリニアアドレス指定、および
- 12．誤り訂正を支持するための、誤りを読出し、修正および書込むためにいずれのバッファ位置に対してもなされるランダムアドレス指定、である。

20

30

40

50

【 0 0 4 5 】

符号化動作は、1995年1月17日に本出願の発明者に発行された、「リードソロモン符号および巡回冗長検査を実現する並行符号化方法（“PARALLEL ENCODING METHOD IMPLEMENTING READ SOLOMON CODES AND CYCLIC REDUNDANCY CHECK”）」と題された、米国特許番号第5,383,204号に、より詳細に記載されており、これがここに引用により援用される。復号化動作は、1994年2月7日出願の「誤り制御符号化のための有限体多項式処理モジュール」と題された同時係属中の米国特許出願番号第08/192,909号内により詳細に記載されており、これがここに引用により援用される。

【 0 0 4 6 】

ここで図10および図11を参照して、上述のアドレス指定モード1～12を提供するアドレス発生器260の動作を説明するフローチャート500が示される。ステップ502において、アドレス発生器260は符号化手順または復号化手順のいずれが実行されるべきかを判定する。ステップ504において、データが（符号化のために）CPU300からまたは（復号化のために）ODD400からワーキングバッファEDBF0～EDBF2のうちの1つに供給されると、アドレス発生器260は上述のモード2またはモード1のリニアアドレス指定をそれぞれ実行する。具体的には、ローディングアドレス発生器262はリニアカウンタを含み、このリニアカウンタが、位置0より（90mm/0.5Kディスクフォーマットについては）位置515まで、（130mm/0.5Kフォーマットについては）位置525まで、または、（90mm/1Kフォーマットおよび130mm/1Kフォーマットについては）位置1035までのバッファ位置の数を逐次数えて、CPU300またはODD400によってアクセスされるべき、バッファEDBF内の位置を指示するa d o pアドレス信号を生成する。

もしここで符号化手順が実行される場合には、ステップ506において、アドレス発生器260がCPU300からデータを受取ったバッファEDBFを回転して、このバッファをRS/CRC符号化のためにエンコーダ220に接続させる。90mm/0.5Kフォーマットおよび130mm/0.5Kフォーマットについては、アドレス発生器260はモード5のインタリーブアドレス指定を行なう。90mm/1Kフォーマットおよび130mm/1Kフォーマットについては、モード6のインタリーブアドレス指定が実行される。各符号語が符号化された後に、エンコーダ220はRSバイトをその符号語の最後に書込む。アドレス発生器260はこれら符号化動作を支持するために、モード10のランダムおよびインタリーブアドレス指定を提供する。ステップ506におけるインタリーブアドレス指定およびランダムアドレス指定は、処理アドレス発生器264内で生成されたa d d _ n o r mアドレス信号を使用して行なわれるが、処理アドレス発生器264については後により詳細に説明する。

【 0 0 4 7 】

ステップ508において、CRCバイトを書込むための開始アドレスを設定するために、ディスクフォーマットが検出される。90mm/0.5Kフォーマットについては、バッファの位置516（図3）が開始アドレスとして選択される（ステップ510）。130mm/0.5Kフォーマットについては、開始アドレスは位置526に設定される（ステップ512）。90mm/1Kフォーマットおよび130mm/1Kフォーマットについては、バッファの位置1036が開始アドレスとして選択される（ステップ514）。

【 0 0 4 8 】

ステップ516において、エンコーダ220はバッファ内に4つのCRCバイトを書込む。処理アドレス発生器264において、選択されたディスクフォーマットに対する開始アドレスに従ってa d d _ c r cアドレス信号が生成されて、CRC書込を支持するモード11のランダムおよびリニアアドレス指定が提供される。

【 0 0 4 9 】

ステップ518において、RS符号化を完了するための開始アドレスを設定するためにディスクフォーマットが判定される。90mm/0.5Kフォーマットについては、バッファの位置516（図3）が開始アドレスとして選択される（ステップ520）。130mm

m / 0 . 5 K フォーマットについては、開始アドレスは位置 5 2 6 に設定される（ステップ 5 2 2）。9 0 m m / 1 K フォーマットおよび 1 3 0 m m / 1 K フォーマットについては、バッファの位置 1 0 3 6 が開始アドレスとして選択される（ステップ 5 2 4）。

【 0 0 5 0 】

ステップ 5 2 6 において、エンコーダ 2 2 0 はバッファより C R C バイトを讀出して、R S 符号化手順を終える。この動作を支持するために、選択された開始アドレスに従って処理アドレス発生器 2 6 4 内で生成された a d d _ c r c 信号を使用して、モード 1 1 のランダムおよびリニアアドレス指定が提供される。

【 0 0 5 1 】

ステップ 5 2 8 において、エンコーダ 2 2 0 は符号化された各符号語の後に最終の R S バイトを書込む。この動作を支持するモード 1 0 のランダムおよびインタリーブアドレス指定を提供するために、処理アドレス発生器 2 6 4 において a d d _ n o r m 信号が生成される。

10

【 0 0 5 2 】

ステップ 5 3 0 において、アドレス発生器 2 6 0 はバッファを回転させてそのバッファを符号化されたデータを出力するために O D D 4 0 0 に接続する。O D D 4 0 0 へのデータの転送は、ローディングアドレス発生器 2 6 2 によって生成された a d o p 信号を使用して提供される、モード 3 のリニアアドレス指定によって支持される。上述のように、ローディングアドレス発生器内のリニアカウンタは、ディスクフォーマットに従って 0 から 5 1 5、5 2 5、または 1 0 3 5 までのバッファ位置を逐次数える。ステップ 5 3 2 において、アドレス発生器 2 6 0 はディスクの次のセクタのためのデータを符号化する準備が整えられる。

20

【 0 0 5 3 】

ここでもし復号化の手順が実行される場合には、ステップ 5 0 4 においてデータは O D D 4 0 0 からワーキングバッファ E D B F のうちの 1 つに供給される。モード 1 のリニアアドレス指定を提供するために、a d o p 信号が生成される。

【 0 0 5 4 】

ステップ 5 3 4 において、アドレス発生器 2 6 0 は O D D 4 0 0 からデータを受取ったバッファを回転させて、そのバッファをデータの復号化のためにデコーダ 2 4 0 に接続させる。消去バイトが検出されれば、アドレス発生器 2 6 0 はデコーダ 2 4 0 によって行なわれる消去ローディング手順を支持するランダムおよびリニアアドレス指定モード 9 に移行して、最初の符号語内の 1 7 個の消去バイトを讀出す（ステップ 5 3 6）。モード 9 において、アドレス発生器 2 6 0 は、消去バイトを記憶するのに使用されるバッファの位置 1 2 0 0 ~ 1 2 1 6 にアクセスするアドレスを指示する。後により詳細に記載するように、a d e r a s 信号は、処理アドレス発生器 2 6 4 内で生成されて、消去モードにおける復号化を支持する。

30

【 0 0 5 5 】

ステップ 5 3 4 において消去バイトが検出されない場合、または消去ローディング動作が完了した際には、アドレス発生器 2 6 0 はステップ 5 3 8 に移行して、デコーダ 2 4 0 によって実行される R S / C R C 復号化を支持する。処理アドレス発生器 2 6 4 は、インタリーブアドレス指定が提供されることを可能とする a d d _ n o r m 信号を生成する。9 0 m m / 0 . 5 K フォーマットおよび 1 3 0 m m / 0 . 5 K フォーマットについては、アドレス発生器 2 6 0 はモード 7 のインタリーブアドレス指定を実行する。9 0 m m / 1 K フォーマットおよび 1 3 0 m m / 1 K フォーマットについては、モード 8 のインタリーブアドレス指定が実行される。

40

【 0 0 5 6 】

ステップ 5 4 0 において、デコーダ 2 4 0 はパイプライン復号化動作を実行する。この動作は、1 9 9 4 年 2 月 7 日出願の「誤り制御符号化のための有限体多項式処理モジュール」と題された、同時係属中の米国特許出願番号第 0 8 / 1 9 2 , 9 0 9 号内により詳細に記載されているが、これはバッファへのアドレス指定を必要としない。

50

【 0 0 5 7 】

ステップ 5 4 2 において、誤り訂正動作がデコーダ 2 4 0 によって実行されて、復号化された符号語の各々における誤りが訂正される。アドレス発生器 2 6 0 はこれらの動作を支持するために、モード 1 2 のランダムアドレス指定を提供する。モード 1 2 のこのアドレス指定を提供するためには、誤り訂正動作中に処理アドレス発生器 2 6 4 に供給される訂正数が使用されて、処理アドレス発生器 2 6 4 内に `add__norm` 信号が生成される。

【 0 0 5 8 】

ステップ 5 4 4 において、CRC 読出動作のための開始アドレスを設定するために、ディスクフォーマットが判定される。このとき、デコーダ 2 4 0 はオリジナルデータから CRC バイトを讀出して、それらを計算された結果と比較する。9 0 mm / 0 . 5 K フォーマットについては、バッファの位置 5 1 6 (図 3) が開始アドレスとして選択される (ステップ 5 4 6) 。 1 3 0 mm / 0 . 5 K フォーマットについては、開始アドレスは位置 5 2 6 に設定される (ステップ 5 4 8) 。 9 0 mm / 1 K フォーマットおよび 1 3 0 mm / 1 K フォーマットについては、バッファの位置 1 0 3 6 が開始アドレスとして選択される (ステップ 5 5 0) 。 ステップ 5 5 2 において、選択された開始アドレスに従って処理アドレス発生器 2 6 4 内で `add__crc` アドレス信号が形成されて、CRC 読出動作を支持するモード 1 1 のランダムアドレス指定が提供される。

【 0 0 5 9 】

この後、アドレス発生器 2 6 0 はステップ 5 3 0 に移行する。復号化の手順中、このステップはデコーダ 2 4 0 から CPU 3 0 0 へのバッファの回転を含む。その後、モード 4 のリニアアドレス指定が `adop` 信号を使用して実行されて、復号化されたデータの CPU 3 0 0 への転送が支持される。上述のように、ローディングアドレス発生器 2 6 2 内のリニアカウンタによって、位置 0 より (9 0 mm / 0 . 5 K ディスクフォーマットについては) 位置 5 1 5 まで、 (1 3 0 mm / 0 . 5 K フォーマットについては) 位置 5 2 5 まで、または、 (9 0 mm / 1 K フォーマットおよび 1 3 0 mm / 1 K フォーマットについては) 位置 1 0 3 5 までのバッファ位置が逐次数えられて、バッファ内の CPU 3 0 0 によってアクセスされるべき位置を指示する `adop` アドレス信号が生成される。ステップ 5 3 2 において、アドレス発生器 2 6 0 は、ディスクの次のセクタよりのデータを復号化するための準備が整えられる。

【 0 0 6 0 】

ここで図 1 2 を参照して、上に記載した `add__norm`、`add__crc` および `aderas` 信号に基づいて `adex` 信号を生成する処理アドレス発生器 2 6 4 が示される。図 8 および図 9 に示されたように、`adex` 信号はマルチプレクサ 2 6 8 A、2 6 8 B および 2 6 8 C に供給されて、CPU 3 0 0、ODD 4 0 0、エンコーダ 2 2 0 およびデコーダ 2 4 0 がバッファ E D B F 0 ~ E D B F 2 にアクセスすることを可能とするアドレス信号が生成される。

【 0 0 6 1 】

処理アドレス発生器 2 6 4 は、`add__norm` 信号発生器 6 0 0、`add__crc` 信号を生成する CRC カウンタ 6 0 2、パイプライン処理開始ワードアドレスリセット回路 6 0 4、`aderas` 信号を生成する消去カウンタ 6 0 6、およびセクタ 6 0 8、6 1 0、6 1 2 を含む。`add__norm` 信号発生器 6 0 0 は、RS / CRC 符号化および復号化を支持するのに使用される `add__norm` 信号を生成する。その構成および動作は、後により詳細に記載する。CRC カウンタ 6 0 2 は、 (図 1 0 のステップ 5 1 0 ~ 5 1 4、5 2 0 ~ 5 2 4 および図 1 1 の 5 4 6 ~ 5 5 0 において) 種々のディスクフォーマットのための開始アドレスを設定して、図 1 0 のステップ 5 1 6、5 2 6、および図 1 1 の 5 5 2 において CRC バイトを讀出しおよび書出すためにランダムにアクセスされるべきバッファ位置に対応するカウントを提供する。パイプライン処理開始ワードアドレスリセット回路 6 0 4 は、図 1 0 のステップ 5 0 6、5 2 8、および図 1 1 の 5 3 8 において符号化または復号化される各符号語の最初に、リセット信号を生成する。消去カウンタ 6 0 6 は、図 1 1 のステップ 5 3 6 で讀出される消去バイトの位置を指示するカウントを提供す

10

20

30

40

50

る。a d e x 信号は、セクタ 6 1 2 の出力から供給される。

【 0 0 6 2 】

a d d _ c r c 信号および a d d _ n o r m 信号は、C R C 符号化または復号化の手順が実行される際に活性化される C R C モード信号によって制御されるセクタ 6 0 8 に供給される。C R C モード信号が活性状態にある際には、a d d _ c r c 信号がセクタ 6 0 8 を通過する。そうでない場合には、a d d _ n o r m 信号がセクタ 6 0 8 の出力に形成される。

【 0 0 6 3 】

セクタ 6 0 8 の出力は、パイプライン処理開始ワードアドレスリセット回路 6 0 4 によって形成されるパイプライン処理リセット信号とともに、開始アドレスリセット信号によって制御されるセクタ 6 1 0 に供給される。この開始アドレスリセット信号は、各符号語が符号化または復号化された後に活性状態となって、パイプライン処理リセット信号を回路 6 0 4 からセクタ 6 1 0 の出力に通過させる。開始アドレスリセット信号が活性状態にない場合には、セクタ 6 0 8 の出力信号がセクタ 6 1 0 の出力に通過する。消去モード信号によって制御されるセクタ 6 1 2 は、消去カウンタ 6 0 6 から a d e r a s 信号を、および、セクタ 6 1 0 の出力信号を受取る。この消去モード信号が活性化されて復号化の消去モードの実行が指示されると、a d e r a s 信号がセクタ 6 1 2 の出力に供給される。そうでなければ、セクタ 6 1 0 の出力信号が a d e x 信号を形成するセクタ 6 1 2 の出力に通過する。したがって、a d e x 信号は、エンコード 2 2 0 またはデコード 2 4 0 よりセクタ 6 0 8、6 1 0 および 6 1 2 に供給される制御信号の状態に依存して、a d d _ n o r m 信号、a d d _ c r c 信号、a d e r a s 信号またはパイプライン処理リセット信号のいずれかによって表わされ得る。

【 0 0 6 4 】

図 1 3 を参照して、a d d _ n o r m 信号発生器 6 0 0 は、R S 符号化 / 復号化 / シンドローム数および訂正数を受取るセクタ 6 2 2 を含む。この符号化 / 復号化 / シンドローム数は、図 1 0 のステップ 5 0 6 および図 1 1 の 5 3 8 が実行されて、R S 符号化 / 復号化およびシンドローム生成のサイクルが指示される際に、R S 符号化または復号化回路によって提供される。訂正数は、訂正モード時にデコード 2 4 0 によって提供されるが、このとき復号化された符号語が訂正されて (図 1 1 のステップ 5 4 2)、誤り訂正のサイクルが指示される。セクタ 6 2 2 は訂正モード信号によって制御されるが、この訂正モード信号は、訂正モードが実行される際活性化されて、この訂正数をセクタ 6 2 2 の出力に通過させる。もし訂正モード信号が活性状態でない場合には、符号化 / 復号化 / シンドローム数がセクタ 6 2 2 の出力に供給される。

【 0 0 6 5 】

セクタ 6 2 2 の出力信号は、乗算器 6 2 4 に供給される。この乗算器 6 2 4 は 5 による乗算を行なう。乗算器 6 2 4 は、2 だけアップシフトするシフトレジスタ 6 2 6 と、第 1 の入力シフトレジスタ 6 2 6 によって供給されかつ第 2 の入力信号がセクタ 6 2 2 の出力に接続された加算器 6 2 8 とを含む。乗算器 6 2 4 の出力信号はシフトレジスタ 6 3 0 に供給される。シフトレジスタ 6 3 0 は、1 だけアップシフトしてその入力値を 2 で乗算する。

【 0 0 6 6 】

レジスタ 6 3 0 の出力はセクタ 6 3 2 の一方入力に結合される。セクタ 6 3 2 の別の入力は乗算器 6 2 4 の出力に接続される。セクタ 6 3 2 は、0 . 5 K ディスクフォーマットと 1 K ディスクフォーマットのいずれが使用されるかを指示する選択フォーマット信号によって制御される。0 . 5 K フォーマットが指示された場合には、乗算器 6 2 4 の出力信号がセクタ 6 3 2 の出力に通過して、インタリーブアドレス指定が提供されて 5 個のバッファ位置がスキップされる。1 K ディスクフォーマットが使用される場合には、レジスタ 6 3 0 の出力信号がセクタ 6 3 2 の出力に通過されて、1 0 個のバッファ位置がスキップされるインタリーブアドレス指定が提供される。

【 0 0 6 7 】

セクタ 632 の出力は加算器 634 の一方入力に供給される。加算器 634 の別の入力
は、エンコーダ/デコーダロジック 220 および 240 内に配されたワードカウンタの `pwcnt`
カウントを符号化または復号化されるべき実際のワードに対応づける、マッピング
回路 636 に接続される。たとえば図 3 に示されるように、ワードカウンタは、符号化
または復号化のために供給されるワードを追跡する `pwcnt` カウントを提供する。しか
し、90mm/1K ディスクフォーマットおよび 130mm/1K ディスクフォーマット
については、各セクタバッファ内のデータは 10 個のワード 0 ~ 9 で構成され、一方、9
0mm/0.5K ディスクフォーマットおよび 130mm/0.5K ディスクフォーマット
については、セクタバッファ内のデータは 5 個のワード 0 ~ 4 で構成される。各ディス
クフォーマットについて別個のワードカウンタを使用しなくても済むように、マッピング
回路 636 は、90mm/1K ディスクフォーマットおよび 130mm/1K ディスクフ
ォーマットについては `wdcnt(1.0)` カウントを、90mm/0.5K ディスクフ
ォーマットおよび 130mm/0.5K ディスクフォーマットについては `wdcnt(0`
`.5)` カウントを、アドレス発生器 260 に供給される `pwcnt` カウントに従って生成
する。`wdcnt(1.0)` カウントおよび `wdcnt(0.5)` カウントは、選択され
たディスクフォーマットのために実際に符号化または復号化されるワードの数を規定する
。さらに、マッピング回路 636 は、復号化の誤り訂正モード中にデコーダ 240 内の誤
り訂正回路によって処理されるワードの数を規定する、`wdcorr` カウントを生成する
。

10

【0068】

20

マッピング回路 636 によって実行されるマッピング機能が図 14 に示される。マッピ
ング回路 636 には `pwcnt` カウント 0 ~ 13 の組が供給されるが、これが、`wdcnt`
(`1.0`) カウント、`wdcnt(0.5)` カウントおよび `wdcorr` カウントの対応
する値を規定する。図 14 に示される表において、行内に示された各 `pwcnt` カウン
トの下には、その `pwcnt` カウントに割当てられる `wdcnt(1.0)` カウント、`wd`
`cnt(0.5)` カウント、および `wdcorr` カウントが示される。たとえば、`pwc`
`nt` カウント 7 が供給された場合には、マッピング回路 636 は `wdcnt(1.0)` カ
ウント 7、`wdcnt(0.5)` カウント 3、または `wdcorr` カウント 4 を生成する
。マッピング回路 636 には、ディスクフォーマットおよび訂正モードを指示する制御信
号が提供されて、どのカウントを生成すべきかが選択される。

30

【0069】

加算器 634 は、マッピング回路 636 によって生成されたカウント値とセクタ 632
の出力値とを加算して、`add_norm` 信号を生成する。上述のように、処理アドレス
発生器 264 はこの `add_norm` 信号と、`add_crc` 信号、`aderas` 信号お
よびパイプライン処理リセット信号を使用して、符号化および復号化中にエンコーダ 22
0 およびデコーダ 240 によってアクセスされるべきワーキングバッファ `EDBF0` ~ `E`
`DBF2` 内の位置を指示する `adex` アドレス信号を生成する。ローディングアドレス発
生器 262 内のリニアカウンタは、ワーキングバッファの位置を逐次数えて、`CPU30`
`0` および `ODD400` によって逐次アクセスされるワーキングバッファ内の位置を指示す
る `adop` アドレス信号を生成する。

40

【0070】

`adex` アドレス信号および `adop` アドレス信号はそれぞれ、アドレスマルチプレクサ
268A、268B、268C の各々の第 1 および第 2 の入力にそれぞれ供給される (図
8 および図 9)。アドレスマルチプレクサ 268A、268B および 268C は、ワーキ
ングバッファ `EDBF0`、`EDBF1` および `EDBF2` にそれぞれ `addr0`、`addr`
`1` および `addr2` アドレス信号を供給する。アドレスマルチプレクサ 268A、268
B および 268C はデータバス多重化回路 270 とともに、符号化および復号化中にワー
キングバッファ `EDBF0` ~ `EDBF2` を回転させる `EDBF` 回転制御回路 266 によ
って制御される。

【0071】

50

図 15 に示されるように、E D B F 回転制御回路 266 は、バッファ回転のサイクルを規定するために回転カウンタ 0、1 および 2 を提供する回転カウンタ 650 を含む。この回転カウンタは、比較器 S A 0、S A 1、S A 2、S D 0、S D 1、および S D 2 の第 1 の入力に供給されるが、これら比較器の第 2 の入力には、符号化と復号化のいずれを実行するかを指示する符号化 / 復号化選択信号が供給される。符号化動作中、符号化 / 復号化選択信号は 1 で示される。復号化動作中、符号化 / 復号化選択信号は 0 にセットされる。

【0072】

回転カウンタおよび符号化 / 復号化選択信号に従って、比較器 S A 0、S A 1、および S A 2 はそれぞれ、S A 0、S A 1、および S A 2 アドレス制御信号を生成し、これらアドレス制御信号がアドレスマルチプレクサ 268 A、268 B および 268 C の制御入力に供給されて (図 16)、a d o p 信号または a d e x 信号のいずれかを表わす a d d r 0、a d d r 1、および a d d r 2 アドレス信号が生成される。アドレス制御信号 S A i が 1 に等しい場合には、a d o p アドレス信号が対応するアドレスマルチプレクサの出力に生成され、アドレス制御信号 S A i が 0 に設定された場合には、a d e x 信号が生成される。ここで、i = 0、1、2 である。

【0073】

比較器 S D 0、S D 1 および S D 2 はそれぞれ、S D 0、S D 1 および S D 2 データバス制御信号を生成し、これらデータバス制御信号はデータバス多重化回路 270 の制御入力に供給される。図 17 に示されるように、データバス多重化回路 270 は、その出力が双方向データバス D a t a 0、D a t a 1 および D a t a 2 に結合されるデータバスマルチプレクサ 270 A、270 B および 270 C を含む。これら双方向データバスは、ワーキングバッファ E D B F 0、E D B F 1 および E D B F 2 にそれぞれ接続される。データバスマルチプレクサ 270 A、270 B および 270 C の各々は、3 つの入力を有し、その第 1 は C P U 300 に結合された C P U データバスに接続され、第 2 の入力は O D D 400 に結合された O D D データバスに接続され、第 3 の入力はエンコーダ 220 およびデコーダ 240 に結合された E C C データバスに接続される。データバスマルチプレクサ 270 A、270 B および 270 C の制御入力にはそれぞれ、D a t a 0、D a t a 1 および D a t a 2 バスの C P U、O D D および E C C データバスへの接続を制御する、S D 0、S D 1 および S D 2 データバス制御信号が供給される。特に、S D i データバス制御信号が 0 に設定されている場合には、E D B F i バッファに結合された D a t a i バスは C P U データバスに接続され、もし S D i データバス制御信号が 1 に設定された場合には、D a t a i バスは O D D データバスに接続され、S D i データバス制御信号が 2 に設定された場合には、D a t a i バスは E C C データバスに結合される。ここで、i = 0、1、2 である。

【0074】

図 18 および図 19 に示される表には、符号化手順および復号化手順中にアドレス制御信号 S A 0、S A 1 および S A 2、ならびにデータバス制御信号 S D 0、S D 1 および S D 2 に応答してアドレスおよびデータバスマルチプレクサが提供するバッファの回転が示される。たとえば、(符号化 / 復号化選択信号 = 1、および回転数 = 0 によって規定される) 符号化サイクル 0 中には、アドレス制御信号 S A 0、S A 1 および S A 2 は a d o p アドレス信号が E D B F 0 および E D B F 1 バッファに提供され、かつ、a d e x アドレス信号が E D B F 2 に送られるようにする。これと同時に、データバス制御信号 S D 0、S D 1 および S D 2 はそれぞれ 0、1 および 2 に設定されて、E D B F 0 バッファには C P U 300 への接続を、E D B F 1 バッファには O D D 400 への接続を、および E D B F 2 バッファには E C C 200 内のエンコーダ 220 への接続を提供する。次の符号化サイクル 1 では、アドレス制御信号 S A 0、S A 1 および S A 2 は E D B F 0、E D B F 1 および E D B F 2 バッファに、a d e x、a d o p および a d o p アドレス信号をそれぞれ供給する。同時に、データバス制御信号 S D 0、S D 1 および S D 2 はそれぞれ 2、0 および 1 に設定されて、E D B F 0 バッファを E C C 200 内のエンコーダ 220 に結合し、E D B F 1 バッファを C P U 300 に接続し、および E D B F 2 バッファを O D D 400

10

20

30

40

50

0に接続する。符号化サイクル2中に、アドレス制御信号SA0、SA1およびSA2は、EDBF0、EDBF1およびEDBF2バッファがそれぞれ、adop、adexおよびadopアドレス信号を受取ることを可能にする。同時に、データバス制御信号SD0、SD1およびSD2は1、2および0にそれぞれ設定されて、EDBF0、EDBF1およびEDBF2バッファは、それぞれODD400、ECC200内のエンコーダ220、およびCPU300に接続される。

【0075】

符号化/復号化選択信号が0に設定されて、回転カウンタ650がカウント1を生成する場合には、復号化サイクル0が実行される。このサイクル中、アドレス制御信号SA0、SA1およびSA2は、adopアドレス信号がEDBF0およびEDBF1バッファに提供され、かつ、adexアドレスがEDBF2に送られるようにする。同時に、データバス制御信号SD0、SD1およびSD2が0、1および2にそれぞれ設定されて、EDBF0バッファのCPU300への接続、EDBF1バッファのODD400への接続、およびEDBF2バッファのECC200内のデコーダ240への接続がそれぞれ提供される。次の復号化サイクル1中には、アドレス制御信号SA0、SA1およびSA2はEDBF0、EDBF1およびEDBF2バッファにadop、adexおよびadopアドレス信号をそれぞれ供給する。同時に、データバス制御信号SD0、SD1およびSD2は1、2および0に設定されて、それぞれ、EDBF0バッファをODD400に結合し、EDBF1バッファをECC200内のデコーダ240に、および、EDBF2バッファをCPU300に接続する。復号化サイクル2中には、アドレス制御信号SA0、SA1およびSA2はそれぞれ、EDBF0、EDBF1およびEDBF2バッファがadex、adopおよびadopアドレス信号を受けるようにする。同時に、データバス制御信号SD0、SD1およびSD2はそれぞれ2、0および1に設定されて、EDBF0、EDBF1およびEDBF2バッファがそれぞれ、ECC200内のデコーダ240、CPU300、およびODD400に接続される。

【0076】

以上のように、光ディスク記憶装置の誤り制御チップ上に提供される、誤り訂正動作中にCPU、光ディスクドライブ(ODD)、およびエンコーダ/デコーダ回路によってアクセスされる複数のワーキングバッファをアドレス指定するための、アドレス発生器について説明した。このアドレス発生器はローディングアドレス発生器を含み、ローディングアドレス発生器は、データが符号化および復号化のためにCPUおよびODDから/へ供給される際にCPUおよびODDのためにリニアバッファアクセスを提供する、adopアドレス信号を生成する。処理アドレス発生器は、データの符号化および復号化動作中に、エンコーダ/デコーダ回路のためにインタリーブおよびランダムバッファアクセスを提供する、adexアドレス信号を生成する。バッファ回転制御回路は、さまざまな符号化および復号化サイクルにおいてCPU、ODDおよびエンコーダ/デコーダ回路間でのバッファの回転を提供してパイプライン誤り制御構成を支持する、アドレスおよびデータバス制御信号を生成する。

【0077】

この開示においては、この発明の好ましい実施例のみが示されかつ説明されているが、この発明はここに説明したこの発明の概念の範囲内で、変更および修正が可能であると理解されたい。

【図面の簡単な説明】

【図1】光ディスク記憶装置における誤り訂正手順を示した図である。

【図2】光ディスク記憶装置におけるデータの符号化および復号化を示す図である。

【図3】種々の光ディスクフォーマットのためのセクタバッファメモリ構成を示す図である。

【図4】誤り訂正システムにおけるパイプライン処理を示した図である。

【図5】この発明に従った多数バッファECC構成を示すブロック図である。

【図6】符号化中のバッファの回転を示す図である。

10

20

30

40

50

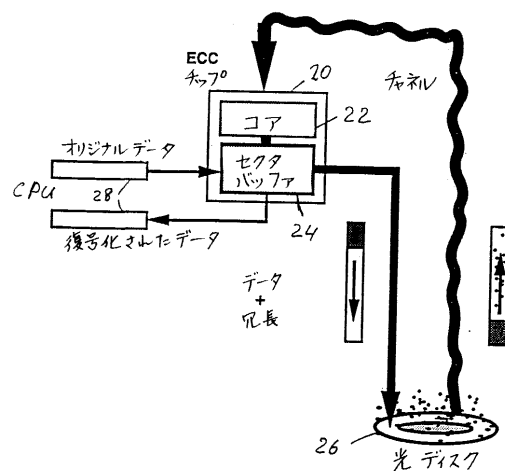
【図 7】復号化中のバッファの回転を示す図である。
 【図 8】符号化中の E C C の動作を示すブロック図である。
 【図 9】復号化中の E C C の動作を示すブロック図である。
 【図 10】アドレス発生器の動作を示すフロー図である。
 【図 11】アドレス発生器の動作を示すフロー図である。
 【図 12】処理アドレス発生器のブロック図である。
 【図 13】add_norm 信号発生器のブロック図である。
 【図 14】add_norm 信号発生器において実行される、マッピング機能を示す図である。

【図 15】E D B F 回転制御回路のブロック図である。
 【図 16】アドレスマルチプレクサの制御構成を示すブロック図である。
 【図 17】データバスマルチプレクサの制御構成を示すブロック図である。
 【図 18】アドレス制御信号の値を示す表を示した図である。
 【図 19】データバス制御信号の値を示す表を示した図である。

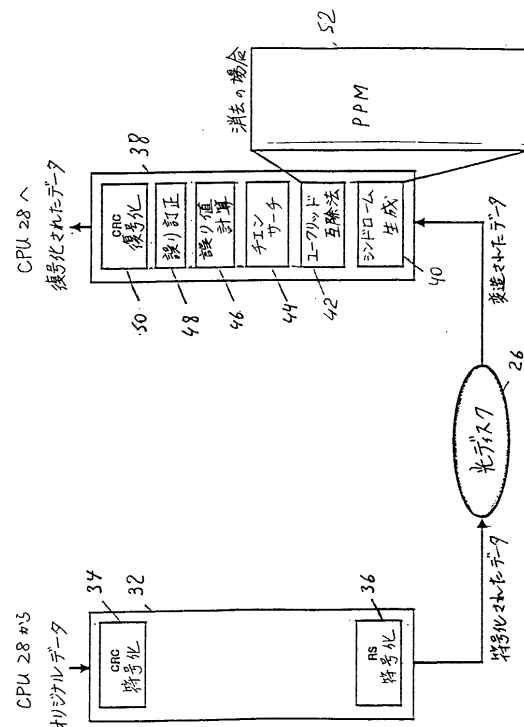
【符号の説明】

200 誤り制御チップ
 220 エンコーダ
 240 デコーダ
 260 アドレス発生器
 300 中央処理装置
 400 光ディスクドライブ
 E D B F ワーキングバッファ

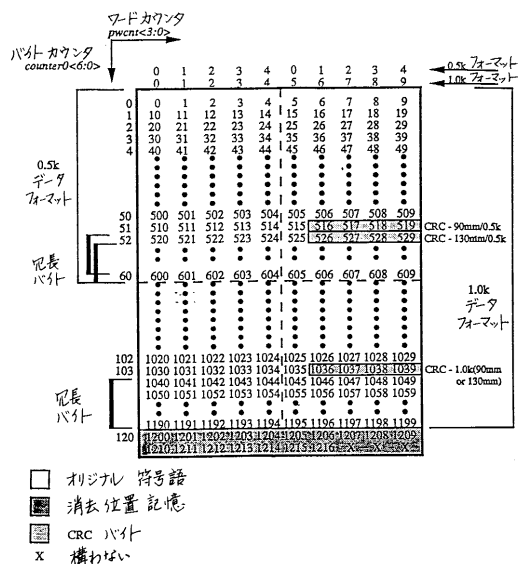
【図 1】



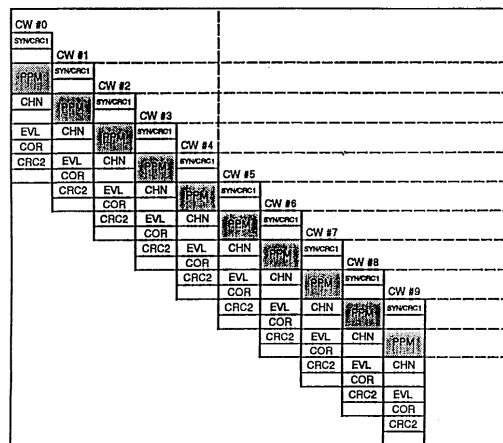
【図 2】



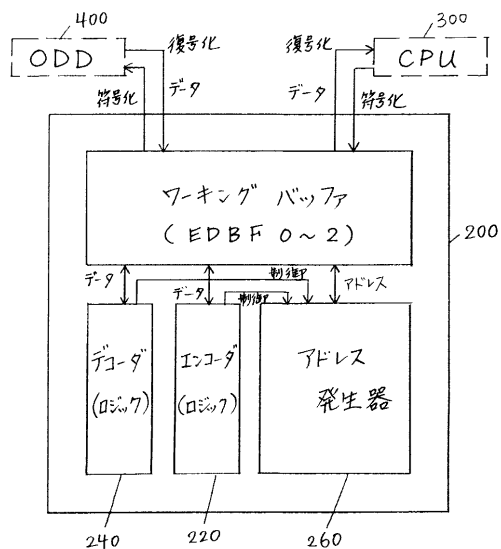
【 図 3 】



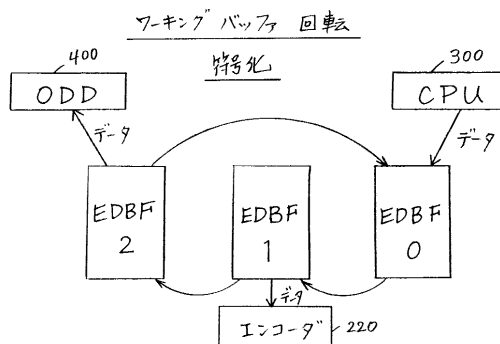
【 図 4 】



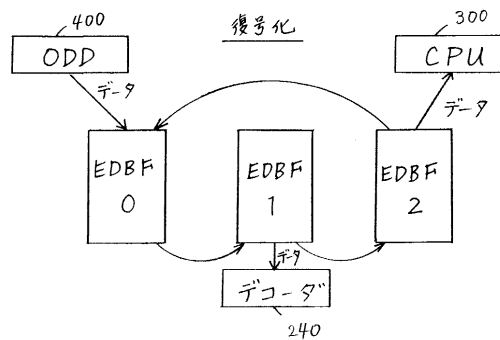
【 図 5 】



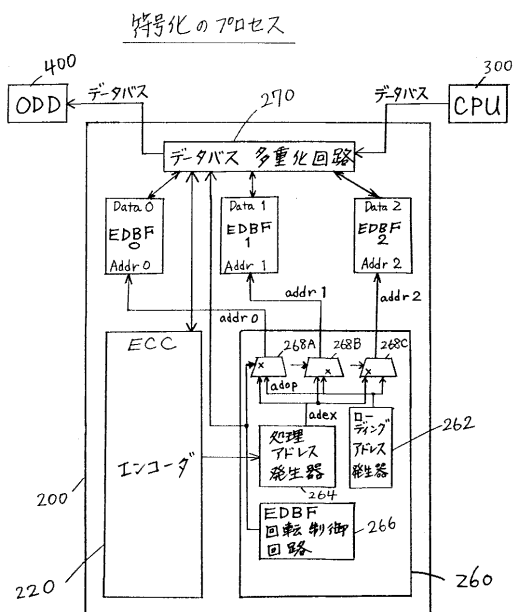
【 図 6 】



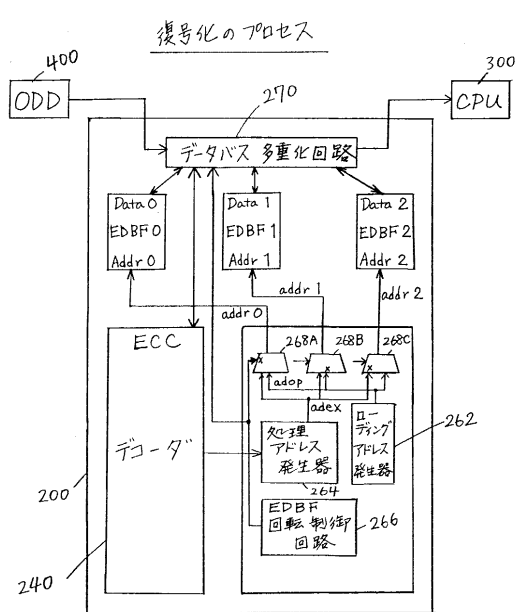
【 図 7 】



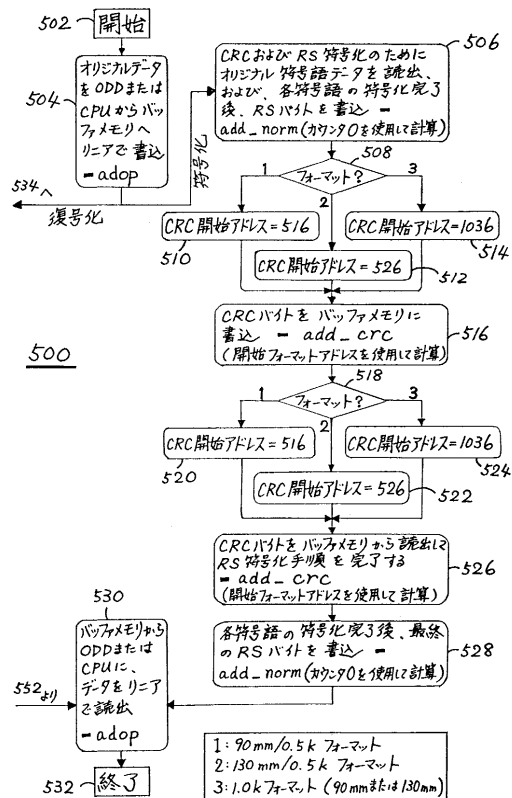
【 図 8 】



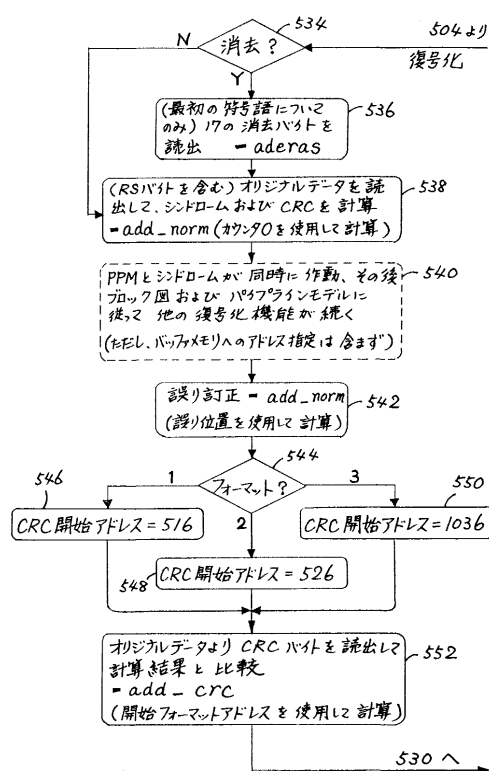
【 図 9 】



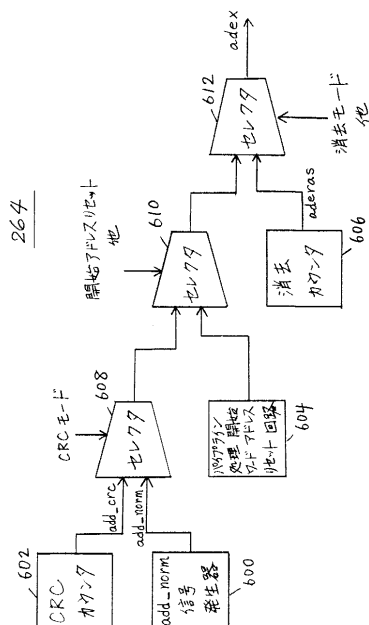
【 ㊦ 1 0 】



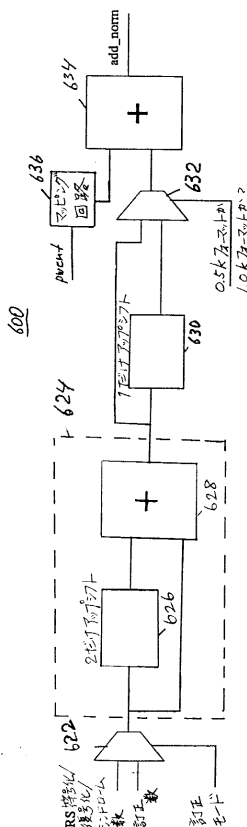
【 ㊦ 1 1 】



【 図 1 2 】



【 図 1 3 】

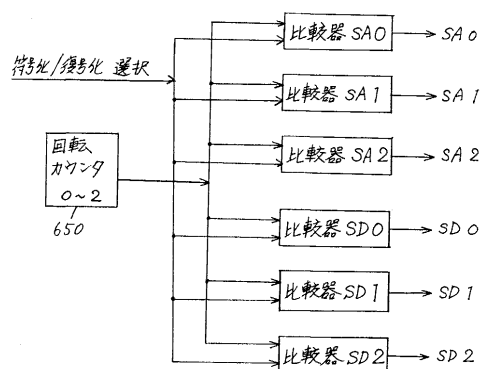


【 図 1 4 】

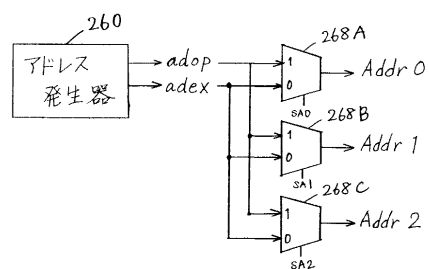
マッピング機能
(アドレス発生器への入力)

	0	1	2	3	4	5	6	7	8	9	10	11	12	13
pwcnt	0	1	2	3	4	5	6	7	8	9	6	7	8	9
wdcnt(1.0)	0	1	2	3	4	5	6	7	8	9				
wdcnt(0.5)	0	1	2	3	4	1	2	3	4					
wdcrr	0	0	0	0	1	2	3	4	5	6	7	8	9	

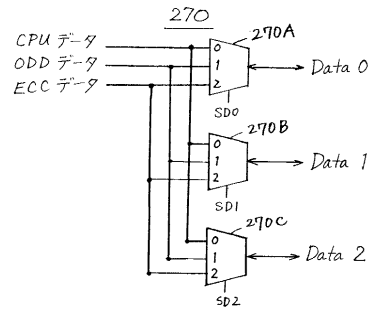
【 図 1 5 】



【 図 1 6 】



【図 17】



【図 18】

符号化／復号化	回転カウンタ	SA0	SA1	SA2
1(符号化)	0	CPU(adop)	ODD(adop)	ECC(adex)
	1	ECC(adex)	CPU(adop)	ODD(adop)
	2	ODD(adop)	ECC(adex)	CPU(adop)
0(復号化)	0	CPU(adop)	ODD(adop)	ECC(adex)
	1	ODD(adop)	ECC(adex)	CPU(adop)
	2	ECC(adex)	CPU(adop)	ODD(adop)

【図 19】

符号化／復号化	回転カウンタ	SD0	SD1	SD2
1(符号化)	0	CPU (0)	ODD (1)	ECC (2)
	1	ECC (2)	CPU (0)	ODD (1)
	2	ODD (1)	ECC (2)	CPU (0)
0(復号化)	0	CPU (0)	ODD (1)	ECC (2)
	1	ODD (1)	ECC (2)	CPU (0)
	2	ECC (2)	CPU (0)	ODD (1)

フロントページの続き

(74)代理人 100096781

弁理士 堀井 豊

(72)発明者 ロム - シェン・カオ

アメリカ合衆国、27713 ノース・カロライナ州、ダラム、ベイ・リッジ・コート、4

(72)発明者 ビッキー・エル・ギブス

アメリカ合衆国、27713 ノース・カロライナ州、ダラム、サイテーション・ドライブ、52

審査官 丹治 彰

(56)参考文献 特開平04 - 212755 (JP, A)

特開平06 - 181561 (JP, A)

特開平08 - 272634 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16

G06F 3/06

G11B 20/18

H03M 13/00