



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월23일  
(11) 등록번호 10-2812675  
(24) 등록일자 2025년05월21일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)
- (52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2300/0852 (2013.01)
- (21) 출원번호 10-2024-7018452
- (22) 출원일자(국제) 2023년05월19일  
심사청구일자 2024년05월31일
- (85) 번역문제출일자 2024년05월31일
- (65) 공개번호 10-2024-0096657
- (43) 공개일자 2024년06월26일
- (86) 국제출원번호 PCT/CN2023/095261
- (87) 국제공개번호 WO 2024/098712  
국제공개일자 2024년05월16일
- (30) 우선권주장  
202211398611.7 2022년11월09일 중국(CN)
- (56) 선행기술조사문헌  
KR1020220034971 A

- (73) 특허권자  
에이치케이씨 코포레이션 리미티드  
중국 선전 보우안 디스트릭트 스룽 커뮤니티 스엔 스트리트 후이커 인더스트리얼 파크 넘버 1 인더 스트리얼 세컨드 로드, 7 에프 오브 팩토리 빌딩 6, 5 에프-7 에프 오브 팩토리 빌딩 1, 제 1-3 에 프
- (72) 발명자  
판, 타오  
중국 518000 광둥, 보우안 디스트릭트 선전, 스엔 스트리트, 스룽 커뮤니티, 넘버.1 인더스트리얼 세컨드 로드, 후이커 인더스트리얼 파크, 1-3 에프, 5에프-7에프 오브 팩토리 빌딩 1, 7에프 오 브 팩토리 빌딩 6  
강, 바오흥  
중국 518000 광둥, 보우안 디스트릭트 선전, 스엔 스트리트, 스룽 커뮤니티, 넘버.1 인더스트리얼 세컨드 로드, 후이커 인더스트리얼 파크, 1-3 에프, 5에프-7에프 오브 팩토리 빌딩 1, 7에프 오 브 팩토리 빌딩 6
- (74) 대리인  
특허법인그루

전체 청구항 수 : 총 20 항

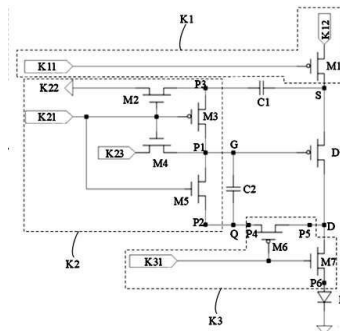
심사관 : 이문선

(54) 발명의 명칭 화소 구동 회로, 화소 구동 방법 및 디스플레이 장치

(57) 요약

본 발명은 화소 구동 회로, 방법 및 디스플레이 장치에 관한 것이다. 화소 구동 회로는 발광 소자, 구동 트랜지스터, 저장 커패시터, 보상 커패시터, 제1 내지 제3 제어 유닛을 포함하고, 구동 트랜지스터의 제어단, 제1 단, 제2 단은 G포인트, S포인트, D포인트와 대응되게 연결되고, 제1 제어 유닛의 제1 응답단, 수신단, 출력단은 제1 제어 라인, 전원 라인, S포인트와 대응되게 연결되고, 제2 제어 유닛의 제2 응답단, 접지단, 데이터 신호단, 제1 내지 제3 연결단은 스캔 라인, 접지 라인, 데이터 라인, G포인트, Q포인트, 저장 커패시터의 제1 단과 대응되게 연결되고, 저장 커패시터의 제2 단은 S포인트와 연결되고, 제3 제어 유닛의 제3 응답단, 제4 내지 제6 연결단은 제2 제어 라인, Q포인트, D포인트, 발광 소자의 양극과 대응되게 연결되고, 발광 소자의 음극은 접지 라인과 연결되고, 보상 커패시터의 양단은 G포인트 및 Q포인트와 대응되게 연결된다.

대표도



(52) CPC특허분류

G09G 2310/0251 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2310/0267 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/045 (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

발광 소자 및 구동 트랜지스터를 포함하는 화소 구동 회로에 있어서,

상기 구동 트랜지스터의 제어단은 G포인트와 연결되고, 상기 구동 트랜지스터의 제1 단은 S포인트와 연결되고, 상기 구동 트랜지스터의 제2 단은 D포인트와 연결되고,

상기 화소 구동 회로는 저장 커패시터, 보상 커패시터, 제1 제어 유닛, 제2 제어 유닛 및 제3 제어 유닛을 더 포함하고,

상기 제1 제어 유닛은 제1 제어 라인과 연결된 제1 응답단, 전원 라인과 연결된 수신단 및 상기 S포인트와 연결된 출력단을 구비하고, 상기 제1 응답단은 제1 제어 라인에서 제공되는 레벨 신호에 응답하여 수신단과 출력단 사이의 통단(On/Off) 상태를 제어하고,

상기 제2 제어 유닛은 스캔 라인과 연결된 제2 응답단, 접지 라인과 연결된 접지단, 데이터 라인과 연결된 데이터 신호단, 상기 G포인트와 연결된 제1 연결단, Q포인트와 연결된 제2 연결단 및 상기 저장 커패시터의 제1 단과 연결된 제3 연결단을 구비하고, 상기 제2 응답단은 스캔 라인에서 제공되는 레벨 신호에 응답하여 접지단, 데이터 신호단, 제1 연결단, 제2 연결단, 제3 연결단 사이의 통단 상태를 제어하고,

상기 저장 커패시터의 제2 단은 상기 S포인트와 연결되고,

상기 제3 제어 유닛은 제2 제어 라인과 연결된 제3 응답단, 상기 Q포인트와 연결된 제4 연결단, 상기 D포인트와 연결된 제5 연결단 및 상기 발광 소자의 양극과 연결된 제6 연결단을 구비하고, 상기 제3 응답단은 제2 제어 라인에서 제공되는 레벨 신호에 응답하여 제4 연결단, 제5 연결단, 제6 연결단 사이의 통단 상태를 제어하고,

상기 발광 소자의 음극은 접지 라인과 연결되고,

상기 보상 커패시터의 제1 단은 상기 G포인트와 연결되고, 상기 보상 커패시터의 제2 단은 상기 Q포인트와 연결되는 것을 특징으로 하는 화소 구동 회로.

**청구항 2**

제1항에 있어서,

상기 제1 제어 유닛은 제1 트랜지스터를 더 구비하고, 상기 제1 트랜지스터의 제어단은 상기 제1 응답단과 연결되고, 상기 제1 트랜지스터의 제1 단은 상기 수신단과 연결되고, 상기 제1 트랜지스터의 제2 단은 상기 출력단과 연결되는 것을 특징으로 하는 화소 구동 회로.

**청구항 3**

제2항에 있어서,

상기 제1 트랜지스터와 상기 구동 트랜지스터는 모두 P형 트랜지스터인 것을 특징으로 하는 화소 구동 회로.

**청구항 4**

제1항에 있어서,

상기 제2 제어 유닛은 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터를 더 구비하고,

상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터의 제어단은 모두 상기 제2 응답단과 연결되고,

상기 제2 트랜지스터의 제1 단은 상기 접지단과 연결되고, 제2 단은 상기 제3 연결단과 연결되고,

상기 제3 트랜지스터의 제1 단은 상기 제1 연결단과 연결되고, 제2 단은 상기 제3 연결단과 연결되고,

상기 제4 트랜지스터의 제1 단은 상기 데이터 신호단과 연결되고, 제2 단은 상기 제1 연결단과 연결되고,  
 상기 제5 트랜지스터의 제1 단은 상기 제1 연결단과 연결되고, 제2 단은 상기 제2 연결단과 연결되고,  
 상기 제2 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 모두 제1 유형 트랜지스터이고, 상기 제3 트랜지스터는 제2 유형 트랜지스터이고, 상기 제1 유형 트랜지스터와 상기 제2 유형 트랜지스터 중 하나는 P형 트랜지스터이고, 다른 하나는 N형 트랜지스터인 것을 특징으로 하는 화소 구동 회로.

**청구항 5**

제4항에 있어서,  
 상기 제2 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 모두 N형 트랜지스터이고, 상기 제3 트랜지스터와 상기 구동 트랜지스터는 모두 P형 트랜지스터인 것을 특징으로 하는 화소 구동 회로.

**청구항 6**

제1항에 있어서,  
 상기 제3 제어 유닛은 제6 트랜지스터 및 제7 트랜지스터를 더 포함하고,  
 상기 제6 트랜지스터 및 상기 제7 트랜지스터의 제어단은 모두 상기 제3 응답단과 연결되고,  
 상기 제6 트랜지스터의 제1 단은 상기 제4 연결단과 연결되고, 제2 단은 상기 제5 연결단과 연결되고,  
 상기 제7 트랜지스터의 제1 단은 상기 제5 연결단과 연결되고, 제2 단은 상기 제6 연결단과 연결되고,  
 상기 제6 트랜지스터와 상기 제7 트랜지스터 중 하나는 P형 트랜지스터이고, 다른 하나는 N형 트랜지스터인 것을 특징으로 하는 화소 구동 회로.

**청구항 7**

제6항에 있어서,  
 상기 제6 트랜지스터와 상기 구동 트랜지스터는 모두 P형 트랜지스터이고, 상기 제7 트랜지스터는 N형 트랜지스터인 것을 특징으로 하는 화소 구동 회로.

**청구항 8**

제1항에 기재된 화소 구동 회로를 구동하기 위한 화소 구동 방법에 있어서,  
 상기 화소 구동 방법은 리셋 단계, 임계값 전압 보상 단계, 이동률 보상 단계 및 디스플레이 발광 단계를 포함하고,  
 상기 리셋 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온(On) 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제1 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 온 되고, 제1 연결단과 제3 연결단 사이가 오프(Off) 되고, 데이터 신호단과 제1 연결단 사이가 온 되고, 제1 연결단과 제2 연결단 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단에 제2 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제3 레벨 신호를 제공하고,  
 상기 임계값 전압 보상 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 오프 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제4 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 온 되고, 제1 연결단과 제3 연결단 사이가 오프 되고, 데이터 신호단과 제1 연결단 사이가 온 되고, 제1 연결단과 제2 연결단 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단에 제5 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제6 레벨 신호를 제공하고,  
 상기 이동률 보상 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제7 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 오프 되고, 제1 연결단과 제3 연결단 사이가 온 되고, 데이터 신호단과 제1 연결단 사이가 오프 되고, 제1 연결단과 제2 연결단 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단에 제8 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단

과 제5 연결단 사이가 온 되고, 제5 연결단과 제6 연결단 사이가 오프 되도록 제2 제어 라인을 이용하여 제3 응답단에 제9 레벨 신호를 제공하고,

상기 디스플레이 발광 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제10 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 오프 되고, 제1 연결단과 제3 연결단 사이가 온 되고, 데이터 신호단과 제1 연결단 사이가 오프 되고, 제1 연결단과 제2 연결단 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단에 제11 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제12 레벨 신호를 제공하는 것을 특징으로 하는 화소 구동 방법.

**청구항 9**

제8항에 있어서,

디스플레이 파라미터 정보에 기초하여 상기 화소 구동 회로의 이동률 보상 단계의 시간을 조정하는 단계를 더 포함하는 것을 특징으로 하는 화소 구동 방법.

**청구항 10**

제9항에 있어서,

상기 전원 라인은 고레벨 직류 신호를 제공하고, 상기 제1 제어 라인에서 제공되는 제1 레벨 신호, 제7 레벨 신호 및 제10 레벨 신호는 모두 저레벨 신호이고, 상기 제1 제어 라인에서 제공되는 제4 레벨 신호는 고레벨 신호이고, 상기 스캔 라인에서 제공되는 제2 레벨 신호 및 제5 레벨 신호는 모두 고레벨 신호이고, 상기 스캔 라인에서 제공되는 제8 레벨 신호 및 제11 레벨 신호는 모두 저레벨 신호이고, 상기 제2 제어 라인에서 제공되는 제3 레벨 신호, 제6 레벨 신호 및 제12 레벨 신호는 모두 고레벨 신호이고, 상기 제2 제어 라인에서 제공되는 제9 레벨 신호는 저레벨 신호이고, 상기 데이터 라인이 리셋 단계 및 임계값 전압 보상 단계에서 제공하는 데이터 신호는 고레벨 신호이고, 상기 데이터 라인이 이동률 보상 단계 및 디스플레이 발광 단계에서 제공하는 데이터 신호는 저레벨 신호인 것을 특징으로 하는 화소 구동 방법.

**청구항 11**

제8항에 있어서,

상기 전원 라인은 고레벨 직류 신호를 제공하고, 상기 제1 제어 라인에서 제공되는 제1 레벨 신호, 제7 레벨 신호 및 제10 레벨 신호는 모두 저레벨 신호이고, 상기 제1 제어 라인에서 제공되는 제4 레벨 신호는 고레벨 신호이고, 상기 스캔 라인에서 제공되는 제2 레벨 신호 및 제5 레벨 신호는 모두 고레벨 신호이고, 상기 스캔 라인에서 제공되는 제8 레벨 신호 및 제11 레벨 신호는 모두 저레벨 신호이고, 상기 제2 제어 라인에서 제공되는 제3 레벨 신호, 제6 레벨 신호 및 제12 레벨 신호는 모두 고레벨 신호이고, 상기 제2 제어 라인에서 제공되는 제9 레벨 신호는 저레벨 신호이고, 상기 데이터 라인이 리셋 단계 및 임계값 전압 보상 단계에서 제공하는 데이터 신호는 고레벨 신호이고, 상기 데이터 라인이 이동률 보상 단계 및 디스플레이 발광 단계에서 제공하는 데이터 신호는 저레벨 신호인 것을 특징으로 하는 화소 구동 방법.

**청구항 12**

디스플레이 패널 및 컨트롤러를 포함하는 디스플레이 장치에 있어서,

상기 디스플레이 패널은 화소 구동 회로를 구비하고, 상기 화소 구동 회로는 발광 소자 및 구동 트랜지스터를 포함하고, 상기 구동 트랜지스터의 제어단은 G포인트와 연결되고, 상기 구동 트랜지스터의 제1 단은 S포인트와 연결되고, 상기 구동 트랜지스터의 제2 단은 D포인트와 연결되고, 상기 화소 구동 회로는 저장 커패시터, 보상 커패시터, 제1 제어 유닛, 제2 제어 유닛 및 제3 제어 유닛을 더 포함하고,

상기 제1 제어 유닛은 제1 제어 라인과 연결된 제1 응답단, 전원 라인과 연결된 수신단 및 상기 S포인트와 연결된 출력단을 구비하고, 상기 제1 응답단은 제1 제어 라인에서 제공되는 레벨 신호에 응답하여 수신단과 출력단 사이의 통단(On/Off) 상태를 제어하고,

상기 제2 제어 유닛은 스캔 라인과 연결된 제2 응답단, 접지 라인과 연결된 접지단, 데이터 라인과 연결된 데이터 신호단, 상기 G포인트와 연결된 제1 연결단, Q포인트와 연결된 제2 연결단 및 상기 저장 커패시터의 제1 단

과 연결된 제3 연결단을 구비하고, 상기 제2 응답단은 스캔 라인에서 제공되는 레벨 신호에 응답하여 접지단, 데이터 신호단, 제1 연결단, 제2 연결단, 제3 연결단 사이의 통단 상태를 제어하고,

상기 저장 커패시터의 제2 단은 상기 S포인트와 연결되고,

상기 제3 제어 유닛은 제2 제어 라인과 연결된 제3 응답단, 상기 Q포인트와 연결된 제4 연결단, 상기 D포인트와 연결된 제5 연결단 및 상기 발광 소자의 양극과 연결된 제6 연결단을 구비하고, 상기 제3 응답단은 제2 제어 라인에서 제공되는 레벨 신호에 응답하여 제4 연결단, 제5 연결단, 제6 연결단 사이의 통단 상태를 제어하고,

상기 발광 소자의 음극은 접지 라인과 연결되고,

상기 보상 커패시터의 제1 단은 상기 G포인트와 연결되고, 상기 보상 커패시터의 제2 단은 상기 Q포인트와 연결되는 것을 특징으로 하는 디스플레이 장치.

### 청구항 13

제12항에 있어서,

상기 제1 제어 유닛은 제1 트랜지스터를 더 구비하고, 상기 제1 트랜지스터의 제어단은 상기 제1 응답단과 연결되고, 상기 제1 트랜지스터의 제1 단은 상기 수신단과 연결되고, 상기 제1 트랜지스터의 제2 단은 상기 출력단과 연결되는 것을 특징으로 하는 디스플레이 장치.

### 청구항 14

제13항에 있어서,

상기 제1 트랜지스터와 상기 구동 트랜지스터는 모두 P형 트랜지스터인 것을 특징으로 하는 디스플레이 장치.

### 청구항 15

제12항에 있어서,

상기 제2 제어 유닛은 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터를 더 구비하고,

상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터의 제어단은 모두 상기 제2 응답단과 연결되고,

상기 제2 트랜지스터의 제1 단은 상기 접지단과 연결되고, 제2 단은 상기 제3 연결단과 연결되고,

상기 제3 트랜지스터의 제1 단은 상기 제1 연결단과 연결되고, 제2 단은 상기 제3 연결단과 연결되고,

상기 제4 트랜지스터의 제1 단은 상기 데이터 신호단과 연결되고, 제2 단은 상기 제1 연결단과 연결되고,

상기 제5 트랜지스터의 제1 단은 상기 제1 연결단과 연결되고, 제2 단은 상기 제2 연결단과 연결되고,

상기 제2 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 모두 제1 유형 트랜지스터이고, 상기 제3 트랜지스터는 제2 유형 트랜지스터이고, 상기 제1 유형 트랜지스터와 상기 제2 유형 트랜지스터 중 하나는 P형 트랜지스터이고, 다른 하나는 N형 트랜지스터인 것을 특징으로 하는 디스플레이 장치.

### 청구항 16

제15항에 있어서,

상기 제2 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 모두 N형 트랜지스터이고, 상기 제3 트랜지스터와 상기 구동 트랜지스터는 모두 P형 트랜지스터인 것을 특징으로 하는 디스플레이 장치.

### 청구항 17

제12항에 있어서,

상기 제3 제어 유닛은 제6 트랜지스터 및 제7 트랜지스터를 더 포함하고,

상기 제6 트랜지스터 및 상기 제7 트랜지스터의 제어단은 모두 상기 제3 응답단과 연결되고,

상기 제6 트랜지스터의 제1 단은 상기 제4 연결단과 연결되고, 제2 단은 상기 제5 연결단과 연결되고,

상기 제7 트랜지스터의 제1 단은 상기 제5 연결단과 연결되고, 제2 단은 상기 제6 연결단과 연결되고,

상기 제6 트랜지스터와 상기 제7 트랜지스터 중 하나는 P형 트랜지스터이고, 다른 하나는 N형 트랜지스터인 것을 특징으로 하는 디스플레이 장치.

**청구항 18**

제17항에 있어서,

상기 제6 트랜지스터와 상기 구동 트랜지스터는 모두 P형 트랜지스터이고, 상기 제7 트랜지스터는 N형 트랜지스터인 것을 특징으로 하는 디스플레이 장치.

**청구항 19**

제12항에 있어서,

상기 컨트롤러는 화소 구동 방법을 실현하는 데 사용되고, 상기 화소 구동 방법은 상기 화소 구동 회로를 구동하는 데 사용되고, 상기 화소 구동 방법은 리셋 단계, 임계값 전압 보상 단계, 이동률 보상 단계 및 디스플레이 발광 단계를 포함하고,

상기 리셋 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온(On) 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제1 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 온 되고, 제1 연결단과 제3 연결단 사이가 오프(Off) 되고, 데이터 신호단과 제1 연결단 사이가 온 되고, 제1 연결단과 제2 연결단 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단에 제2 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제3 레벨 신호를 제공하고,

상기 임계값 전압 보상 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 오프 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제4 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 온 되고, 제1 연결단과 제3 연결단 사이가 오프 되고, 데이터 신호단과 제1 연결단 사이가 온 되고, 제1 연결단과 제2 연결단 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단에 제5 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제6 레벨 신호를 제공하고,

상기 이동률 보상 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제7 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 오프 되고, 제1 연결단과 제3 연결단 사이가 온 되고, 데이터 신호단과 제1 연결단 사이가 오프 되고, 제1 연결단과 제2 연결단 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단에 제8 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 온 되고, 제5 연결단과 제6 연결단 사이가 오프 되도록 제2 제어 라인을 이용하여 제3 응답단에 제9 레벨 신호를 제공하고,

상기 디스플레이 발광 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제10 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 오프 되고, 제1 연결단과 제3 연결단 사이가 온 되고, 데이터 신호단과 제1 연결단 사이가 오프 되고, 제1 연결단과 제2 연결단 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단에 제11 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제12 레벨 신호를 제공하는 것을 특징으로 하는 디스플레이 장치.

**청구항 20**

제19항에 있어서,

상기 화소 구동 방법은 디스플레이 파라미터 정보에 기초하여 상기 화소 구동 회로의 이동률 보상 단계의 시간을 조정하는 단계를 더 포함하는 것을 특징으로 하는 디스플레이 장치.

**발명의 설명**

**기술 분야**

- [0001] 본 출원은 2022년 11월 9일에 중국 특허청에 제출된 출원 번호가 CN202211398611.7이고, 출원 명칭이 "화소 구동 회로, 화소 구동 방법 및 디스플레이 장치" 인 중국 특허 출원의 우선권을 주장하고, 그 전체 내용은 원용에 의해 본 명세서에 결합된다.
- [0002] 본 발명은 디스플레이 기술 분야에 관한 것으로, 구체적으로 화소 구동 회로, 화소 구동 방법 및 디스플레이 장치에 관한 것이다.

**배경 기술**

- [0003] 현재, OLED(유기 발광 다이오드)디스플레이는 LTPS(저온 폴리실리콘) 또는 Oxide(산화물) TFT(박막 트랜지스터) 구동 기술을 많이 사용한다. 일반적으로, OLED의 밝기는 주로 구동 전류의 크기에 의해 결정되고, 전류가 클수록 더 밝다. 또한, 구동 TFT의 임계값 전압 및 캐리어 이동률의 변화는 모두 OLED 구동 전류에 영향을 미치는 중요한 요소이다. LTPS와 Oxide TFT 디바이스는 모두 시간이 지남에 따라, 디바이스의 노화와 함께, 임계값 전압과 캐리어 이동률이 모두 변화되어, OLED의 디스플레이 효과에 영향을 미치며, 심지어 명암비가 낮아지고, 잔상, 깜박임 등 디스플레이 불량을 초래한다.

**발명의 내용**

**해결하려는 과제**

- [0004] 본 발명은 디스플레이 효과를 향상시킬 수 있는 화소 구동 회로, 화소 구동 방법 및 디스플레이 장치를 제공한다.

**과제의 해결 수단**

- [0005] 본 발명의 제1 형태는 화소 구동 회로를 제공한다. 상기 화소 구동 회로는 발광 소자 및 구동 트랜지스터를 포함하고, 상기 구동 트랜지스터의 제어단은 G포인트와 연결되고, 상기 구동 트랜지스터의 제1 단은 S포인트와 연결되고, 상기 구동 트랜지스터의 제2 단은 D포인트와 연결되고, 상기 화소 구동 회로는 저장 커패시터, 보상 커패시터, 제1 제어 유닛, 제2 제어 유닛 및 제3 제어 유닛을 더 포함하고,
- [0006] 상기 제1 제어 유닛은 제1 제어 라인에 연결된 제1 응답단, 전원 라인에 연결된 수신단 및 상기 S포인트와 연결된 출력단을 구비하고, 상기 제1 응답단은 제1 제어 라인에서 제공되는 레벨 신호에 응답하여 수신단과 출력단 사이의 통단(On/Off) 상태를 제어하고,
- [0007] 상기 제2 제어 유닛은 스캔 라인에 연결된 제2 응답단, 접지 라인에 연결된 접지단, 데이터 라인에 연결된 데이터 신호단, 상기 G포인트와 연결된 제1 연결단, Q포인트와 연결된 제2 연결단 및 상기 저장 커패시터의 제1 단과 연결된 제3 연결단을 구비하고, 상기 제2 응답단은 스캔 라인에서 제공되는 레벨 신호에 응답하여 접지단, 데이터 신호단, 제1 연결단, 제2 연결단, 제3 연결단 사이의 통단 상태를 제어하고,
- [0008] 상기 저장 커패시터의 제2 단은 상기 S포인트와 연결되고,
- [0009] 상기 제3 제어 유닛은 상기 제2 제어 라인에 연결된 제3 응답단, 상기 Q포인트와 연결된 제4 연결단, 상기 D포인트와 연결된 제5 연결단 및 상기 발광 소자의 양극과 연결된 제6 연결단을 구비하고, 상기 제3 응답단은 제2 제어 라인에서 제공되는 레벨 신호에 응답하여 제4 연결단, 제5 연결단, 제6 연결단 사이의 통단 상태를 제어하고,
- [0010] 상기 발광 소자의 음극은 접지 라인에 연결되고,
- [0011] 상기 보상 커패시터의 제1 단은 상기 G포인트와 연결되고, 상기 보상 커패시터의 제2 단은 상기 Q포인트와 연결된다.
- [0012] 본 발명의 예시적인 실시예에서, 상기 제1 제어 유닛은 제1 트랜지스터를 더 구비하고, 상기 제1 트랜지스터의 제어단은 상기 제1 응답단과 연결되고, 상기 제1 트랜지스터의 제1 단은 상기 수신단과 연결되고, 상기 제1 트랜지스터의 제2 단은 상기 출력단과 연결된다.
- [0013] 본 발명의 제2 형태는 화소 구동 방법을 제공한다. 상기 화소 구동 방법은 상술한 화소 구동 회로를 구동하는 데 사용된다. 상기 화소 구동 방법은 리셋 단계, 임계값 전압 보상 단계, 이동률 보상 단계 및 디스플레이 발광

단계를 포함하고,

- [0014] 상기 리셋 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온(On) 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제1 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 온 되고, 제1 연결단과 제3 연결단 사이가 오프(Off) 되고, 데이터 신호단과 제1 연결단 사이가 온 되고, 제1 연결단과 제2 연결단 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단에 제2 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제3 레벨 신호를 제공하고,
- [0015] 상기 임계값 전압 보상 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 오프 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제4 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 온 되고, 제1 연결단과 제3 연결단 사이가 오프 되고, 데이터 신호단과 제1 연결단 사이가 온 되고, 제1 연결단과 제2 연결단 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단에 제5 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제6 레벨 신호를 제공하고,
- [0016] 상기 이동률 보상 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제7 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 오프 되고, 제1 연결단과 제3 연결단 사이가 온 되고, 데이터 신호단과 제1 연결단 사이가 오프 되고, 제1 연결단과 제2 연결단 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단에 제8 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 온 되고, 제5 연결단과 제6 연결단 사이가 오프 되도록 제2 제어 라인을 이용하여 제3 응답단에 제9 레벨 신호를 제공하고,
- [0017] 상기 디스플레이 발광 단계에서, 제1 제어 유닛의 수신단과 출력단 사이가 온 되도록 상기 제1 제어 라인을 이용하여 제1 응답단에 제10 레벨 신호를 제공하고, 제2 제어 유닛의 접지단과 제3 연결단 사이가 오프 되고, 제1 연결단과 제3 연결단 사이가 온 되고, 데이터 신호단과 제1 연결단 사이가 오프 되고, 제1 연결단과 제2 연결단 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단에 제11 레벨 신호를 제공하고, 제3 제어 유닛의 제4 연결단과 제5 연결단 사이가 오프 되고, 제5 연결단과 제6 연결단 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단에 제12 레벨 신호를 제공한다.
- [0018] 본 발명의 제3 형태는 디스플레이 장치를 제공한다. 상기 디스플레이 장치는 디스플레이 패널 및 컨트롤러를 포함한다. 상기 디스플레이 패널은 상술한 임의의 한 항의 화소 구동 회로를 구비하고, 상기 컨트롤러는 상술한 화소 구동 방법을 실현하는 데 사용된다.

**발명의 효과**

- [0019] 본 발명의 방안의 화소 구동 회로, 화소 구동 방법 및 디스플레이 장치는, 화소 보상을 실현하는 데 사용될 수 있다. 상기 화소 구동 회로는 발광 소자, 구동 트랜지스터, 저장 커패시터, 보상 커패시터, 제1 내지 제3 제어 유닛을 포함할 수 있다. 상기 제1 내지 제3 제어 유닛은 제1 제어 라인, 제2 제어 라인, 스캔 라인, 데이터 라인, 전원 라인 및 접지 라인에서 제공되는 신호와 협동하여, 화소 구동 회로의 리셋 단계, 임계값 전압 보상 단계, 이동률 보상 단계 및 디스플레이 발광 단계를 실현할 수 있다. 또한, 이동률 보상 단계에서 임계값 전압(Vth), 전원 전압(즉, 전원 라인에서 제공되는 전압) 등 불량 인자를 제거할 수 있다. 하지만, 이동률 보상 단계에서, 구동 전류는 우선적으로 보상 커패시터를 충전하므로, 보상 커패시터에서의 보상 전압을 도출할 수 있다. 이와 같이 디스플레이 발광 단계에서, 계산에 의하면, 구동 트랜지스터를 흐르는 전류는, 구동 트랜지스터의 임계값 전압 및 전원 전압과 모두 무관하고, 데이터 라인에서 제공되는 데이터 전압 및 이동률 보상의 시간과 같은 제어 가능한 파라미터와 관련된다. 본 방안은 이동률 보상의 시간을 조정하여 보상 정도를 조절할 수 있다. 즉, 본 방안의 화소 구동 회로는 구동 트랜지스터의 임계값 전압(Vth) 드리프트 및 캐리어 이동률에 대한 보상 작용을 구비하고, 임계값 전압 및 누설 전류가 구동 전류에 대한 영향을 감소시키고, 디스플레이 효과를 개선하고, 디스플레이 균일성을 강화한다.
- [0020] 본 발명의 기타 다른 특징 및 이점은 이하의 상세한 설명에 의해 명확하게 되거나, 본 발명의 실시예에 의해 부분적으로 얻을 수 있다.
- [0021] 상기 일반적인 서술 및 하기 세부적인 서술은 단지 예시적이고 해석적이며, 본 발명을 한정하려는 것이 아님이 이해되어야 한다.

**도면의 간단한 설명**

[0022] 하기의 도면은 명세서에 병합되어 본 명세서의 일부를 구성하고 본 발명에 부합하는 실시예를 표시하며 명세서와 함께 본 발명의 원리를 해석한다. 또한, 이하의 기재에 있어서 도면은 단지 본 발명의 일부의 실시예에 지나지 않고, 당업자의 경우, 창조적인 노동을 부여하지 않는 전제하에, 이들 도면에 의해 다른 도면을 얻을 수 있다.

도 1은 본 발명의 실시예 1에 설명된 화소 구동 회로를 나타내는 모식도이다.

도 2는 본 발명의 실시예 2에 설명된 화소 구동 방법을 나타내는 타이밍 모식도이다.

도 3은 본 발명의 실시예 3에 설명된 디스플레이 장치를 나타내는 모식도이다.

**발명을 실시하기 위한 구체적인 내용**

[0023] 다음, 첨부 도면을 참조하여 예시적인 실시 형태를 보다 전면적으로 설명한다. 그러나, 예시적인 실시예는 복수 종류의 형태로 구현될 수 있으며, 여기에 기술된 실시예에 한정되지 않는다. 반대로, 이들 실시예를 제공하여 본 발명을 보다 전면에서 완전하게 하고, 예시적인 실시예의 사상을 전면에서 당업자에게 전달한다.

[0024] 본 발명에서, "제1", "제2"의 용어는 설명의 목적으로만 사용되며, 상대적 중요성을 나타내거나 암시하거나, 또는 명시된 기술적 특징의 개수를 암시하는 것으로 이해해서는 안된다. 이로써, "제1", "제2"으로 한정된 특징은, 그 특징을 하나 혹은 복수개를 포함하고 있음을 명확하게 또는 암시적으로 나타낼 수 있다. 본 발명의 설명에 있어서, "복수"의 의미는 특별히 구체적인 한정 없이, 두 개 이상이다.

[0025] 또한, 설명된 특징, 구조 또는 특성은 임의의 적절한 방식으로 하나 혹은 복수개의 실시예에 결합될 수 있다. 또한, 이하의 설명에서는, 본 발명에 따른 실시예를 완전히 이해할 수 있도록 많은 구체적인 세부 사항을 제공한다. 그러나, 당업자라면 특정 세부사항 중 하나 이상을 생략하거나 다른 방법, 유닛, 장치, 단계 등을 사용하여 본 발명의 기술제안을 수행할 수 있는 것으로 이해되어야 한다. 기타 경우, 본 발명의 각 방면을 불명확하게 하는 것을 피하기 위해 공지된 방법, 장치, 구현 또는 조작을 상세히 나타내거나 설명하지 않는다.

**[0026] 실시예 1**

[0027] 본 발명의 실시예는 화소 구동 회로를 제공한다. 도 1에 도시된 바와 같이, 본 발명의 화소 구동 회로는 발광 소자(L), 구동 트랜지스터(DT), 저장 커패시터(C1), 보상 커패시터(C2), 제1 제어 유닛(K1), 제2 제어 유닛(K2) 및 제3 제어 유닛(K3)을 포함할 수 있다. 이하, 각 소자 사이의 연결 관계에 대해 설명한다.

[0028] 발광 소자(L)는 전류 구동형 발광 소자일 수 있고, 구동 트랜지스터(DT)를 흐르는 전류에 의해 발광이 제어된다. 예를 들어, 발광 소자(L)는 유기 발광 다이오드(OLED)일 수 있다. 즉, 상기 화소 구동 회로는 OLED 디스플레이 제품에 적용될 수 있고, 구체적으로 AMOLED(액티브 매트릭스 유기 발광 다이오드) 제품에 적용될 수 있다. AMOLED는 자체 발광, 저소비 전력, 광시야각, 고색재현률, 고명암비 및 빠른 응답 등 장점을 구비한다.

[0029] 구동 트랜지스터(DT)의 제어단은 G포인트와 연결되고, 구동 트랜지스터(DT)의 제1 단은 S포인트와 연결되고, 구동 트랜지스터(DT)의 제2 단은 D포인트와 연결된다. 여기서, 구동 트랜지스터(DT)의 제어단은, 구동 트랜지스터(DT)의 제1 단과 제2 단이 온 상태 또는 오프 상태가 되도록 제어하기 위해, G포인트의 전압에 응답하는 데 사용될 수 있다. 즉, S포인트와 D포인트 사이의 온 또는 오프를 제어하여, S포인트와 D포인트 사이가 온될 시, 전류가 흐를 수 있도록 한다.

[0030] 본 실시예의 구동 트랜지스터(DT)의 제어단은 구동 트랜지스터(DT)의 게이트로 이해될 수 있고, 제1 단과 제2 단 중 하나는 구동 트랜지스터(DT)의 소스로 이해될 수 있고, 다른 하나는 구동 트랜지스터(DT)의 드레인으로 이해될 수 있으며, 구동 트랜지스터(DT)의 구체적인 유형 및 회로에서의 접속 상황에 따라 결정된다. 여기서 지나치게 한정하지 않는다.

[0031] 예를 들어, 상기 구동 트랜지스터(DT)는 P형 트랜지스터일 수 있다. 즉, 구동 트랜지스터(DT)의 제어단은 저레벨 신호에 응답하여, 제1 단과 제2 단이 온 상태가 되도록 할 수 있으며, 이에 한정되지 않는다. 상기 구동 트랜지스터(DT)는 N형 트랜지스터일 수도 있다. 즉, 구동 트랜지스터(DT)의 제어단은 고레벨 신호에 응답하여, 제1 단과 제2 단이 온 상태가 되도록 할 수 있다.

[0032] 제1 제어 유닛(K1)은 제1 응답단(K11), 수신단(K12) 및 출력단을 구비하고, 제1 응답단(K11)은 제1 제어 라인과 연결되고, 수신단(K12)은 전원 라인과 연결되고, 출력단은 S포인트와 연결된다. 도 1에 도시된 바와 같이, 출력

단은 S포인트와 중첩되는 것을 이해해야 한다. 여기서, 제1 응답단(K11)은 제1 제어 라인에서 제공되는 레벨 신호에 응답하여, 수신단(K12)과 출력단(S포인트) 사이의 통단 상태를 제어하는 데 사용될 수 있다. 수신단(K12)과 출력단(S포인트) 사이가 온될 때, 전원 라인이 수신단(K12)에 제공하는 전원 전압을 S포인트에 기입할 수 있다.

[0033] 제2 제어 유닛(K2)은 제2 응답단(K21), 접지단(K22), 데이터 신호단(K23), 제1 연결단(P1), 제2 연결단(P2) 및 제3 연결단(P3)을 구비한다. 제2 응답단(K21)은 스캔 라인과 연결되고, 접지단(K22)은 접지 라인과 연결되고, 데이터 신호단(K23)은 데이터 라인과 연결되고, 제1 연결단(P1)은 G포인트와 연결되고, 제2 연결단(P2)은 Q포인트와 연결되고, 제3 연결단(P3)은 저장 커패시터(C1)의 제1 단과 연결되고, 저장 커패시터(C1)의 제2 단은 S포인트와 연결된다. 여기서, 제2 응답단(K21)은 스캔 라인에서 제공되는 레벨 신호에 응답하여 접지단(K22), 데이터 신호단(K23), 제1 연결단(P1), 제2 연결단(P2) 및 제3 연결단(P3) 사이의 통단 상태를 제어하는 데 사용될 수 있다. 구체적으로, 저장 커패시터(C1), 보상 커패시터(C2), 구동 트랜지스터(DT) 및 발광 소자(L)의 각 단계에서의 상태를 제어하도록 제2 응답단(K21)은 스캔 라인에서 제공되는 레벨 신호에 응답하여 접지단(K22)과 제3 연결단(P3) 사이의 온 또는 오프 상태, 제1 연결단(P1)과 제3 연결단(P3) 사이의 온 또는 오프 상태, 데이터 신호단(K23)과 제1 연결단(P1) 사이의 온 또는 오프 상태, 제1 연결단(P1)과 제2 연결단(P2) 사이의 온 또는 오프 상태를 제어하는 데 사용될 수 있다.

[0034] 제3 제어 유닛(K3)은 제3 응답단(K31), 제4 연결단(P4), 제5 연결단(P5) 및 제6 연결단(P6)을 구비한다. 여기서, 제3 응답단(K31)은 제2 제어 라인과 연결되고, 제4 연결단(P4)은 Q포인트와 연결되고, 제5 연결단(P5)은 D포인트와 연결되고, 제6 연결단(P6)은 발광 소자(L)의 양극과 연결되고, 발광 소자(L)의 음극은 접지 라인과 연결된다. 여기서, 제3 응답단(K31)은 제2 제어 라인에서 제공되는 레벨 신호에 응답하여 제4 연결단(P4), 제5 연결단(P5) 및 제6 연결단(P6) 사이의 통단 상태를 제어하는 데 사용될 수 있다. 구체적으로, 저장 커패시터(C1), 보상 커패시터(C2), 구동 트랜지스터(DT) 및 발광 소자(L)의 각 단계에서의 상태를 제어하도록 제3 응답단(K31)은 제2 제어 라인에서 제공되는 레벨 신호에 응답하여 제4 연결단(P4)과 제5 연결단(P5) 사이의 온 또는 오프 상태, 제5 연결단(P5)과 제6 연결단(P6) 사이의 온 또는 오프 상태를 제어하는 데 사용될 수 있다.

[0035] 보상 커패시터(C2)의 제1 단은 G포인트와 연결되고, 보상 커패시터(C2)의 제2 단은 Q포인트와 연결된다.

[0036] 본 방안에서, 제1 제어 유닛(K1), 제2 제어 유닛(K2) 및 제3 제어 유닛(K3)은 제1 제어 라인에서 제공되는 제어 신호, 제2 제어 라인에서 제공되는 제어 신호, 스캔 라인에서 제공되는 스캔 신호, 데이터 라인에서 제공되는 데이터 신호, 전원 라인에서 제공되는 전원 신호 및 접지 라인에서 제공되는 접지 신호와 협동하여, 화소 구동 회로의 리셋 단계, 임계값 전압 보상 단계, 이동률 보상 단계 및 디스플레이 발광 단계를 실현할 수 있으며, 이동률 보상 단계에서 임계값 전압( $V_{th}$ ), 전원 전압(즉, 전원 라인에서 제공되는 전압) 등 불량 인자를 제거할 수 있다. 하지만, 이동률 보상 단계에서, 구동 전류는 우선적으로 보상 커패시터(C2)를 충전하므로, 보상 커패시터(C2)에서의 보상 전압을 도출할 수 있다. 이와 같이 디스플레이 발광 단계에서, 계산에 의하면, 구동 트랜지스터(DT)를 흐르는 전류는, 구동 트랜지스터(DT)의 임계값 전압 및 전원 전압과 모두 무관하고, 데이터 라인에서 제공되는 데이터 전압 및 이동률 보상 단계의 시간과 같은 제어 가능한 파라미터와 관련된다. 본 방안은 이동률 보상 단계의 시간을 조정하여 보상 정도를 조정할 수 있다. 즉, 본 방안의 화소 구동 회로는 구동 트랜지스터(DT)의 임계값 전압( $V_{th}$ ) 드리프트 및 캐리어 이동률에 대한 보상 작용을 구비하고, 임계값 전압 및 누설 전류가 구동 전류에 대한 영향을 감소시키고, 디스플레이 효과를 개선하고, 디스플레이 균일성을 강화한다.

[0037] 예를 들어, 본 실시예의 제1 제어 라인, 제2 제어 라인 및 스캔 라인 사이는 서로 독립되고, 이로써 제1 제어 유닛(K1), 제2 제어 유닛(K2) 및 제3 유닛 사이가 서로 독립적으로 제어되어, 발광 밝기를 보장하는 동시에 본 방안의 화소 구동 회로의 구동 난이도를 낮출 수 있다.

[0038] 선택 가능한 일 실시 방안에서, 제1 제어 유닛(K1)은 제1 트랜지스터(M1)를 더 구비한다. 제1 트랜지스터(M1)의 제어단은 제1 응답단(K11)과 연결되고, 제1 트랜지스터(M1)의 제1 단은 수신단(K12)과 연결되고, 제1 트랜지스터(M1)의 제2 단은 출력단과 연결된다. 달리 이해하면, 제1 트랜지스터(M1)는 제1 제어 유닛(K1)에 해당될 수 있다. 즉, 제1 트랜지스터(M1)의 제어단은 제1 응답단(K11)에 해당되고, 제1 트랜지스터(M1)의 제1 단은 수신단(K12)의 연결에 해당되고, 제1 트랜지스터(M1)의 제2 단은 출력단에 해당된다. 이로써, 수신단(K12)과 출력단(S포인트) 사이의 통단 상태를 용이하게 제어하는 동시에 제1 제어 유닛(K1)의 구조를 간소화하여 화소 구동 회로가 차지하는 공간을 쉽게 줄일 수 있어, 디스플레이 제품의 화소 밀도를 쉽게 높일 수 있다.

[0039] 본 발명에서 언급된 제1 트랜지스터(M1) 및 후술하는 제2 내지 제7 트랜지스터(M2-M7)의 제어단은 트랜지스터의 게이트일 수 있고, 제1 단과 제2 단 중 하나는 트랜지스터의 소스일 수 있고, 다른 하나는 트랜지스터의 드레인

일 수 있으며, 각 트랜지스터의 구체적인 유형 및 회로에서의 접속 상황에 따라 결정되는 것을 이해해야 한다. 본 명세서에서는 지나치게 한정하지 않는다.

- [0040] 예를 들어, 상기 제1 트랜지스터(M1)는 P형 트랜지스터일 수 있다. 즉, 제1 트랜지스터(M1)의 제어단은 제어단에 수신된 저레벨 신호에 응답하여, 제1 단과 제2 단이 온 상태가 되도록 할 수 있으며, 이에 한정되지 않는다. 상기 제1 트랜지스터(M1)는 N형 트랜지스터일 수도 있다.
- [0041] 선택 가능한 일 실시 방안에서, 제1 트랜지스터(M1)와 구동 트랜지스터(DT)는 서로 인접하여 설치되며, 제1 트랜지스터(M1)의 유형과 구동 트랜지스터(DT)의 유형은 동일하다. 예를 들어, 도핑 난이도를 낮추고, 제1 트랜지스터(M1)도 P형 트랜지스터일 수 있고, 또는 구동 트랜지스터(DT)와 제1 트랜지스터(M1)는 모두 N형 트랜지스터일 수 있다.
- [0042] 선택 가능한 일 실시 방안에서, 제2 제어 유닛(K2)은 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)를 더 구비한다.
- [0043] 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)의 제어단은 모두 제2 응답단(K21)과 연결된다. 제2 트랜지스터(M2)의 제1 단은 접지단(K22)과 연결되고, 제2 트랜지스터(M2)의 제2 단은 제3 연결단(P3)과 연결되고, 제3 트랜지스터(M3)의 제1 단은 제1 연결단(P1)과 연결되고, 제3 트랜지스터(M3)의 제2 단은 제3 연결단(P3)과 연결되고, 제4 트랜지스터(M4)의 제1 단은 데이터 신호단(K23)과 연결되고, 제4 트랜지스터(M4)의 제2 단은 제1 연결단(P1)과 연결되고, 제5 트랜지스터(M5)의 제1 단은 제1 연결단(P1)과 연결되고, 제5 트랜지스터(M5)의 제2 단은 제2 연결단(P2)과 연결된다.
- [0044] 여기서, 제2 트랜지스터(M2), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)는 모두 제1 유형 트랜지스터이고, 제3 트랜지스터(M3)는 제2 유형 트랜지스터이다. 제1 유형 트랜지스터와 제2 유형 트랜지스터 중 하나는 P형 트랜지스터이고, 다른 하나는 N형 트랜지스터이다. 즉, 동일 단계에서, 제2 트랜지스터(M2), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)가 제2 응답단(K21)에서 제공된 신호에 응답하여 온 상태가 된 경우, 제3 트랜지스터(M3)는 오프 상태가 되고, 또는 제2 트랜지스터(M2), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)가 제2 응답단(K21)에서 제공된 신호에 응답하여 오프 상태가 된 경우, 제3 트랜지스터(M3)는 온 상태가 된다.
- [0045] 본 실시예의 제2 제어 유닛(K2)은, 제2 응답단(K21)이 스캔 라인으로부터 제공된 스캔 신호에 응답할 때, 접지단(K22), 데이터 신호단(K23), 제1 연결단(P1), 제2 연결단(P2), 제3 연결단(P3) 사이의 통단 상태를 제어하도록, 네 개의 트랜지스터를 설계하여 제2 응답단(K21), 접지단(K22), 데이터 신호단(K23), 제1 연결단(P1), 제2 연결단(P2) 및 제3 연결단(P3)을 연결시킬 수 있다. 이처럼 다른 제어 유닛과 협동하여 각 단계의 작동 상태를 실현할 때, 제어 라인의 수를 줄일 수 있다. 예를 들어, 상기 제2 제어 유닛(K2)은 하나 만의 스캔 라인으로 제어할 수 있어, 화소 개구율을 향상시킬 수 있다.
- [0046] 구체적인 일 실시 방안에서, 도핑 난이도를 낮추고, 제3 트랜지스터(M3)와 구동 트랜지스터(DT)의 유형을 동일하게 설치하기 위해, 제2 트랜지스터(M2), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)에 비해, 제3 트랜지스터(M3)는 구동 트랜지스터(DT)에 더 가깝게 설치된다. 예를 들어, 구동 트랜지스터(DT)가 P형 트랜지스터인 경우, 제3 트랜지스터(M3)도 P형 트랜지스터일 수 있고, 제2 트랜지스터(M2), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)는 모두 N형 트랜지스터일 수 있다. 또는 구동 트랜지스터(DT)와 제3 트랜지스터(M3)가 모두 N형 트랜지스터이고, 제2 트랜지스터(M2), 제4 트랜지스터(M4) 및 제5 트랜지스터(M5)는 모두 P형 트랜지스터이다.
- [0047] 구체적인 일 실시 방안에서, 제3 제어 유닛(K3)은 제6 트랜지스터(M6) 및 제7 트랜지스터(M7)를 더 구비한다.
- [0048] 제6 트랜지스터(M6)와 제7 트랜지스터(M7)의 제어단은 모두 제3 응답단(K31)과 연결된다. 제6 트랜지스터(M6)의 제1 단은 제4 연결단(P4)과 연결되고, 제2 단은 제5 연결단(P5)과 연결된다. 제7 트랜지스터(M7)의 제1 단은 제5 연결단(P5)과 연결되고, 제2 단은 제6 연결단(P6)과 연결된다.
- [0049] 여기서, 제6 트랜지스터(M6)와 제7 트랜지스터(M7) 중 하나는 P형 트랜지스터이고, 다른 하나는 N형 트랜지스터이다. 즉, 동일 단계에서, 제6 트랜지스터(M6)가 제3 응답단(K31)에서 제공된 신호에 응답하여 온 상태가 된 경우, 제7 트랜지스터(M7)는 오프 상태가 되고, 또는 제6 트랜지스터(M6)가 제3 응답단(K31)에서 제공된 신호에 응답하여 오프 상태가 된 경우, 제7 트랜지스터(M7)는 온 상태가 된다.
- [0050] 본 실시예의 제3 제어 유닛(K3)은, 제3 응답단(K31)이 제2 제어 라인으로부터 제공된 제어 신호에 응답할 때, 제4 연결단(P4), 제5 연결단(P5), 제6 연결단(P6) 사이의 통단 상태를 제어하도록, 두 개의 트랜지스터를 설계하여 제3 응답단(K31), 제4 연결단(P4), 제5 연결단(P5) 및 제6 연결단(P6)을 연결시킬 수 있다. 이처럼 다른

제어 유닛과 협동하여 각 단계의 작동 상태를 실현할 때, 제어 라인의 수를 줄일 수 있다. 예를 들어, 상기 제3 제어 유닛(K3)은 하나만의 제2 제어 라인으로 제어할 수 있어, 화소 개구율을 향상시킬 수 있다.

- [0051] 구체적인 일 실시 방안에서, 도핑 난이도를 낮추고, 제6 트랜지스터(M6)와 구동 트랜지스터(DT)의 유형을 동일하게 설치하기 위해, 제7 트랜지스터(M7)에 비해, 제6 트랜지스터(M6)는 구동 트랜지스터(DT)에 더 가깝게 설치된다. 예를 들어, 구동 트랜지스터(DT)가 P형 트랜지스터인 경우, 제6 트랜지스터(M6)도 P형 트랜지스터일 수 있고, 제7 트랜지스터(M7)는 N형 트랜지스터일 수 있다. 또는, 구동 트랜지스터(DT)와 제6 트랜지스터(M6)가 모두 N형 트랜지스터이고, 제7 트랜지스터(M7)는 P형 트랜지스터이다.
- [0052] 도 1에 도시된 화소 구동 회로에서, 구동 트랜지스터(DT), 제1 트랜지스터(M1), 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)는 모두 P형 트랜지스터이고, 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)는 모두 N형 트랜지스터이며, 이에 한정되지 않는다. 화소 구동 회로에서, 구동 트랜지스터(DT), 제1 트랜지스터(M1), 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)는 모두 N형 트랜지스터이고, 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)는 모두 P형 트랜지스터일 수도 있다. 이는 도 3중 각 신호 라인의 각 단계에서의 고레벨과 저레벨을 전환하기만 하면 된다. 여기서 구체적인 설명을 생략한다.
- [0053] 예를 들어, 본 실시예에서 언급된 각 트랜지스터, 즉 구동 트랜지스터(DT), 제1 내지 제7 트랜지스터(M1~M7)는, 우수한 안정성 및 좋은 캐리어 이동률을 갖도록 모두 LTPS 또는 Oxide TFT일 수 있다.
- [0054] 또한, 각 트랜지스터는, 제품을 적절하게 얇게 할 수 있도록 하단 게이트형일 수 있다. 즉, 트랜지스터의 제어단이 활성층의 하방(유리 기판의 일 측에 인접)에 위치할 수 있으며, 이에 한정되지 않는다. 각 트랜지스터는 상단 게이트형일 수도 있으며, 구체적 상황에 따라 결정된다.
- [0055] 여기서, 각 트랜지스터는 강화형 또는 소진형 트랜지스터일 수 있으며, 본 발명의 실시예는 이에 대해 구체적으로 한정하지 않는다.
- [0056] 이에 기초하여, 본 발명의 실시예의 화소 구동 회로는 8T2C(여덟 개의 트랜지스터, 두 개의 커패시터)구조를 적용하여, 리셋 단계, 임계값 전압 보상 단계, 이동률 보상 단계 및 디스플레이 발광 단계를 실현한다. 이러한 설계는 임계값 전압(Vth), OLED 노화, 전원 신호(VDD) 차이 등의 요소가 디스플레이에 미치는 영향을 제거하는 동시에, 이동률 보상 단계의 시간을 조정하여 보상 정도를 조정할 수 있어, 디스플레이 효과를 개선하고, 디스플레이 균일성을 강화할 수 있다. 또한, 회로 구조의 설계를 간소화하여, 점유 면적을 줄일 수 있어, 고 PPI(Pixels Per Inch, 화소 밀도)디스플레이 설계의 실현에 유리하다.
- [0057] **실시예 2**
- [0058] 본 발명의 실시예 2는 실시예 1의 임의의 실시 방안에서 언급된 화소 구동 회로를 구동하기 위한 화소 구동 방법을 더 제공한다. 본 실시예 2의 화소 구동 방법은, 리셋 단계, 임계값 전압 보상 단계, 이동률 보상 단계 및 디스플레이 발광 단계를 포함할 수 있다. 도 1 및 도 2를 함께 참조하면 다음과 같다.
- [0059] 리셋 단계에서, 제1 제어 유닛(K1)의 수신단(K12)과 출력단 사이가 온 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 제1 레벨 신호를 제공하고, 제2 제어 유닛(K2)의 접지단(K22)과 제3 연결단(P3) 사이가 온 되고, 제1 연결단(P1)과 제3 연결단(P3) 사이가 오프 되고, 데이터 신호단(K23)과 제1 연결단(P1) 사이가 온 되고, 제1 연결단(P1)과 제2 연결단(P2) 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 제2 레벨 신호를 제공하고, 제3 제어 유닛(K3)의 제4 연결단(P4)과 제5 연결단(P5) 사이가 오프되고, 제5 연결단(P5)과 제6 연결단(P6) 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단(K31)에 제3 레벨 신호를 제공한다.
- [0060] 임계값 전압 보상 단계에서, 제1 제어 유닛(K1)의 수신단(K12)과 출력단 사이가 오프 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 제4 레벨 신호를 제공하고, 제2 제어 유닛(K2)의 접지단(K22)과 제3 연결단(P3) 사이가 온 되고, 제1 연결단(P1)과 제3 연결단(P3) 사이가 오프 되고, 데이터 신호단(K23)과 제1 연결단(P1) 사이가 온 되고, 제1 연결단(P1)과 제2 연결단(P2) 사이가 온 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 제5 레벨 신호를 제공하고, 제3 제어 유닛(K3)의 제4 연결단(P4)과 제5 연결단(P5) 사이가 오프 되고, 제5 연결단(P5)과 제6 연결단(P6) 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단(K31)에 제6 레벨 신호를 제공한다.
- [0061] 이동률 보상 단계에서, 제1 제어 유닛(K1)의 수신단(K12)과 출력단 사이가 온 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 제7 레벨 신호를 제공하고, 제2 제어 유닛(K2)의 접지단(K22)과 제3 연결단(P3) 사이가 오프

되고, 제1 연결단(P1)과 제3 연결단(P3) 사이가 온 되고, 데이터 신호단(K23)과 제1 연결단(P1) 사이가 오프 되고, 제1 연결단(P1)과 제2 연결단(P2) 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 제8 레벨 신호를 제공하고, 제3 제어 유닛(K3)의 제4 연결단(P4)과 제5 연결단(P5) 사이가 온 되고, 제5 연결단(P5)과 제6 연결단(P6) 사이가 오프 되도록 제2 제어 라인을 이용하여 제3 응답단(K31)에 제9 레벨 신호를 제공한다.

[0062] 디스플레이 발광 단계에서, 제1 제어 유닛(K1)의 수신단(K12)과 출력단 사이가 온 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 제10 레벨 신호를 제공하고, 제2 제어 유닛(K2)의 접지단(K22)과 제3 연결단(P3) 사이가 오프 되고, 제1 연결단(P1)과 제3 연결단(P3) 사이가 온 되고, 데이터 신호단(K23)과 제1 연결단(P1) 사이가 오프 되고, 제1 연결단(P1)과 제2 연결단(P2) 사이가 오프 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 제11 레벨 신호를 제공하고, 제3 제어 유닛(K3)의 제4 연결단(P4)과 제5 연결단(P5) 사이가 오프 되고, 제5 연결단(P5)과 제6 연결단(P6) 사이가 온 되도록 제2 제어 라인을 이용하여 제3 응답단(K31)에 제12 레벨 신호를 제공한다.

[0063] 이하, 도 2에 도시된 화소 구동 회로의 작동 타이밍 다이어그램을 참조하여, 도 1의 화소 구동 회로에 대응되는 화소 구동 방법에 대해 상세히 설명한다.

[0064] 도 2에 도시된 화소 구동 회로의 작동 타이밍 다이어그램은 제1 응답단(K11)이 수신한 제1 제어 신호(SEL1[n]), 제2 응답단(K21)이 수신한 스캔 신호(Scan[n]), 제3 응답단(K31)이 수신한 제2 제어 신호(SEL2[n]), 데이터 신호단(K23)이 수신한 데이터 신호(Vdata)가 리셋 단계(T1), 임계값 전압 보상 단계(T2), 이동률 보상 단계(T3) 및 디스플레이 발광 단계(T4)에서의 레벨 상태를 나타낸다.

[0065] 리셋 단계(T1)에서, 제1 트랜지스터(M1)가 온 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 저레벨 신호를 제공하고, 제2 트랜지스터(M2)가 온 되고, 제3 트랜지스터(M3)가 오프 되고, 제4 트랜지스터(M4)가 온 되고, 제5 트랜지스터(M5)가 온 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 고레벨 신호를 제공하고, 제6 트랜지스터(M6)가 오프 되고, 제7 트랜지스터(M7)가 온 되도록 제2 제어 라인을 이용하여 제3 응답단(K31)에 고레벨 신호를 제공한다.

[0066] 여기서, 리셋 단계(T1)는 주로 저장 커패시터(C1) 및 보상 커패시터(C2)의 전하를 초기화하여, 이전 프레임 전하의 영향을 제거한다. 이때, 스캔 라인 및 제2 제어 라인에서 제공되는 레벨 신호는 모두 고레벨이고, 제1 제어 라인에서 제공되는 신호는 저레벨이다. 이에, 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)는 온 되고, 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)는 오프 되어, 구동 트랜지스터(DT)의 제1 단, 바꾸어 말해 S포인트 전압( $V_s$ ), 저장 커패시터(C1)의 전압( $V_{C1}$ )은 전원 라인에서 제공되는 전원 전압( $V_{DD}$ )으로 충전된다. 즉,  $V_s = V_{C1} = V_{DD}$ 이다. 보상 커패시터(C2)의 양단은 제5 트랜지스터(M5)에 의해 단락되어, 전하가 제거된다. 이에 대응하여, 리셋 단계(T1)에서, 데이터 라인에서 제공되는 데이터 전압이 고레벨 신호이다.

[0067] 임계값 전압 보상 단계(T2)에서, 제1 트랜지스터(M1)가 오프 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 고레벨 신호를 제공하고, 제2 트랜지스터(M2)가 온 되고, 제3 트랜지스터(M3)가 오프 되고, 제4 트랜지스터(M4)가 온 되고, 제5 트랜지스터(M5)가 온 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 고레벨 신호를 제공하고, 제6 트랜지스터(M6)가 오프 되고, 제7 트랜지스터(M7)가 온 되도록 제2 제어 라인을 이용하여 제3 응답단(K31)에 고레벨 신호를 제공한다. 즉, 이 단계는 구동 트랜지스터(DT)의 임계값 전압( $V_{TH}$ )을 보상한다. 구동 트랜지스터(DT)의 임계값 전압 보상 단계(T2)에서, 제1 제어 라인, 제2 제어 라인 및 스캔 라인에서 제공되는 신호가 모두 고레벨 신호이다. 이에, 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)가 온 되고, 제1 트랜지스터(M1), 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)가 오프 된다. 제1 트랜지스터(M1)가 오프 되므로, 저장 커패시터(C1)가 접지되어, S포인트 전하는  $V_s = V_{DATA} - V_{TH}$ 가 안정 상태에 도달할 때까지 점차 방출하여,  $V_{C1} = V_s = V_{DATA} - V_{TH}$ 된다. 이 단계에서,  $V_{TH}$ 는 저장 커패시터(C1)에 기입되고, 보상 커패시터(C2)의 양단은 제5 트랜지스터(M5)에 의해 단락된다.  $V_{DATA}$ 는 데이터 라인에서 제공되는 데이터 전압인 것을 이해해야 한다.

[0068] 이동률 보상 단계(T3)에서, 제1 트랜지스터(M1)가 온 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 고레벨 신호를 제공하고, 제2 트랜지스터(M2)가 오프 되고, 제3 트랜지스터(M3)가 온 되고, 제4 트랜지스터(M4)가 오프 되고, 제5 트랜지스터(M5)가 오프 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 저레벨 신호를 제공하고, 제6 트랜지스터(M6)가 온 되고, 제7 트랜지스터(M7)가 오프 되도록 제2 제어 라인을 이용하여 제3 응답단

(K31)에 저레벨 신호를 제공한다. 즉, 이 단계는 구동 트랜지스터의 캐리어 이동률의 보상 단계이다. 이동률 보상 단계(T3)에서, 제1 제어 라인, 제2 제어 라인 및 스캔 라인에서 제공되는 신호가 모두 저레벨 신호이다. 이에, 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5) 및 제7 트랜지스터(M7)가 오프 되고, 제1 트랜지스터(M1), 제3 트랜지스터(M3) 및 제6 트랜지스터(M6)가 온 된다. 이때, S포인트의 전압은  $V_S=V_{DD}$ 이고, 저장 커패시터(C1)의 전압은  $V_{C1}=V_{DATA}-V_{TH}$ 이고, G포인트의 전압은  $V_G=V_{TH}-V_{DATA}+V_{DD}$ 이고, 구동 트랜지스터(DT)를 흐르는 전류는 다음과 같다.

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{GI} \times (V_{GS} - V_{TH})^2 \\ &= \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{GI} \times (V_{TH} - V_{DATA} + V_{DD} - V_{DD} - V_{TH})^2 \\ &= \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{GI} \times (V_{DATA})^2 \end{aligned}$$

[0069]

상술한 수식에서,  $\mu$ 는 구동 트랜지스터(DT)의 캐리어 이동률이고,  $W$ 는 구동 트랜지스터(DT)의 채널 폭이고,  $L$ 은 구동 트랜지스터(DT)의 채널 길이이고,  $C_{GI}$ 는 구동 트랜지스터(DT)의 게이트 커패시터이고,  $V_{GS}$ 는 G포인트 전압( $V_G$ )과 S포인트 전압( $V_S$ ) 사이의 차이값을 나타내는 것을 이해해야 한다.

[0070]

또한, 상술한 수식으로부터 알 수 있듯이,  $I_{OLED}$ 는 구동 트랜지스터(DT)의 임계값 전압( $V_{TH}$ ) 및 전원 라인에서 제공되는 전원 전압( $V_{DD}$ )과 무관하지만, 캐리어 이동률  $\mu$ 의 변화는 여전히 구동 전류에 영향을 미치는 것을 알 수 있다.

[0071]

제2 제어 라인이 저레벨로 전환될 때, 제6 트랜지스터(M6)가 온 되고, G포인트와 D포인트는 제6 트랜지스터(M6)를 통해 연결되어, 구동 전류는 보상 커패시터(C2)를 우선적으로 충전한다. 충전 시간을  $t$ (즉, 이동률 보상 단계의 시간, 혹은 도면중의 T3의 폭)라고 가정하면, 커패시터 충전 모델에 따라 보상 전압은  $V_{\mu}=I_{OLED} \times t \div C2$ 인 것을 얻을 수 있고, 이를 통해  $V_{\mu}$ 와  $I_{OLED}$ 가 비례함을 알 수 있다. 즉, 더 작은 캐리어 이동률  $\mu$ 은 더 작은  $V_{\mu}$ 에 대응한다.

[0072]

디스플레이 발광 단계에서, 제1 트랜지스터(M1)가 온 되도록 제1 제어 라인을 이용하여 제1 응답단(K11)에 저레벨 신호를 제공하고, 제2 트랜지스터(M2)가 오프 되고, 제3 트랜지스터(M3)가 온 되고, 제4 트랜지스터(M4)가 오프 되고, 제5 트랜지스터(M5)가 오프 되도록 스캔 라인을 이용하여 제2 응답단(K21)에 저레벨 신호를 제공하고, 제6 트랜지스터(M6)이 오프 되고, 제7 트랜지스터(M7)가 온 되도록 제2 제어 라인을 이용하여 제3 응답단(K31)에 고레벨 신호를 제공한다. 이 단계에서, 구동 트랜지스터(DT)를 흐르는 전류는

$$I_{OLED} = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{GI} \times (V_{DATA} - V_{\mu})^2$$

으로 표현할 수 있다. 캐리어 이동률이 변화할 때, 해당되는  $V_{\mu}$ 가 구동 전류를 보상하여, 캐리어 이동률( $\mu$ )이 구동 전류에 미치는 영향을 줄여서, OLED 발광 소자의 디스플레이 효과를 개선한다.

[0073]

전반적으로, 상기 네 개의 단계에서, 전원 라인은 고레벨 직류 신호를 제공하고, 제1 제어 라인에서 제공되는 제1 레벨 신호, 제7 레벨 신호 및 제10 레벨 신호는 모두 저레벨 신호이고, 제1 제어 라인에서 제공되는 제4 레벨 신호는 고레벨 신호이고, 스캔 라인에서 제공되는 제2 레벨 신호 및 제5 레벨 신호는 모두 고레벨 신호이고, 스캔 라인에서 제공되는 제8 레벨 신호 및 제11 레벨 신호는 모두 저레벨 신호이고, 제2 제어 라인에서 제공되는 제3 레벨 신호, 제6 레벨 신호 및 제12 레벨 신호는 모두 고레벨 신호이고, 제2 제어 라인에서 제공되는 제9 레벨 신호는 저레벨 신호이고, 데이터 라인이 리셋 단계 및 임계값 전압 보상 단계에서 제공하는 데이터 신호는 고레벨 신호이고, 데이터 라인이 이동률 보상 단계 및 디스플레이 발광 단계에서 제공하는 데이터 신호는 저레벨 신호이다.

[0074]

또한, 본 실시예의 화소 구동 방법은, 디스플레이 파라미터 정보에 기초하여, 화소 구동 회로의 이동률 보상 단계의 시간을 조정하는 단계를 더 포함한다.

[0075]

예를 들어, 제품 검사 과정에서, CCD(Charge Coupled Device) 카메라 등 제품을 이용하여 디스플레이 패널의 디스플레이 화면을 수집한 후, 수집된 디스플레이 화면을 분석하여 디스플레이 파라미터 정보를 획득할 수 있다. 상기 디스플레이 파라미터 정보는 밝기, 색조 등을 포함할 수 있다. 그런 다음, 디스플레이 파라미터 정보가 목

[0076]

표 정보를 만족시키지 못하는 경우, 디스플레이 화면이 요구를 만족하도록 화소 구동 회로의 이동률 보상 단계의 시간을 조정할 수 있다.

[0077] 실시예 3

[0078] 본 실시예 3은 디스플레이 장치를 더 제공한다. 상기 디스플레이 장치는 OLED 디스플레이 장치일 수 있다. 도 3에 도시된 바와 같이, 상기 디스플레이 장치는 디스플레이 패널(1) 및 컨트롤러(2)를 포함할 수 있다. 여기서, 디스플레이 패널(1)은 실시예 1중 임의 하나의 실시 방안의 화소 구동 회로를 구비하고, 컨트롤러(2)는 실시예 2중 임의 하나의 실시 방안의 화소 구동 방법을 실현하는 데 사용된다.

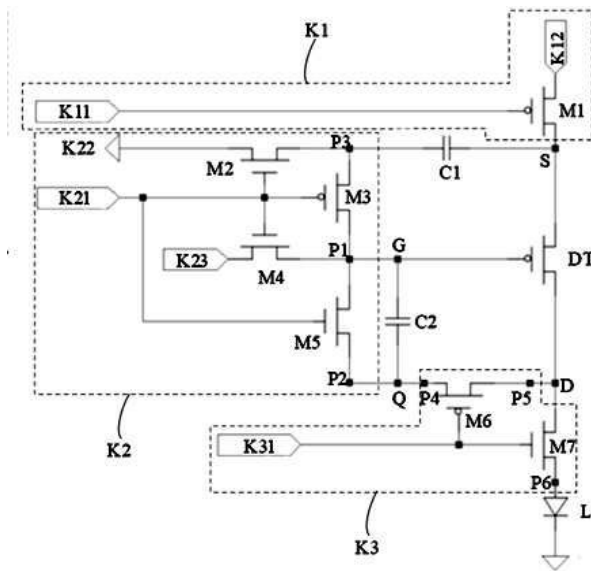
[0079] 본 발명의 실시예의 디스플레이 장치는 AMOLED(Active-matrix organic light-emitting diode, 액티브 매트릭스 유기 발광 다이오드)디스플레이일 수 있고, 본체가 얇고, 전기를 절약하고, 색상이 선명하고, 화질이 강한 등 많은 장점을 가지고 있어, 널리 사용되고 있다. 예를 들어, OLED TV, 휴대폰, 노트북 스크린 등 태블릿 디스플레이 분야에서 점차 지배적인 위치를 차지하고 있다.

[0080] 본 명세서의 설명에 있어서, "일부 실시예", "예시적", "선택 가능한 일부 실시 방안에서" 등의 용어의 설명은, 해당 실시예 또는 예에서 설명된 구체적인 특징, 구조, 재료 또는 특성이 조합되어 본 발명의 적어도 하나의 실시예 또는 예에 포함되어 있음을 의미한다. 본 명세서에서, 상기 용어의 예시적인 표현은 반드시 동일한 실시예 또는 예를 대상으로 할 필요는 없다. 또한 설명된 구체적인 특징, 구조, 재료 또는 특성은 어느 하나 이상의 실시예 또는 예에서 적절한 방식으로 결합될 수 있다. 또한, 모순되지 않는 한, 해당 분야의 기술자는 본 명세서에서 설명된 다양한 실시예 또는 예 및 다양한 실시예 또는 예의 특징을 결합하고 조합할 수 있다.

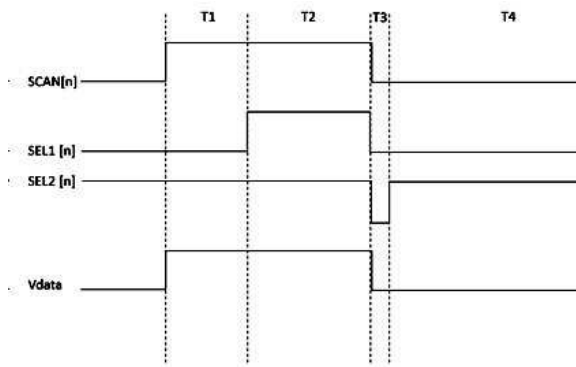
[0081] 이상, 본 발명의 실시예를 상기에서 예시하고 설명하였지만, 상술한 실시예는 예시적인 것으로, 본 발명에 대한 한정으로 이해해서는 안된다. 본 발명의 범위 내에서, 해당 분야의 기술자는 상술한 실시예를 변경, 수정, 교체 및 변형할 수 있으므로, 본 발명의 특허 출원의 범위 및 명세서에 따른 변경 또는 수정은 모두 본 발명의 특허 범위 내에 속한다.

도면

도면1



도면2



도면3

