



[12] 发明专利申请说明书

CN 1020230C

[21] 专利号 ZL 89104312

[51]Int.Cl.⁵

H04L 25 / 02

[45]授权公告日 1993 年 3 月 31 日

[24]颁证日 93.1.17

[21]申请号 89104312.8

[22]申请日 89.6.20

[30]优先权

[32]88.6.20 [33]GB [31]8814584.2

[73]专利权人 GPT 有限公司

地址 英国考文垂

[72]发明人 艾伦·戴维·贝里

[74] 专利代理机构 中国专利代理(香港)有限公司

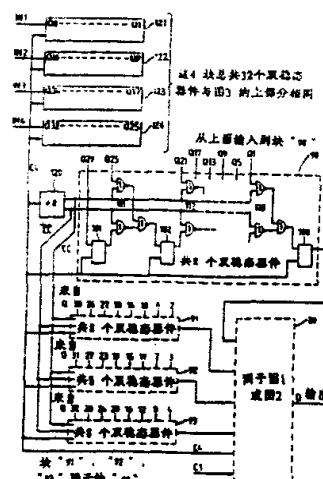
代理人 何耀煌 何关元

说明书页数: 附图页数:

[54]发明名称 脉码调制通信系统

[57]摘要

预定码长交错多位序列的数据通信设备包括：顺序串行存储各预定码长多位序列的存储装置的并联排列的第一阵列；读出装置，它把存储在所述阵列中的每个位序列并行读入第二储存装置中，以致存储的序列的位数是交错的；组合装置，它以如下方式组合从第二阵列输出的序列，即，输出数据流包含交错的原始多位序列，以致在最后的输出数据流中，来自一个输入信号的多位序列被来自其它各输入信号中每个信号的多位序列与该信号的下一个多位序列隔开。



权 利 要 求 书

1. 一种数据通信设备, 它用于交错具有预定码长的多位序列, 从具有一个速率的多个输入信号到具有较高速率的单个输出数据流, 对于每个输入信号, 该设备包括: 顺序地串行存储各具有预定码长的多位序列的第一个阵列(121-124), 所述阵列是并联排列的; 以及组合装置(20), 用于以这样的方式组合从存储装置的第二个阵列(90-93)输出的序列, 即, 输出数据流包含这样交错的所述原始多位序列, 以致在最后的输出数据流中, 来自一个输入信号的多位序列被来自其它各输入信号中的每个信号的多位序列与该信号的下一个多位序列隔开; 其特征在于该设备包括:

读出装置, 用于在所述组合装置(20)组合从所述第二个阵列输出的序列之前, 把所述第一个阵列中每个所述储存位序列并行读出, 并存入储存装置的所述第二个阵列(90-93)中, 以致所述储存序列的位是交错的。

2. 如权利要求1所要求的设备, 其特征在于: 储存多位序列的各第一个阵列(121-124)包括多个串联的双稳态器件(Q1-Q8), 其个数等于所述预定位序列中的位数。

3. 如权利要求2所要求的设备, 其特征在于: 每个所述储存装置的第二个阵列(90-93)包括用第一组门电路(111-118)串联连接的多个双稳态器件(101-108), 每个所述第二个阵列中的双稳态器件的数量等于所述预定位序列的位数。

4. 如权利要求3所要求的设备, 其特征在于: 每个所述第一组门电路(111-118)包括一对或非门电路, 该或非门的输出送到第三个或非门, 而第三个或非门的输出连接到在所述第二阵列中的下一个在后双稳

态器件的输入端。

5. 如权利要求4 所要求的设备, 其特征在于: 每组门电路(111-118) 中的或非门对在各自的输入端接收来自所述第一个储存装置阵列(121-124) 中不同阵列的双稳态器件的输出信号和来自第二阵列中在前的双稳态器件的最后一个的输出信号, 以及接收定时信号, 在或非门对的一个或非门的一个输入端接收到的定时信号与通过该对或非门对的另一个或非门接收到的定时信号反相。

6. 如权利要求5 所要求的设备, 其特征在于: 所述用于组合第二个阵列的输出序列的组合装置包括用第二组门电路(12-23) 串联连接的多个双稳态器件(11-20), 该双稳态器件的数量等于所述第二阵列的位数。

脉码调制通信系统

本发明涉及数据传输系统。

在数字通信领域内，使用二进制数字，通常称为‘二进位数’，每个符号可以采用仅有的两个数值之一。对于某些应用，8个二进位数一起集合为‘二进位组’。

为了在单根线上以较高速率传输几个相同的信道，对每个信道的二进位数通常还实行位交错，而近来某些国家的和国际的标准已经建议应该采用‘二进位组交错’。在这种情况下，高速率载体从第一个输入信道承载8个连续的二进制位，接着又从第二个输入信道承载8个连续的二进制位，等等。显然，二进位组交错使用8倍于位交错所需的存储器（例如，D型双稳态器件）以作相同类型的基本处理。

本发明涉及减少为了以较高速率实现二进位组交错所必需的处理量。

从而，本发明在于数字通信设备，该设备用于交错一个预定码长的多位序列，从一个速率的多个输入信号到较高速率的单输出数据流。对于每个输入信号，本设备包括：(1)第一个储存装置阵列，该装置按串行时序储存每个多位预定码长序列，所述阵列是并行排列的，(2)读出装置，该装置以并行方式把存储在所述阵列中的每个所述储存位序列读入第二个储存装置中，以致所述储存序列的位数是交错的，(3)组合装置，该装置用于以如下方式组合从所述第二个阵列输出的序列，即，输出数据流包含交错的所述原始多位序列，以致在最后的输出数据流中，来自一个输入信号的多位序列被来自其它各输入信号中

每个信号的多位序列与该信号的下一个多位序列隔开。

为了能更清楚地了解本发明，现用举例的方法并参考附图进行具体描述。

图1 和图2 是描述两个已有的位交错方法的方框图。

图3 是已有二进位组交错的方法的方框图。

图4 是根据本发明的用于二进位组交错的设备的一个实施例的方框图。

图5 是图4 的实施例的变型的方框图。

图1 和图2 表明两个已有的位交错方法。

图1 中四个输入数据流 IN1 至 IN4 是位交错的，每个数据流被送到各个D 型双稳态器件Q1至Q4的一个输入端。双稳态器件的其它输入端 输入时钟信号C4，C4 是用一个分路电路40从主时钟信号C1得到的，信号C1具有所述输出比特率。电路40同时提供信号CC及其倒相信号 $\overline{CC}$ ，信号 $\overline{CC}$ 出现在脉冲C4的后沿。双稳态器件Q1—Q4的输出送到由或非门和串接双稳态器件组成的阵列30。

因此，双稳态器件Q4的输出送到相同的双稳态器件11的一个输入端，器件11 以信号C1 来定时。 双稳态器件11的输出送到或非门12的一个输入端，门12的另一个输入端接信号 $\overline{CC}$ 。双稳态Q3的输出送到或非门13的一个输入端，门13的另一个输入端接信号CC。门12和13的输出送到或非门14，门14的输出送到双稳态器件15的一个输入端，类似于双稳态器件11，器件15由信号C1定时。 双稳态器件Q2的输出与双稳态器件15的输出以与双稳态器件Q4和11的输出相同的方式组合，即，它们是分别加到由信号CC和 $\overline{CC}$ 定时的各自的或非门 17、16，门17和16的输出送到另一个或非门18，后者为双稳态器件19提供输

入信号，双稳态器件19是由信号C1定时的。最后的位交错输出信号是由双稳态器件20输出的，后者也是由C1定时的，并且通过或非门21、22、23耦合到双稳态器件01和19输出端，所述或非门的作用与上述两组或非门相同。可以概括地说，当CC低时为并联负载，而当CC低时是串联移位(Shift)。

图2 的实施例中，四个双稳态器件01至04的输出送到由各或非门32、33、34、35构成的阵列31，所述各或非门同时接来自四分路电路40的信号CC1、CC2、CC3 和CC4。

这四个或非门的输出送到或非门36的四个输入端，门36的输出送到由信号C1定时的双稳态器件37的输入端。

图2 的方法具有不使用图1 中的双稳态器件的优点，而缺点是使用一个4输入门电路36。在一般的N个输入的情况下，如果严格仿效这个模型，则应使用N 个输入门，做一些变化以减少每个门电路的输入端数是可能的，代价是使用更多的门电路和更多的双稳态器件。附于图1 和图2 的定时图仅表明标称时间，这是为了作图方便。

图3 表示已有的二进位组交错的方法，采用的原理同于图1 中的，假定输入数据流IN1-IN4 已经是同步的二进位组，并有使8分路电路与二进制定时电路同步的装置。所有情况下的方法都是以四个输入信道作为例子来说明的。

在图3 的实施例中，单个D 型双稳态器件01至04是用四个阵列或串行链接的双稳态器件排来代替的。对于输入信号IN1,这些双稳态器件是01至08，对于输入信号IN2 是09至016,以此类推。所有这些双稳态器件均由信号C4定时。因此，当已经从每个输入端接收到一个完全的二进位组后，IN1信号的第一位将储存在01，第二位储存在02，以此类推。同样地，对于IN2,第一位将存在09，第二位存在010,以此类推。

推。

为了简化，仅仅对于IN4 信号通道画出与双稳态阵列有关的附加电路元件。这些附加元件是由32个D 型双稳态器件的阵列50构成的，全部具有连接到C1 时钟信号的定时输入端。此外，在最初描述的四个阵列中，除双稳态器件Q32 的输出外，每个双稳态器件的输出端各自连接到一个单独的或非门电路51的输入端，Q32 是直接连接到阵列50 中第32个双稳态器件的输入端。

阵列50中的每个双稳态器件，除了输出双稳态以外，以完全类似于图1 所示的或非门的方式与3 个或非门相联系。这些或非门是用52表示的。3 组中每组的第一对或非门分别接信号CC和它的倒相信号 $\overline{CC}$ ，这些信号由以信号C4驱动的8 分路电路53产生。

二进位组交错方法所使用的原理与图2 中的相同，但未给出详细的说明。

逻辑处理电路的实际实现涉及各种逻辑元件时间延迟的校正容限，所述时间延迟包括D 型双稳态器件的建立和保持时间。实际上，所有上述电路的所述容限要求图1-3 中所有元件的允许迟延与输出符号速率相关联，即，与最短重复周期相关联。

在二进位组交错的情况下，如满足这个准则，则必须完成的处理量能够减少，这是一个显著的优点。图4 表示过去实现这点的原理，即，交换输入信道的位，使用其时间容限仅与输入速率有关的逻辑处理，最后，使用类似于图1 或图2 的简单电路进行位交错。在各二进位组储存器中，各步骤已经按相反的次序编号，以标注每个输入信道和输出信道中的位的次序。

如图4 所示，每个输入信号IN1-IN4 馈入各自的阵列或8 个D 型双稳态块中，阵列编号为121、122、123、和124。于是，每个阵列储存一个

二进位组，以01标记信道IN1 承载的第一位，以02标记信道IN1 承载的第二位，等等。同样地，IN2的第一位以09标记。这些阵列中的每一个与图3 中所示的阵列01至08相同。而在本实施例中，双稳态块121-124的存储信息并行馈入4个附加的电路阵列或块90-93。图中仅示出块90的细节，而块91、92、93与它相同。块90是由8 个D 型双稳态器件101、102、...108(仅示出其中的3 个)组成的。该信息块还包括8 组或非门111 至118,每组由3 个或非门组成，这3 个或非门以与图1 和图3 中的或非门和双稳态器件严格相同的方式相连接。每组中的第一对或非门分别接信号CC和它的倒相信号 $\overline{CC}$ ，这些信号取自8 分路计数器120。如图4 所示，组118 的第一个或非门接收双稳态器件01 的输出，组112 的第一个或非门接收双稳态器件Q21 的输出,以此类推，直到组111 的第一个或非门接收阵列124 的双稳态器件Q29 的输出。所有这些第一个或非门的另一个输入端接收信号CC。每组的第二个或非门在一个输入端接收信号 $\overline{CC}$ 和该块中前一个双稳态器件的输出。

这种操作的结果是：块90保持8 个位01、05、09、013、017、021、025 和Q29,块91保持位02、06等。这样，来自四个输入信道的位已被按特定顺序交错。于是,4 个块的存储信息被相同于图1 或图2 所示整体电路的任一个中的电路20 读出和交错。可以看到，所述4 个块中的位交错继之以该块的输出信号的交错，这有效地实现了4 个输入数据信道的二进位组交错。

作为这个原理的更进一步但非唯一的实施例，图5 表示位交错方法，该方法可以用于按次序实现16个输入信道有效的二进位组交错，分两步使用位交错，以获取最后速率。

图5 所描述的实施例有16个阵列201-216,它们各自与一个输入信

号IN1-IN16相关联。这些阵列中的每一个都与图3所示的8个串联的双稳态器件01至08的阵列相同,也与图4所示的阵列121至124相同。这些块201-216的并行输出送到与图4所示的块90-93相同的16个阵列221-236的输入端。在这些阵列221-236中,输入位排列的方式是用数字网表示的。

在每个阵列221-236中最后的双稳态器件的串行输出送到4个阵列240-243之一,这四个阵列中的每一个实际上同于图1或图2所示的整体电路的任一个。

阵列240-243中的每一个的输出送到与阵列240相同的单个阵列250。可以看出,输入信号的相继的位交错最终得出二进位组交错的最后输出信号。

前面的说明已经涉及输入信号的交错的二进位组。可以看出,参考图4和图5所说明的设备的基本原理能够应用于码长不同于8的多位序列。

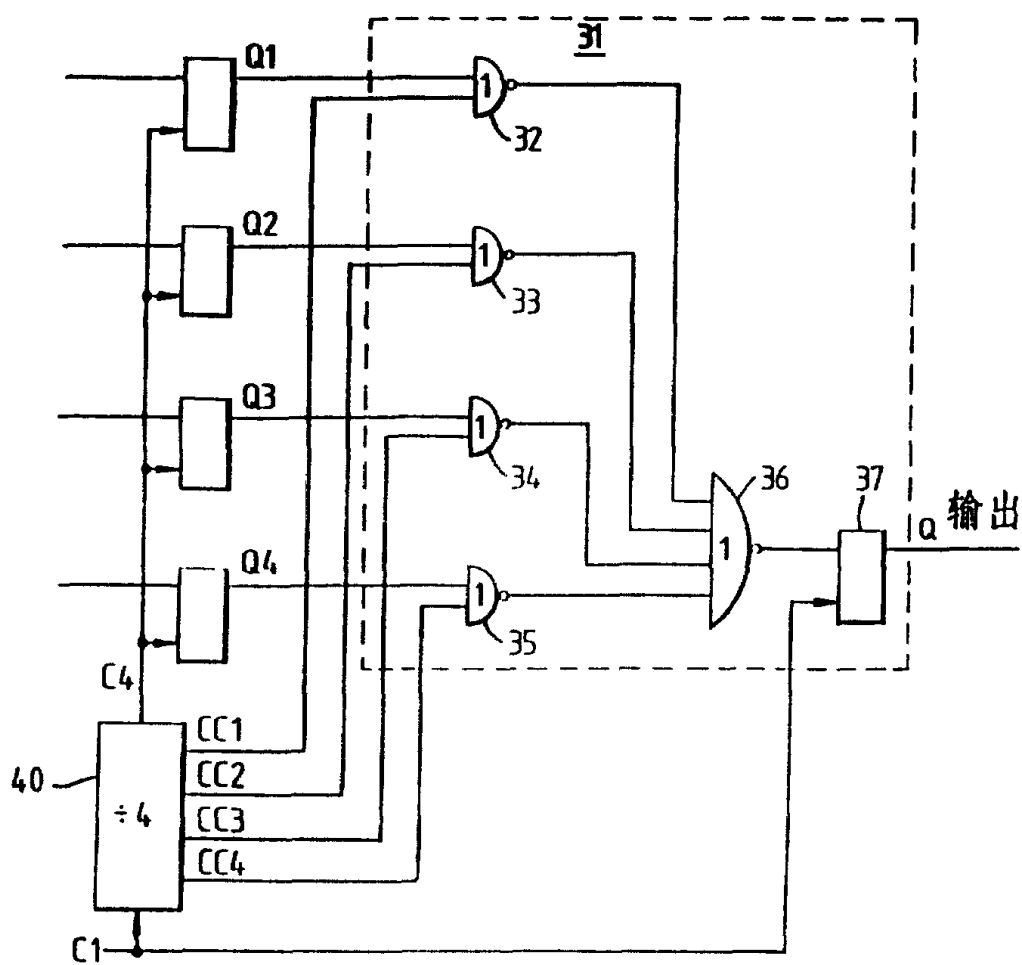
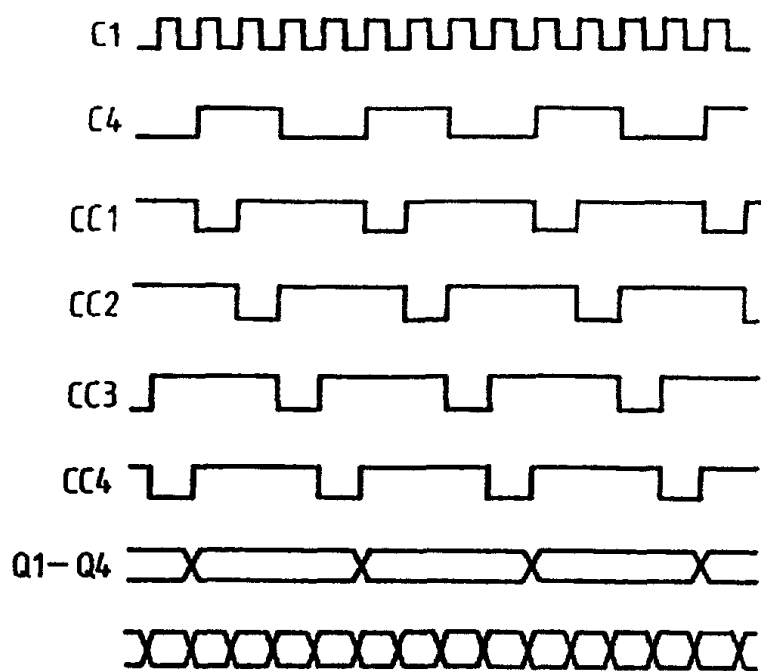


图 2



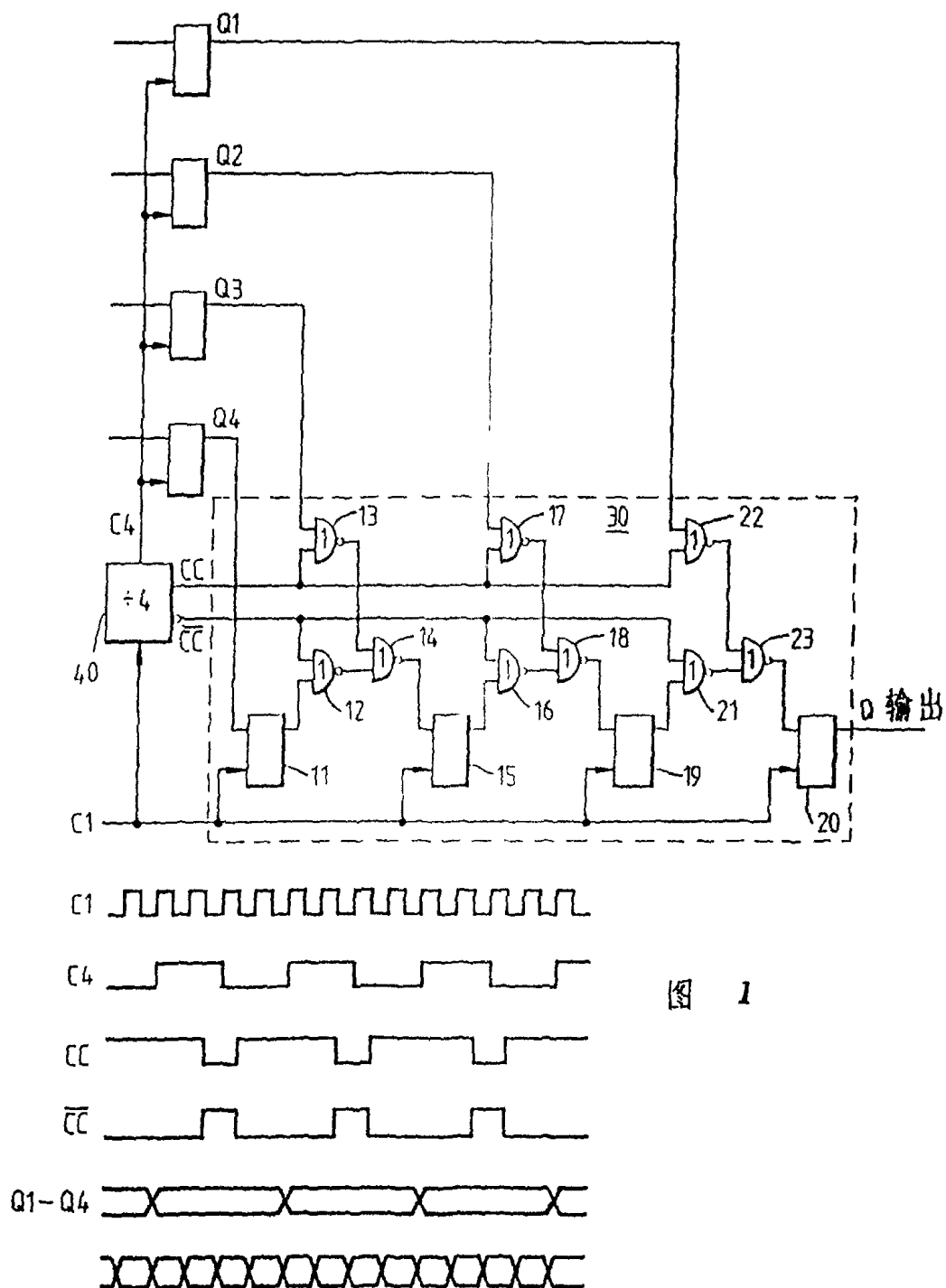


图 1

图 3

