

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-227762
(P2012-227762A)

(43) 公開日 平成24年11月15日(2012.11.15)

(51) Int.Cl.	F 1		テーマコード (参考)
H03B 5/30 (2006.01)	H03B 5/30	Z	5 J 0 7 9
H03B 5/36 (2006.01)	H03B 5/36		5 J 1 0 8
H03H 9/24 (2006.01)	H03H 9/24	Z	

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号	特願2011-94049 (P2011-94049)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成23年4月20日 (2011.4.20)	(74) 代理人	100090387 弁理士 布施 行夫
		(74) 代理人	100090398 弁理士 大渕 美千栄
		(74) 代理人	100113066 弁理士 永田 美佐
		(72) 発明者	渡辺 徹 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
			F ターム (参考) 5J079 AA01 BA39 FA05 FA21 FB03 FB09 5J108 BB00

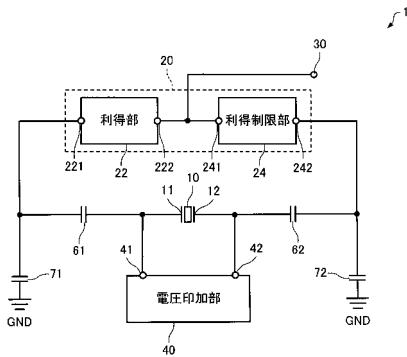
(54) 【発明の名称】発振回路

(57) 【要約】

【課題】出力信号の周波数のふらつきを抑制した発振回路を提供すること。

【解決手段】空隙を隔てて配置された第1電極11及び第2電極12を有するMEMS振動子10と、第1入力端子221及び第1出力端子222を有し、利得が1よりも大きい利得部22と、第2入力端子241及び第2出力端子242を有し、利得が1よりも小さい利得制限部24と、を含む增幅部20と、第1出力端子222と接続される出力端子30と、を含み、第1電極11と第1入力端子221とが接続され、第1出力端子222と第2入力端子241とが接続され、第2出力端子242と第2電極12とが接続される。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

空隙を隔てて配置された第1電極及び第2電極を有するMEMS振動子と、
 第1入力端子及び第1出力端子を有し、利得が1よりも大きい利得部と、第2入力端子
 及び第2出力端子を有し、利得が1よりも小さい利得制限部と、を含む増幅部と、
 前記第1出力端子と接続される出力端子と、
 を含み、
 前記第1電極と前記第1入力端子とが接続され、
 前記第1出力端子と前記第2入力端子とが接続され、
 前記第2出力端子と前記第2電極とが接続される、発振回路。

10

【請求項 2】

請求項1に記載の発振回路において、さらに、
 前記第1電極と前記第2電極との間にバイアス電圧を印加する電圧印加部と、
 前記利得制限部及び前記電圧印加部を制御する制御部と、
 を含み、
 前記制御部は、
 前記利得制限部における利得と、前記電圧印加部が印加する前記バイアス電圧とを関連付けて制御する、発振回路。

【請求項 3】

請求項2に記載の発振回路において、
 前記制御部は、
 前記電圧印加部が印加する前記バイアス電圧が大きくなるほど、前記利得制限部における利得が小さくなるように制御する、発振回路。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、発振回路に関する。

【背景技術】**【0002】**

MEMS (Micro Electro Mechanical Systems) は、微小構造体形成技術の一つで、例えば、ミクロンオーダーの微細な電子機械システムを作る技術やその製品のことをいう。MEMS技術を用いて作成された振動素子(MEMS振動子)が開発されている。また、MEMS振動子を用いた発振回路が開発されている。特許文献1には、MEMS振動子を用いた発振器が開示されている。

30

【先行技術文献】**【特許文献】****【0003】**

【特許文献1】特開2009-200888号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

水晶振動子やセラミック振動子と比べて、MEMS振動子は、入力信号として電力が大きい信号が入力された場合に通過特性が歪みやすい。通過特性が歪むと、周波数がふらつく(周波数が安定しない)現象が起こりやすくなる。

40

【0005】

本発明のいくつかの態様に係る目的の1つは、出力信号の周波数のふらつきを抑制した発振回路を提供することにある。

【課題を解決するための手段】**【0006】**

本発明に係る発振回路は、

50

空隙を隔てて配置された第1電極及び第2電極を有するMEMS振動子と、
 第1入力端子及び第1出力端子を有し、利得が1よりも大きい利得部と、第2入力端子
 及び第2出力端子を有し、利得が1よりも小さい利得制限部と、を含む増幅部と、
 前記第1出力端子と接続される出力端子と、
 を含み、
 前記第1電極と前記第1入力端子とが接続され、
 前記第1出力端子と前記第2入力端子とが接続され、
 前記第2出力端子と前記第2電極とが接続される、発振回路。

【0007】

「接続される」とは、電気的に接続することであり、直流的に接続される場合のみならず、交流的に接続される場合をも含む。 10

【0008】

本発明によれば、MEMS振動子に入力される信号は利得が1よりも小さい利得制限部の出力信号であるため、通過特性が歪みにくい。したがって、出力信号の周波数のふらつきを抑制した発振回路を実現できる。

【0009】

また、本発明によれば、利得が1よりも大きい利得部の出力信号が発振回路としての出力信号となるため、振幅の大きい信号を出力することができる。

【0010】

本発明に係る発振回路において、
 前記第1電極と前記第2電極との間にバイアス電圧を印加する電圧印加部と、
 前記利得制限部及び前記電圧印加部を制御する制御部と、
 を含み、
 前記制御部は、
 前記利得制限部における利得と、前記電圧印加部が印加する前記バイアス電圧とを関連付けて制御することができる。 20

【0011】

MEMS振動子は、バイアス電圧の大きさによって通過特性の歪み度合が変化する。本発明によれば、制御部が、利得制限部における利得と、電圧印加部が印加するバイアス電圧とを関連付けて制御することによって、出力信号の周波数のふらつきをさらに抑制した発振回路を実現できる。 30

【0012】

本発明に係る発振回路において、
 前記制御部は、
 前記電圧印加部が印加する前記バイアス電圧が大きくなるほど、前記利得制限部における利得が小さくなるように制御することができる。

【0013】

MEMS振動子は、バイアス電圧が大きくなるほど通過特性が歪みやすくなる傾向がある。本発明によれば、制御部が、電圧印加部が印加するバイアス電圧が大きくなるほど、利得制限部における利得が小さくなるように制御することによって、出力信号の周波数のふらつきをさらに抑制した発振回路を実現できる。 40

【図面の簡単な説明】

【0014】

【図1】第1実施形態に係る発振回路1を示す回路図。

【図2】増幅部20の一例を示す回路図。

【図3】MEMS振動子10の通過特性を示す模式的なグラフ。

【図4】第2実施形態に係る発振回路2を示す回路図。

【図5】電圧印加部40の一例を示す回路図。

【図6】利得制限部24の一例を示す回路図。

【図7】MEMS振動子10の通過特性を示す模式的なグラフ。 50

【図8】MEMS振動子10の構成例を模式的に示す平面図。

【図9】MEMS振動子10の構成例を模式的に示す断面図。

【発明を実施するための形態】

【0015】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0016】

1. 第1実施形態に係る発振回路

図1は、第1実施形態に係る発振回路1を示す回路図である。

10

【0017】

第1実施形態に係る発振回路1は、空隙を隔てて配置された第1電極11及び第2電極12を有するMEMS振動子10と、第1入力端子221及び第1出力端子222を有し、利得が1よりも大きい利得部22と、第2入力端子241及び第2出力端子242を有し、利得が1よりも小さい利得制限部24と、を含む增幅部20と、第1出力端子222と接続される出力端子30と、を含み、第1電極11と第1入力端子221とが接続され、第1出力端子222と第2入力端子241とが接続され、第2出力端子242と第2電極12とが接続されている。

【0018】

第1実施形態においては、MEMS振動子10は、空隙を隔てて配置された第1電極11及び第2電極12を有する静電型のMEMS振動子である。MEMS振動子10の構成例については、「3. MEMS振動子の構成例」の項で詳述される。

20

【0019】

増幅部20は、所望の発振条件を満たすように、1よりも大きい利得で信号を増幅する。増幅部20は、複数のインバーター回路(反転回路)や増幅回路を組み合わせて構成されていてもよい。図1に示される例では、増幅部20は、利得が1よりも大きい利得部22と、利得が1よりも小さい利得制限部24とが直列に接続されて構成されている。

【0020】

図1に示される例では、MEMS振動子10の第1電極11と利得部22の第1入力端子221とが接続され、利得部22の第1出力端子222と利得制限部24の第2入力端子241とが接続され、利得制限部24の第2出力端子242とMEMS振動子10の第2電極12とが接続されている。また、出力端子30は、利得部22の第1出力端子222と、利得制限部24の第2入力端子241とに接続されている。

30

【0021】

図2は、増幅部20の一例を示す回路図である。

【0022】

図2に示される例では、利得部22は、電源電位Vddから接地電位GNDまでの間にPMOSトランジスターTP1とNMOSトランジスターTN1とが直列に接続され、PMOSトランジスターTP1とNMOSトランジスターTN1のゲートが互いに接続されて構成されたインバーター回路224と、電源電位Vddから接地電位GNDまでの間にPMOSトランジスターTP2とNMOSトランジスターTN2とが直列に接続され、PMOSトランジスターTP2とNMOSトランジスターTN2のゲートが互いに接続されて構成されたインバーター回路226とが、直列に接続されて構成されている。

40

【0023】

図2に示される例では、利得制限部24は、電源電位Vddから接地電位GNDまでの間に、順に、定電流源Ic1、PMOSトランジスターTP3、NMOSトランジスターTN3、定電流源Ic2が直列に接続され、PMOSトランジスターTP3とNMOSトランジスターTN3のゲートが互いに接続されて構成されたインバーター回路で構成されている。定電流源Ic1及び定電流源Ic2の電流値を適宜設定することによって、利得制限部24の利得を1よりも小さく設定することができる。

50

【0024】

第1実施形態に係る発振回路1は、増幅部20に対する帰還抵抗を含んで構成されてもよい。図2に示される例では、インバーター回路224の入力端子と出力端子とが抵抗R1を介して接続され、インバーター回路226の入力端子と出力端子とが抵抗R2を介して接続され、利得制限部24の第2入力端子241と第2出力端子242とが抵抗R3を介して接続されている。

【0025】

図3は、MEMS振動子10の通過特性を示す模式的なグラフである。横軸は入力信号の周波数、縦軸はSパラメーター[S21]における通過特性を表す。また、入力信号の電力が電力P1である場合の通過特性を通過特性A1、入力信号の電力が電力P2である場合の通過特性を通過特性A2、入力信号の電力が電力P3である場合の通過特性を通過特性A3とする。また、電力P1 < 電力P2 < 電力P3の大小関係が成立しているものとする。

10

【0026】

図3に示されるように、電力P1が、MEMS振動子10が線形的に動作できる電力範囲にある電力である場合には、通過特性A1は、共振周波数(通過特性が最大となる周波数)付近において周波数の増減に対して対称的な形となる。

【0027】

しかしながら、電力P2及び電力P3が、MEMS振動子10が線形的に動作できる電力範囲を超えて大きい電力である場合には、通過特性A2及び通過特性A3は、通過特性A1とは異なる共振周波数となる。図3に示される例では、通過特性A2及び通過特性A3の共振周波数は、通過特性A1よりも小さな周波数となっている。また、通過特性A2及び通過特性A3は、共振周波数付近において周波数の増減に対して非対称的な形となる。

20

【0028】

また、電力P2及び電力P3が、MEMS振動子10が線形的に動作できる電力範囲を超えて大きい電力である場合には、MEMS振動子10の損失が大きくなる。図3に示される例では、通過特性A2及び通過特性A3における最大値は、通過特性A1における最大値よりも小さくなっている。

30

【0029】

このように、MEMS振動子10が線形的に動作できる電力範囲を超えて大きい電力となる信号がMEMS振動子10に入力されると、通過特性が歪みやすい。通過特性が歪むと、発振回路の出力信号の周波数がふらつく(周波数が安定しない)原因となる。

【0030】

第1実施形態に係る発振回路1によれば、MEMS振動子10に入力される信号は利得が1よりも小さい利得制限部24の出力信号であるため、通過特性が歪みにくい。したがって、出力信号の周波数のふらつきを抑制した発振回路を実現できる。

30

【0031】

また、第1実施形態に係る発振回路1によれば、利得が1よりも大きい利得部22の出力信号が発振回路としての出力信号となるため、振幅の大きい信号を出力することができる。

40

【0032】

第1実施形態に係る発振回路1は、MEMS振動子10の第1電極11と第2電極12との間にバイアス電圧を印加する電圧印加部40を含んでいてもよい。図1に示される例では、電圧印加部40は、第1電圧端子41と第2電圧端子42を含んで構成されている。第1電圧端子41はMEMS振動子10の第1電極11と接続され、第2電圧端子42はMEMS振動子10の第2電極12と接続されている。

【0033】

MEMS振動子10として静電型のMEMS振動子を用いる場合には、MEMS振動子を構成する電極間に電位差(バイアス電圧)を与える必要がある。図1に示される例では

50

、電圧印加部 40 が第 1 電圧端子 41 と第 2 電圧端子 42 との間に電位差を生じさせることによって、MEMS 振動子 10 の第 1 電極 11 と第 2 電極 12 との間にバイアス電圧を印加することができる。

【0034】

MEMS 振動子 10 の第 1 電極 11 は、キャパシター 61 を介して利得部 22 の第 1 入力端子 221 と接続されてもよい。また、MEMS 振動子 10 の第 2 電極 12 は、キャパシター 62 を介して利得制限部 24 の第 2 出力端子 242 と接続されてもよい。これによって、利得部 22 の第 1 入力端子 221 と利得制限部 24 の第 2 出力端子 242 との間に不要な電位差を与えないようにすることができる。

【0035】

第 1 実施形態に係る発振回路 1 は、MEMS 振動子 10 の第 1 電極 11 と接地電位 GND との間に接続されたキャパシター 71 と、MEMS 振動子 10 の第 2 電極 12 と接地電位 GND との間に接続されたキャパシター 72 とを含んで構成されていてもよい。

【0036】

このような発振回路 1 によれば、MEMS 振動子 10 と、キャパシター 71 及びキャパシター 72 とで共振回路を構成する発振回路とすることができます。

【0037】

2. 第 2 実施形態に係る発振回路

図 4 は、第 2 実施形態に係る発振回路 2 を示す回路図である。以下においては第 1 実施形態に係る発振回路 1 とは異なる構成について詳述し、第 1 実施形態に係る発振回路 1 と同様の構成については同一の符号を付して説明を省略する。

【0038】

第 2 実施形態に係る発振回路 2 は、第 1 電極 11 と第 2 電極 12 との間にバイアス電圧を印加する電圧印加部 40 と、利得制限部 24 及び電圧印加部 40 を制御する制御部 50 と、を含み、制御部 50 は、利得制限部 24 における利得と、電圧印加部 40 が印加するバイアス電圧とを関連付けて制御する。

【0039】

図 4 に示される例では、制御部 50 は、制御信号 S1 を電圧印加部 40 に出力することによって、電圧印加部 40 が印加するバイアス電圧を制御する。また、図 4 に示される例では、制御部 50 は、制御信号 S2 を利得制限部 24 に出力することによって、利得制限部 24 における利得を制御する。

【0040】

なお、図 4 に示される例では、制御部 50 は、利得制限部 24 及び電圧印加部 40 を直接的に制御しているが、制御部 50 は、利得制限部 24 及び電圧印加部 40 の少なくとも一方を間接的に制御してもよい。例えば、制御部 50 は、電圧印加部 40 を介して利得制限部 24 を制御してもよい。

【0041】

図 5 は、電圧印加部 40 の一例を示す回路図である。図 5 に示される例では、制御信号 S1 として n ビットの制御信号を用い、各ビットに対応する信号を S11、S12、S13、…、S1n としている。

【0042】

図 5 に示される電圧印加部 40 は、基準電圧源 402 と、演算增幅器 404 と、抵抗 R10 と、可変抵抗 R20 を含んで構成されている。また、第 1 電圧端子 41 は接地電位 GND に接続され、第 2 電圧端子 42 は演算增幅器 404 の出力端子に接続されている。

【0043】

基準電圧源 402 は、電圧印加部 40 が印加するバイアス電圧の基準となる基準電圧 Vref を生成する。演算增幅器 404 の非反転入力端子は、基準電圧源 402 の出力端子に接続されている。すなわち、基準電圧源 402 が生成した基準電圧 Vref は、演算增幅器 404 の非反転入力端子に入力される。演算增幅器 404 の反転出力端子は、抵抗 R10 を介して演算增幅器 404 の出力端子に接続されるとともに、可変抵抗 R20 を介し

て接地電位 GND に接続されている。

【0044】

可変抵抗 R20 は、演算増幅器 404 の非反転入力端子に近い側から順に、直列に接続された抵抗 R200、抵抗 R201、抵抗 R202、・・・、抵抗 R20n を含んで構成されている。また、可変抵抗 R20 は、抵抗 R201 から抵抗 R20n までを接地電位 GND に短絡する NMOS トランジスター TN11、抵抗 R202 から抵抗 R20n までを接地電位 GND に短絡する NMOS トランジスター TN12、抵抗 R203（不図示）から抵抗 R20n までを接地電位 GND に短絡する NMOS トランジスター TN13、・・・、抵抗 R20n-1（不図示）から抵抗 R20n までを接地電位 GND に短絡する NMOS トランジスター TN1n を含んで構成されている。10

【0045】

NMOS トランジスター TN11 のゲートには制御信号 S11、NMOS トランジスター TN12 のゲートには制御信号 S12、NMOS トランジスター TN13 のゲートには制御信号 S13、・・・、NMOS トランジスター TN1n のゲートには制御信号 S1n が入力される。したがって、制御信号 S11 ~ S1n によって、抵抗 R201 ~ R20n のうちの短絡される抵抗を選択できるので、可変抵抗 R20 の抵抗値を変更できる。

【0046】

また、演算増幅器 404 の出力電圧（電圧印加部 40 が印加するバイアス電圧）Vp は、以下の式で表される。

【0047】

$$V_p = (1 + \text{抵抗 } R_{10} \text{ の抵抗値} / \text{可変抵抗 } R_{20} \text{ の抵抗値}) \cdot V_{ref}$$

【0048】

したがって、可変抵抗 R20 の抵抗値を変更することによって、電圧印加部 40 が印加するバイアス電圧 Vp を変更することができる。

【0049】

図 6 は、利得制限部 24 の一例を示す回路図である。図 6 に示される例では、制御信号 S2 として n ビットの制御信号を用い、各ビットに対応する信号を S21、S22、S23、・・・、S2n としている。

【0050】

図 6 に示される利得制限部 24 は、図 2 に示される定電流源 Ic1 及び定電流源 Ic2 に代えて、PMOS トランジスター TP31 ~ TP33、NMOS トランジスター TN31 ~ TN34、可変抵抗 R30 を含んで構成されている。30

【0051】

PMOS トランジスター TP31 のソースは電源電位 Vdd に接続され、ドレインは NMOS トランジスター TN31 のドレインに接続されるとともに、PMOS トランジスター TP31 ~ TP33 のゲートに接続されている。TN31 のソースは可変抵抗 R30 を介して接地電位 GND に接続されている。

【0052】

PMOS トランジスター TP32 のソースは電源電位 Vdd に接続され、ドレインは NMOS トランジスター TN32 のドレインに接続されるとともに、NMOS トランジスター TN31 ~ TN32 のゲートに接続されている。NMOS トランジスター TN32 のソースは NMOS トランジスター TN33 のドレインに接続されるとともに、NMOS トランジスター TN33 ~ TN34 のゲートに接続されている。NMOS トランジスター TN33 のソースは接地電位 GND に接続されている。40

【0053】

PMOS トランジスター TP33 のソースは電源電位 Vdd に接続され、ドレインは PMOS トランジスター TP3 のソースに接続されている。NMOS トランジスター TN34 のドレインは NMOS トランジスター TN3 に接続され、ソースは接地電位 GND に接続されている。

【0054】

10

20

30

40

50

すなわち、PMOSトランジスターTP31に流れる電流がPMOSトランジスターTP32～TP33にミラーされるカレントミラー回路となっており、NMOSトランジスターTN32に流れる電流がNMOSトランジスターTN31にミラーされるカレントミラー回路となっており、NMOSトランジスターTN33に流れる電流がNMOSトランジスターTN34にミラーされるカレントミラー回路となっている。

【0055】

可変抵抗R30は、NMOSトランジスターTN31のソースに近い側から順に、直列に接続された抵抗R300、抵抗R301、抵抗R302、・・・、抵抗R30nを含んで構成されている。また、可変抵抗R30は、抵抗R301から抵抗R30nまでを接地電位GNDに短絡するNMOSトランジスターTN21、抵抗R302から抵抗R30nまでを接地電位GNDに短絡するNMOSトランジスターTN22、抵抗R303(不図示)から抵抗R30nまでを接地電位GNDに短絡するNMOSトランジスターTN23、・・・、抵抗R30n-1(不図示)から抵抗R30nまでを接地電位GNDに短絡するNMOSトランジスターTN2nを含んで構成されている。10

【0056】

NMOSトランジスターTN21のゲートには制御信号S21、NMOSトランジスターTN22のゲートには制御信号S22、NMOSトランジスターTN23のゲートには制御信号S23、・・・、NMOSトランジスターTN2nのゲートには制御信号S2nが入力される。したがって、制御信号S21～S2nによって、抵抗R301～R30nのうちの短絡される抵抗を選択できるので、可変抵抗R30の抵抗値を変更できる。20

【0057】

また、可変抵抗R30の抵抗値が大きくなるほど、PMOSトランジスター33に流れる電流及びNMOSトランジスターTN34に流れる電流が小さくなる。したがって、可変抵抗R30の抵抗値を変更することによって、利得制限部24の利得を変更することができる。

【0058】

図7は、MEMS振動子10の通過特性を示す模式的なグラフである。横軸は入力信号の周波数、縦軸はSパラメーター[S21]における通過特性を表す。また、バイアス電圧が電圧Vp1である場合の通過特性を通過特性B1、バイアス電圧が電圧Vp2である場合の通過特性を通過特性B2、バイアス電圧が電圧Vp3である場合の通過特性を通過特性B3とする。また、電圧Vp1 < 電圧Vp2 < 電圧Vp3の大小関係が成立しているものとする。なお、MEMS振動子10に入力される信号の電力は同一であるものとする。30

【0059】

図7に示されるように、バイアス電圧が大きくなるほど損失が小さくなるので、通過特性のピークが大きくなる。したがって、MEMS振動子10に入力される信号の電力が大きくなる。

【0060】

図7に示されるように、バイアス電圧が電圧Vp1及び電圧Vp2である場合には、MEMS振動子10に入力される信号の電力が、MEMS振動子10が線形的に動作できる電力範囲にある電力となり、通過特性B1及び通過特性B2は、共振周波数(通過特性が最大となる周波数)付近において周波数の増減に対して対称的な形となる。40

【0061】

しかしながら、バイアス電圧が電圧Vp3である場合には、MEMS振動子10に入力される信号の電力が、MEMS振動子10が線形的に動作できる電力範囲を超えて大きい電力となるため、通過特性B3は、共振周波数付近において周波数の増減に対して非対称的な形となる。

【0062】

MEMS振動子10は、バイアス電圧の大きさによって損失の大きさが変化するので、通過特性の歪み度合が変化する。第2実施形態に係る発振回路2によれば、制御部50が50

、利得制限部 24 における利得と、電圧印加部 40 が印加するバイアス電圧とを関連付けて制御することによって、出力信号の周波数のふらつきをさらに抑制した発振回路を実現できる。

【0063】

制御部 50 は、電圧印加部 40 が印加するバイアス電圧が大きくなるほど、利得制限部 24 における利得が小さくなるように制御してもよい。

【0064】

図 5 及び図 6 に示される例では、制御部 50 は、電圧印加部 40 の可変抵抗 R20 の抵抗値が小さくなるように制御するほど、利得制限部 24 の可変抵抗 R30 の抵抗値が大きくなるように制御する。

10

【0065】

図 7 に示されるように、MEMS 振動子 10 は、バイアス電圧が大きくなるほど損失が大きくなり、通過特性が歪みやすくなる傾向がある。制御部 50 が、電圧印加部 40 が印加するバイアス電圧が大きくなるほど、利得制限部 24 における利得が小さくなるように制御することによって、出力信号の周波数のふらつきをさらに抑制した発振回路を実現できる。

【0066】

3. MEMS 振動子の構成例

図 8 は、MEMS 振動子 10 の構成例を模式的に示す平面図である。図 9 は、MEMS 振動子 10 の構成例を模式的に示す断面図である。なお、図 9 は、図 8 の I - I 線断面図である。

20

【0067】

なお、本実施形態に係る記載では、「上方」という文言を、例えば、「特定のもの（以下、「A」という）の「上方」に他の特定のもの（以下、「B」という）を形成する」などと用いる場合に、A 上に直接 B を形成するような場合と、A 上に他のものを介して B を形成するような場合とが含まれるものとして、「上方」という文言を用いている。

【0068】

図 8 に示されるように、MEMS 振動子 10 は、基板 1010 の上方に設けられた第 1 電極 11 及び第 2 電極 12 を含んで構成されている。図 9 に示されるように、第 1 電極 11 及び第 2 電極 12 は、空隙を隔てて配置されている。

30

【0069】

図 9 に示されるように、基板 1010 は、支持基板 1012 と、第 1 下地層 1014 と、第 2 下地層 1016 とを有することができる。

【0070】

支持基板 1012 としては、例えば、シリコン基板等の半導体基板を用いることができる。支持基板 1012 として、セラミック基板、ガラス基板、サファイア基板、ダイヤモンド基板、合成樹脂基板などの各種の基板を用いてもよい。

【0071】

第 1 下地層 1014 は、支持基板 1012 の上方に（より具体的には支持基板 1012 上に）形成されている。第 1 下地層 1014 としては、例えば、トレンチ絶縁層、LOCOS (local oxidation of silicon) 絶縁層、セミリセス LOCOS 絶縁層を用いることができる。第 1 下地層 1014 は、MEMS 振動子 10 と、支持基板 1012 に形成された他の素子（図示せず）と、を電気的に分離することができる。

40

【0072】

第 2 下地層 1016 は、第 1 下地層 1014 上に形成されている。第 2 下地層 1016 の材質としては、例えば、窒化シリコンが挙げられる。

【0073】

MEMS 振動子 10 の第 1 電極 11 は、基板 1010 上に形成されている。第 1 電極 11 の形状は、例えば、層状又は薄膜状である。

【0074】

50

MEMS振動子10の第2電極12は、第1電極11と間隔を空けて形成されている。第2電極12は、基板10上に形成された支持部122と、支持部122に支持されており第1電極11の上方に配置された梁部124と、を有する。支持部122は、例えば、第1電極11と空間をあけて対向配置されている。第2電極12は、片持ち梁状に形成されている。

【0075】

第1電極11及び第2電極12の間に電圧が印加されると、梁部124は、第1電極11と第2電極12との間に発生する静電力により振動することができる。すなわち、図8及び図9に示されるMEMS振動子10は、静電型のMEMS振動子である。なお、MEMS振動子10は、第1電極11及び第2電極12を減圧状態で気密封止する被覆構造体を有していてもよい。これにより、梁部124の振動時における空気抵抗を減少させることができる。
10

【0076】

第1電極11及び第2電極12の材質としては、例えば、所定の不純物をドーピングすることにより導電性が付与された多結晶シリコンが挙げられる。

【0077】

なお、MEMS振動子10としては、上述された構成に限らず、種々の公知のMEMS振動子を採用できる。

【0078】

なお、上述した実施形態及び変形例は一例であって、これらに限定されるわけではない。例えは各実施形態及び各変形例は、複数を適宜組み合わせることが可能である。
20

【0079】

本発明は、上述した実施形態に限定されるものではなく、さらに種々の変形が可能である。例えば、本発明は、実施形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施形態で説明した構成に公知技術を附加した構成を含む。

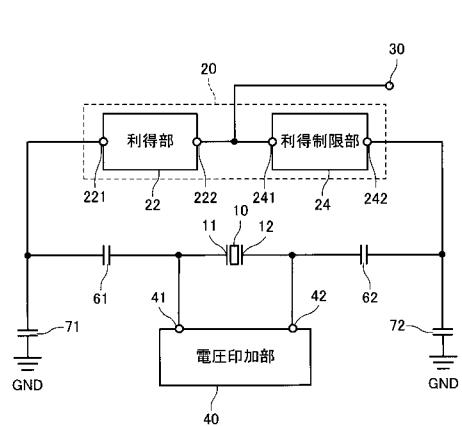
【符号の説明】

30

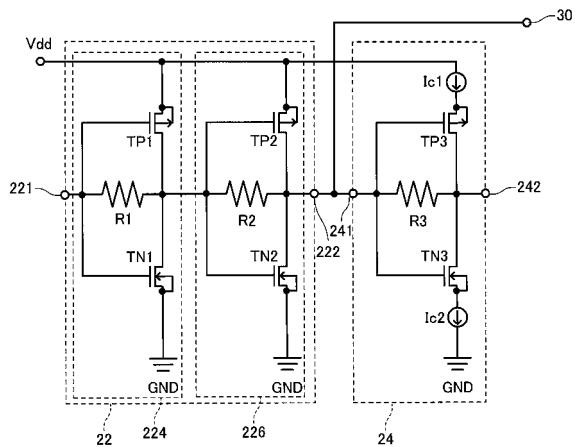
【0080】

1, 2 発振回路、10 MEMS振動子、11 第1電極、12 第2電極、20 増幅部、22 利得部、24 利得制限部、30 出力端子、40 電圧印加部、41 第1電圧端子、42 第2電圧端子、50 制御部、61, 62 キャパシター、71, 72 キャパシター、122 支持部、124 梁部、221 第1入力端子、222 第1出力端子、224, 226 インバーター回路、241 第2入力端子、242 第2出力端子、402 基準電圧源、404 演算増幅器、1010 基板、1012 支持基板、1014 第1下地層、1016 第2下地層、GND 接地電位、Ic1, Ic2 定電流源、R1, R2, R3, R10, R200, R201, R202, R20n, R300, R301, R302, R30n 抵抗、R20, R30 可変抵抗、S1, S2, S11, S12, S13, S1n 制御信号、TN1, TN2, TN3, TN11, TN12, TN13, TN1n, TN21, TN22, TN23, TN2n, TN31, TN32, TN33, TN34 NMOSトランジスター、TP1, TP2, TP3, TP31, TP32, TP33 PMOSトランジスター、Vdd 電源電位
40

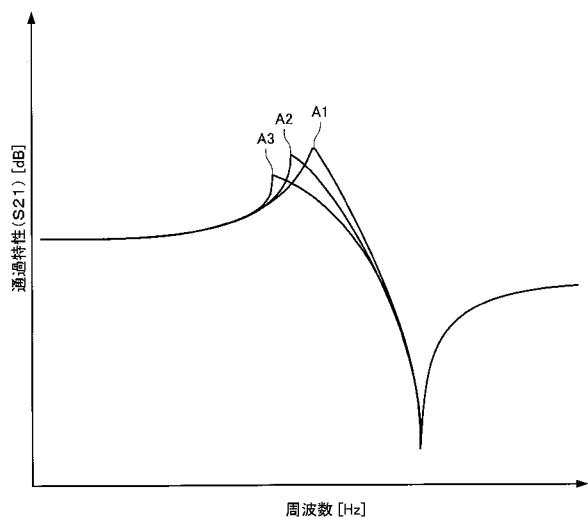
【図1】



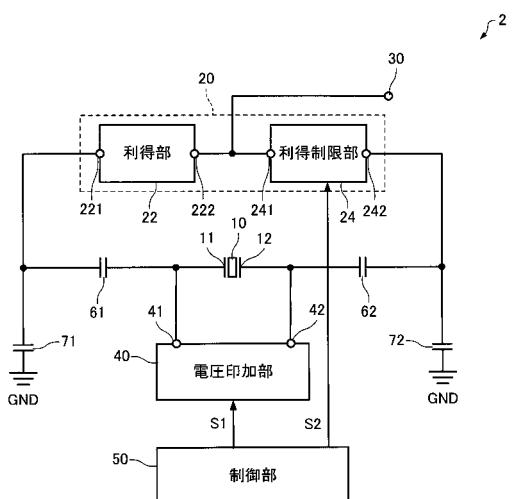
【図2】



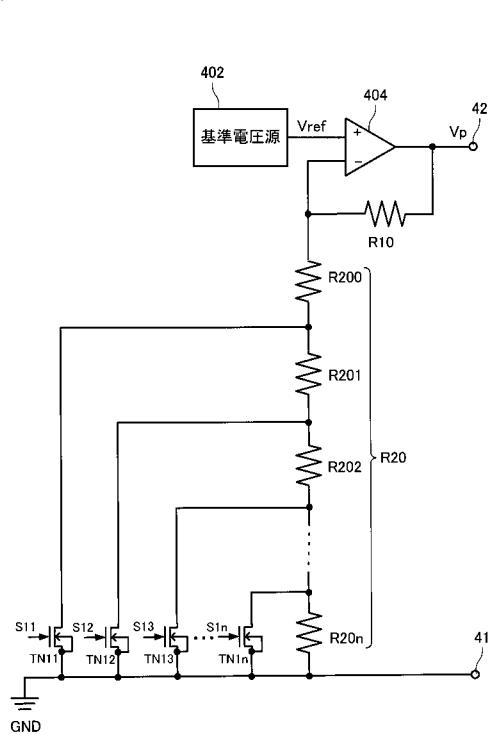
【図3】



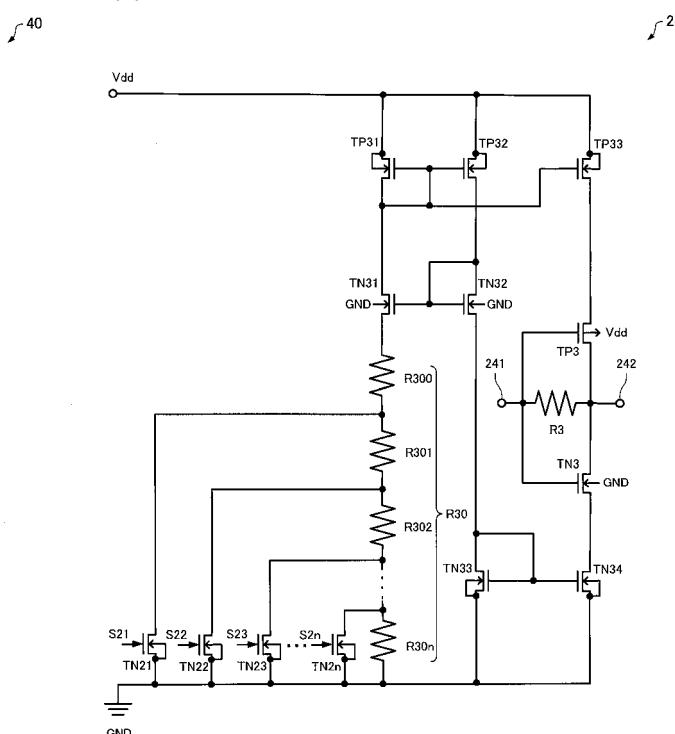
【図4】



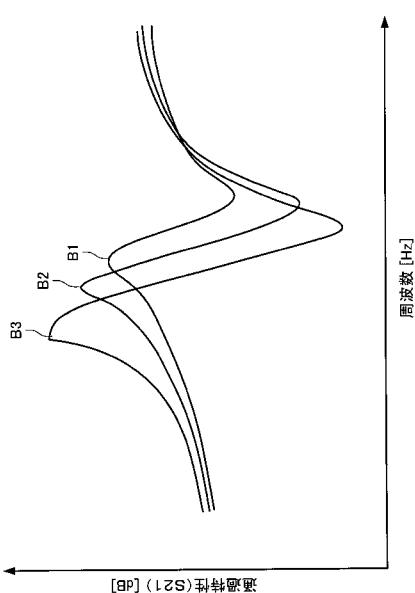
【図5】



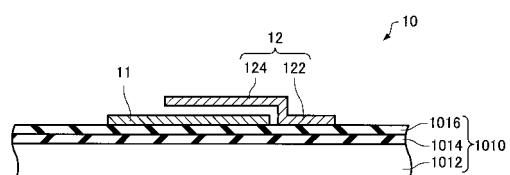
【図6】



【図7】



【図9】



【図8】

