

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 3 月 13 日 (13.03.2008)

PCT

(10) 国際公開番号
WO 2008/029611 A1

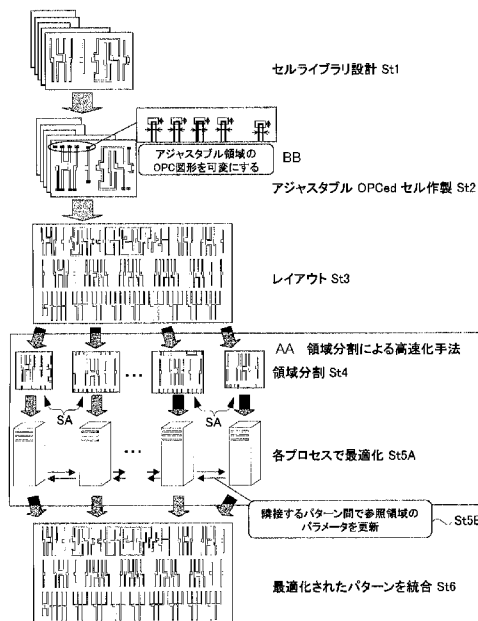
- (51) 国際特許分類:
G03F 1/08 (2006.01) H01L 21/82 (2006.01)
H01L 21/027 (2006.01)
- (21) 国際出願番号: PCT/JP2007/066111
- (22) 国際出願日: 2007 年 8 月 20 日 (20.08.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-239785 2006 年 9 月 5 日 (05.09.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).

- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 野里 博和 (NOSATO, Hirokazu) [JP/JP]; 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 松縄 哲明 (MATSUNAWA, Tetsuaki) [JP/JP]; 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 坂無 英徳 (SAKANASHI, Hidenori) [JP/JP]; 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 村川 正宏 (MURAKAWA, Masahiro) [JP/JP]; 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 樋口 哲也 (HIGUCHI, Tetsuya) [JP/JP]; 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH,

[続葉有]

(54) Title: MASK PATTERN DESIGN METHOD, MASK PATTERN DESIGN DEVICE, AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: マスクパターン設計方法、マスクパターン設計装置および半導体装置の製造方法



St1 CELL LIBRARY DESIGN
St2 ADJUSTABLE OPCed CELL CREATION
St3 LAYOUT
AA METHOD FOR INCREASING SPEED BY DIVIDING REGION
St4 REGION DIVISION
St5A OPTIMIZATION IN EACH PROCESS
St5B UPDATE PARAMETER OF REFERENCE REGION BETWEEN ADJACENT PATTERNS
St6 INTEGRATE OPTIMIZED PATTERN
BB CHANGE OPC FIGURE OF ADJUSTABLE REGION

(57) Abstract: It is possible to reduce the processing time of the optical proximity effect correction (OPC). A mask layout pattern is generated by arranging a plurality of cells which have been subjected to the OPC process. Next, the mask layout pattern is divided into a plurality of separated areas (SA). Each of the separated areas (SA) is configured by a cell as a base and has information on the cell and information on reference region including a part of the design pattern of the other cells adjacent to the cell. Subsequently, adjustment for OPC optimization is performed in parallel on each of the separated areas (SA). Here, the figures of the reference regions are updated between the adjacent separated areas (SA). After this, the separated areas (SA) subjected to the optimization process are integrated to prepare a mask layout pattern.

(57) 要約: 光近接効果補正 (OPC) の処理時間を短縮する。

OPC 処理が施された複数のセルを配置することでマスクレイアウトパターンを生成する。続いて、そのマスクレイアウトパターンを複数の分割領域 SA に分割する。この分割領域 SA は、セルを基本として構成されており、セルの情報と、そのセルの周辺に隣接する他のセルの一部の設計パターンを含む参照領域の情報とを有している。続いて、複数の分割領域 SA の各々に対して OPC 最適化のための調整を並列で行う。また、この時、隣接する分割領域 SA 間で互いに参照領域の図形を更新する。その後、最適化処理が施された複数の分割領域 SA を統合してマスクレイアウトパターンを作製する。

WO 2008/029611 A1



BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

マスクパターン設計方法、マスクパターン設計装置および半導体装置の製造方法

技術分野

[0001] 本発明は、リソグラフィのマスク技術に係わり、特に、光リソグラフィの露光波長より小さいパターンを形成するためのマスクパターン設計技術、マスクパターン設計装置および半導体装置の製造技術に関するものである。

背景技術

[0002] 半導体産業では、半導体集積回路の集積密度の増加に伴い、半導体ウエハ上にLSIパターンを転写する光リソグラフィの解像度を向上させるための技術が求められてきた。その代表例として、位相シフトマスクや変形照明などの超解像度技術が挙げられる。

[0003] しかし、現在、これらの技術だけでは、半導体ウエハに転写するLSIパターンの忠実性を維持することが困難になっている。その理由は、転写するLSIパターンの微細化が進むにつれて光近接効果(Optical Proximity Effect:以下、OPEと略す)が顕在化するからである。

[0004] これは、マスクパターンで回折した光のうち、低次成分の回折光しか半導体ウエハ上に集光されないことにより、マスクパターンの輪郭がそのまま半導体ウエハ上に形成されず、パターンの角部が丸くなったり長さが短くなったりする等、パターンの形状精度が大幅に劣化し、パターンの忠実性が低下する現象である。

[0005] このOPEの問題は、半導体集積回路の微細化に伴い、転写するLSIパターンの最小ピッチの半分(ハーフピッチ(half pitch):以下、hpと略す)が露光波長以下になると、マスクパターンによって回折された光のうち、低次成分しかレンズを通過できなくなり、半導体ウエハ上に到達できる回折光の次数が低下するので顕著になる。例えば露光波長が248nmで、hpが350nm(hp>露光波長)の光リソグラフィではそれほど問題視されていなかったが、現在主流の露光波長が193nmで、hpが90nmの90nm世代(hp<露光波長)の光リソグラフィでは、OPEが深刻な問題となっている。

[0006] そこで、現在では、マスクパターンの設計において、上記OPEを打ち消す補正パターンを生成する光近接効果補正 (Optical Proximity Correction; 以下、OPCと略す) が必要不可欠となっている。このOPCは、OPEを事前に予測し、マスクパターンの寸法や形状を補正することで、LSIパターンの半導体ウエハへの転写精度を向上させる技術である。

[0007] 現在、用いられているOPCの手法は、主にルールベースOPCと、モデルベースOPCとに大別することができる。

[0008] ルールベースOPCは、隣接パターンの距離や寸法に応じて補正図形の形状や寸法を定めるルールテーブルを作製し、これに従いマスクパターンを補正する。この方法には、計算速度が速く、補正後のマスクデータ量があまり大きくならないという利点がある。

しかし、補正精度を向上させるためにはより複雑なルールが必要となるため、ルールを作製する作業負荷が増大する。さらに、半導体集積回路の微細化が進むと、OPEの影響範囲が、隣接するパターン間の最小距離を越え、ひとつ先のパターンからのOPEにより、補正精度が急激に悪化する。そのため、hpが130nm世代以降のOPCでは、ルールベースOPCは精度があまり必要とされない部分などに限定され用いられている。

[0009] このようなルールベースOPCについては、例えば特開2002-303964号公報 (特許文献1) および特開2001-281836号公報 (特許文献2) に開示がある。上記特許文献1には、線幅および隣接するスペース幅に応じて図形演算することによって、また、上記特許文献2には、線分ベクトル化処理および線分ソート処理を行って線幅およびスペース幅の算出を行い、ハッシュ関数を用いた補正テーブルを参照してパターン補正を行うルールベースOPCがそれぞれ開示されている。

[0010] モデルベースOPCでは、OPEによって変動する露光パターンの形状や寸法を光学シミュレーションにより予測して、これを打ち消すための補正図形を作製する。この方法は、ルールベースOPCよりも緻密な補正を行うことができるため、hpが130nm世代以降のOPCの補正精度に対応可能である。

[0011] しかし、モデルベースOPCでは、マスクパターンを構成する全てのパターンに対し

て補正計算を行う(チップ全面OPC)ために、膨大な計算負荷(時間、マスクデータ量)がかかるという問題がある。特に、光学シミュレーションでは、光学理論に基づく計算モデルを用いているため、その処理時間は、計算するレイアウトパターンの面積(メッシュ数×精度)の2乗に比例して増大する。これら計算負荷は、半導体集積回路の微細化とともに増加しており、マスクコストを引き上げる深刻な要因の1つとなっている。この問題点は、半導体産業においてデバイスの微細化を妨げる深刻な問題として認識されている。

[0012] このようなモデルベースOPCについては、例えば特開2004-061720号公報(特許文献3)に開示がある。この特許文献3には、転写実験によりプロセス効果を取り込んだモデルベースOPCが開示されている。

[0013] 上記の光シミュレータを用いたモデルベースOPCでは、所望の転写パターンを得るまでマスクパターンを変形させて行くのであるが、その追い込み方によってさまざまな方法が提案されている。例えば、光学像が部分的に膨らんでいたらその分を細らせ、また細っていたらその分を太らせ、その状態で光学像を再計算して次第に追いつんでいく方法、いわゆる逐次改善法などがある。また、遺伝的アルゴリズム(Genetic Algorithm)を用いて追いつんで行く方法も提案されている。遺伝的アルゴリズムを用いた方法では、パターンを複数の線分に分割し、それらの線分の変位を変位コードとして割り当てる。変位コードを染色体とみなして、遺伝の進化を計算し、所望の光学像に追いつむ方法である。

[0014] 上記遺伝的アルゴリズムは、集団遺伝学をモデルとした探索手法であり、対象とする問題に依存せずに高い最適化性能を示せるなどの優れた性能が知られている。遺伝的アルゴリズムの参考文献としては、例えば、出版社アディソン・ウェスレイ・パブリッシング・カンパニ(ADDISON-WESLEY PUBLISHING COMPANY, INC.)が1989年に出版した、デイビッド・イー・ゴールドバーグ(David E. Goldberg)著のジェネティック・アルゴリズム・イン・サーチ、オプティマイゼーション、アンド・マシーン・ラーニング(Genetic Algorithms in Search, Optimization, and Machine Learning)(非特許文献1)がある。また、遺伝的アルゴリズムを用いたOPCの最適化法については、例えば特許第3512954号公報(特許文献4)に記載がある。

- [0015] 遺伝的アルゴリズムでは、探索問題の解候補を染色体と呼ばれるビット列で表現し、複数の染色体からなる集団に対して文字列操作を行い、生存競争を行わせる。各染色体は探索問題そのものである目的関数により評価され、その結果はスカラー値である適応度として計算される。高い適応度を持つ染色体には、多くの子孫を残す機会を与える。さらに、集団内での染色体同士で交叉を行い、突然変異を施すことによって、新しい染色体を生成する。このような処理を繰り返すことにより、より高い適応度を持つ染色体が生成され、適応度の最も高い染色体が最終的な解となる。
- [0016] しかし、上記の遺伝的アルゴリズムを活用した従来のマスクパターン設計では、半導体チップの回路パターンを定義するマスクの全図形に対してOPCを行なっているため、回路パターンの微細化に伴う図形数の増大に起因して、処理時間が膨大になっている。
- [0017] 実際に90nmノードデバイスで数十時間の時間を要しているケースがある。また、露光にとって極限の解像度でパターンを形成することによる露光コントラストの低下のため、さらなる微細化ではOPCはより複雑かつ図形数の多いものとなり、例えば65nmノードデバイスでは、マスクパターン発生にかかる時間は数日にも及ぶようになって来た。その一方、半導体装置の製品サイクルは短くなっていることから、マスクパターン設計において、OPC処理時間の短縮は、極めて大きな課題となっている。
- [0018] 例えば特開2002-328457号公報(特許文献5)には、マスクレイアウト全体ではなく、部分ごとに図形を変更する方式が記載されている。その手順は、まず、設計レイアウトデータ中に含まれる補正対象セルの各々について、その対象セルの周囲に他の図形が存在するか否かに応じて、特定の形式で表現された環境プロファイルを決する。そして、セル置換テーブルを参照して、決定された環境プロファイルに対応して置き換えられるべき補正パターンの名前である置換セル名を読み出し、補正後、レイアウトデータを生成する。最後に、読み出した置換セル名に対応する補正パターンをセルライブラリから取り出し、補正完了済みのマスクデータを生成する。
- [0019] また、特開2006-058413号公報(特許文献6)や、特開2005-156606号公報(特許文献7)には、実際のリソグラフィ工程で短絡不良や開放不良が発生する可能性が高い危険箇所をチップ全体の光学シミュレーションにより求め、危険箇所周辺に

測定ポイントを配置したり、危険箇所周辺だけをより詳細にシミュレーションしたりすることによって、OPC図形の調整を行う技術が開示されている。

[0020] また、例えば米国APRIO社製「HALO-OPC」(ソフトウェア製品)のように、レイアウト後のマスク設計データにおいて、ECO(engineering change order)などの部分的な変更があった場合は、影響のある部分だけを再度OPC処理することにより、マスクレイアウト全体をOPC処理する場合に比べて処理時間を短縮できるようにしたEDA(Electronic Design Automation)ツールが市販されている。

[0021] また、プニート グプタ、フクールエン ヘン、アンド マーク ラビン(Puneet Gupta, Fook-Luen Heng and Mark Lavin)、メリット オブ セルワイズ モデルベースド OPC デザイン アンド プロセス インテグレイション フォー マイクロエレクトロニック マニュファクチャリング II(Merits of Cellwise Model-Based OPC Design and Process Integration for Microelectronic Manufacturing II)、ラース ダブル リーブマン編集(edited by Lars W.Liebmann)、プロシーディングス オブ エス・ピー・アイ・イー(Proc.of SPIE)Vol.5379,2004(非特許文献2)には、事前に想定した周囲の状況に応じて、セル内部のOPC図形を予め決定しておく技術が開示されている。

[0022] また、上記チップ全面のモデルベースOPCの問題点を解決するための手段として、セルワイズOPC(cell-wise OPC)が提案されている。このセルワイズOPCの特徴は、レイアウト設計の前段階としてセル毎にOPCを適用することでチップ全面OPCを不要とし、設計時間とマスクデータ量とを削減することである。代表的なセルワイズOPCでは、セルライブラリ設計段階で使用頻度の高い標準的なセルに対してOPCを適用している。

[0023] このようなセルワイズOPCについては、例えば、シン ワン その他著(Xin Wang, et al.)、エクスプロイティング ハイアラキカル ストラクチャ トゥ エンハス セルベース アールイーティー ウィズ ローカライズド OPC レコンフィギュアレイション デザイン アンド プロセス インテグレイション フォー マイクロエレクトロニック マニュファクチャリング III(Exploiting hierarchical structure to enhance cell-based RET with localized OPC reconfiguration , Design and Process Integration for Microelectronic Manufacturing III)、ラース ダブル リーブマン編集(edited by Lars W.Liebmann)、プ

ロシーディング オブ エス・ピー・アイ・イー (Proceedings of SPIE) Vol.5756,2005(非特許文献3)に記載があり、予めセル毎にOPC処理をしておく、セルワイズOPC (Cell-Wise OPC)方式が開示されている。

[0024] また、例えば特開平11-327120号公報(特許文献8)には、膨大な量のマスクパターンのシミュレーションを効率良く行うために、マスクパターンを複数の領域に分割し、複数の演算処理プロセッサの各々に分割したマスクパターン領域毎の光強度シミュレーション計算を実行させる技術が開示されている。

特許文献1:特開2002-303964号公報

特許文献2:特開2001-281836号公報

特許文献3:特開2004-061720号公報

特許文献4:特許第3512954号公報

特許文献5:特開2002-328457号公報

特許文献6:特開2006-058413号公報

特許文献7:特開2005-156606号公報

特許文献8:特開平11-327120号公報

非特許文献1:デイビッド・イー・ゴールドバーグ (David E. Goldberg) 著、ジェネティック・アルゴリズム・イン・サーチ、オブティマイゼーション、アンド・マシーン・ラーニング (Genetic Algorithms in Search, Optimization, and Machine Learning)、アディソン・ウェスレイ・パブリッシング・カンパニ (ADDISON-WESLEY PUBLISHING COMPANY, INC.) 1989

非特許文献2:グプタ、フクールエン ヘン、アンド マーク ラビン (Puneet Gupta, Foo k-Luen Heng and Mark Lavin)、メリット オブ セルワイズ モデルベースド OPC デザイン アンド プロセス インテグレイション フォー マイクロエレクトロニック マニュファクチャリング II (Merits of Cellwise Model-Based OPC Design and Process Integration for Microelectronic Manufacturing II)、ラース ダブル リーブマン編集 (edited by Lars W.Liebmann)、プロシーディングス オブ エス・ピー・アイ・イー (Proc. of SPIE) Vol.5379,2004

非特許文献3:シン ワン その他著 (Xin Wang, et al.)、エクスプロイティン グ ハイア

ラキカル ストラクチャ トウ エンハス セルベース アールイーティー ウィズ ローカライズド OPC レコンフィギュアレイション デザイン アンド プロセス インテグレイション フォー マイクロエレクトロニック マニュファクチャリング III (Exploiting hierarchical structure to enhance cell-based RET with localized OPC reconfiguration , Design and Process Integration for Microelectronic Manufacturing III)、ラース ダブルリーブマン編集 (edited by Lars W.Liebmann)、プロシーディング オブ エス・ピー・アイ・イー (Proceedings of SPIE) Vol.5756,2005

発明の開示

発明が解決しようとする課題

- [0025] 前述した特許文献5に記載された方式は、補正対象セルに関し、想定し得るすべての環境プロファイルについて、置き換えられるべき最適な補正パターンを決定し、各補正パターンに置換セル名を与え、前記環境プロファイルと置換セル名とを関連付けて、あらかじめセル置換テーブルに格納しておかねばならないので、事前準備に要するコストが大きく、多くの記憶領域が必要となるなどの問題がある。
- [0026] また、前述した特許文献6や特許文献7では、チップ全体の光学シミュレーションによって求めた危険箇所の周辺に測定ポイントを配置したり、危険箇所の周辺だけをより詳細にシミュレーションしたりすることによって、OPC処理時間の短縮を図っている。しかし、これらの従来技術は、危険箇所の検出に多大な計算時間を要するため、OPC処理時間を有効に短縮することができないという問題がある。
- [0027] また、前述したHALO-OPCのようなEDAツールは、OPC処理済みのマスクレイアウトデータに対して修正が加えられた際、その周囲の領域だけにOPC処理を施す方式を採用しているが、セル単位で処理しないため、設計との整合性に劣るという問題点がある。しかも、パターン転写時にホットスポットと呼ばれる忠実性の劣化が生じ易いことから、短絡や断線が生じる可能性が高い箇所のOPC処理が終わった後、検証ツールで精密に求める処理に大きな計算コストを要するという問題がある。
- [0028] このように、従来のOPC技術は、回路パターンの微細化に伴う図形数の増加によって処理時間が増大し、半導体デバイスの製造TAT(Turn Around Time)が増大し、ひいては製造コストが増大するという問題を解決することが困難である。

[0029] また、上記セルワイズOPCでは、次の2つの理由から、高精度な補正が困難と考えられる。第1は、OPEは隣接セルの影響を受けるため、最適なOPC図形はセルの隣接環境によって大きく変化する。加えて、セルの隣接環境はレイアウトの後まで決定することができない。第2は、各セルの周辺部に特定のパターンを定義することで、セルがレイアウトされる環境を想定している。そのため、想定外のセルがレイアウトされるとOPEを打ち消すことが困難になる。すなわち、上記セルワイズOPCは、セルレイアウト後の隣接するセルからのOPEの影響について十分な補正精度が確保されておらず、補正精度を確保するためには、さらに複雑な計算を必要とする等の問題が残されている。

[0030] また、上記特許文献8では、マスクパターンを分割する際に、データ量や面積に着目して効率良くOPC処理可能なように分割領域の範囲を決めているので効率は良いものの、セルを分割してしまう(すなわち、パターンを分割してしまう)場合があるので、この技術により作製されたマスクを用いて転写されるパターンの転写精度が低下する問題がある。また、上記特許文献8では、OPCの調整時にOPC図形が変化することについて十分な考慮がなされておらず、高精度なOPC図形の生成ができないという問題もある。

[0031] 本発明の目的は、OPC処理時間を短縮することにある。

本発明の他の目的は、半導体装置の製作期間を短縮することにある。

本発明の他の目的は、半導体装置の製造コストを削減することにある。

本発明の他の目的は、OPC補正精度を向上させることにある。

本発明のさらに他の目的は、半導体装置の微細化に対応することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0032] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本発明は、OPC処理が施された複数のセルを配置することで生成されたマスクレイアウトパターンを、セルを基本として複数の領域に分割し、それぞれの領域に対して

OPC最適化のための調整を並列して行うものである。

発明の効果

[0033] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0034] マスクレイアウトパターンを複数の領域に分割することにより、光学シミュレーションの計算面積を低減できるので、その計算時間を短縮することができる。

また、マスクレイアウトパターンを複数の領域に分割することにより、1つの領域あたりの調整変数を減らすことができるので、最適解への収束性を高めることができる。また、並列処理により、分割した領域を同時に最適化することができるので、全体の調整時間を短縮することができる。

[0035] また、マスクパターン設計に際してOPC処理時間を短縮できるので、半導体装置の製造TATを短縮することができる。その結果、半導体装置の製造コストを削減することができる。

また、マスクレイアウトパターンの分割においてセルを基本に分割するので、セルを分割してしまうことがない。このため、作製されるマスクを用いて転写されるパターンの転写精度を向上させることができる。

図面の簡単な説明

[0036] [図1]検討例の有効性を検証するため検討例を適用したSRAMのゲートに使われているマスクパターンを示す平面図である。

[図2]検討例の検証に用いたマスクパターンを示す平面図である。

[図3]検討例の検証に用いたマスクパターンを示す平面図である。

[図4]検討例の検証に用いたマスクパターンを示す平面図である。

[図5]検討例の検証に用いたマスクパターンを示す平面図である。

[図6]本発明の検証に用いたマスクパターンを示す平面図である。

[図7]検討例の検証に用いたマスクパターンを示す平面図である。

[図8]検討例の検証に用いたマスクパターンを示す平面図である。

[図9]検討例の検証に用いたマスクパターンを示す平面図である。

[図10]検討例の検証に用いたマスクパターンを示す平面図である。

[図11]検討例の検証に用いたマスクパターンを示す平面図である。

[図12]図1に示すマスクパターンの部分拡大平面図である。

[図13](a)は、図2に示すマスクパターンの転写パターンを示す平面図、(b)は、図4に示すマスクパターンの転写パターンを示す平面図である。

[図14]検討例の検証に用いたマスクパターンを示す平面図である。

[図15]検討例の検証に用いたマスクパターンを示す平面図である。

[図16]図1に示すマスクパターンの転写パターンの部分拡大平面図である。

[図17]遺伝的アルゴリズムの計算手順を説明するフローチャートである。

[図18]検討例のOPC処理方法に用いられる染色体の表現の一例を示す図である。

[図19](a)は、NANDゲートのシンボルを示す図、(b)は、NANDゲートの回路図、(c)は、NANDゲートのパターンレイアウトを示す平面図である。

[図20]図19(c)に示すNANDゲートのパターンレイアウトにおいて、単位論理セルと断面を定義する破線とを表す平面図である。

[図21](a)～(f)は、図20に示す単位論理セル部を形成する際に使用するマスクパターンを示す図である。

[図22](a)～(e)は、素子分離工程までを工程順に示す断面図である。

[図23](a)～(e)は、チャネル形成までを工程順に表す断面図である。

[図24](a)～(e)は、配線の一部の形成までを工程順に示す断面図である。

[図25]図21(d)に示すマスクのパターンを示す構成図である。

[図26]図25における設計目標からの差分寸法を遺伝子表現した例を示す図である。

[図27]相対位置に基づいてセルのグループ化を行った例を示す図である。

[図28]染色体の適応度を得るための寸法の測定箇所を示す図である。

[図29]設計パターンとレジストパターンの差分画像を示す図である。

[図30]半導体装置の製造プロセスフローを示す図である。

[図31]セル単体でのOPC処理が施されたセルライブラリのセルを示す平面図である。
。

[図32]図31に示すセルの要部拡大図である。

[図33]ゲート幅の調整変数の実例を示す図である。

[図34]コンタクトー拡散層間の合わせ余裕の調整変数の実例を示す図である。

[図35]隣接セル間の解像不良回避の実例を示す図である。

[図36]拡散層へのゲート配線乗り上げ不良回避の例を示す図である。

[図37]ゲート長、隣接セル間との解像不良(パターン繋がり不良)回避余裕、拡散層へのゲート配線乗り上げ不良回避余裕、アクティブ領域からの突き出し量の再OPC調整部位を示す図である。

[図38](a)および(b)は、ゲート長の調整変数の例を示す図である。

[図39]隣接セル間の解像不良回避の実例を示す図である。

[図40]拡散層へのゲート配線乗り上げ不良回避の例を示す図である。

[図41](a)～(c)は、アクティブ領域からの突き出し補正の例を示す図である。

[図42]コンタクト層のレイアウト例を示す図である。

[図43]コンタクトパターンの調整変数の例を示す図である。

[図44]回折像の強度と $2\pi \times \rho \times NA / \lambda$ との関係を示すグラフである。

[図45]OPC図形形状が調整された4種類のセルのアジャスタブル領域を示す図である。

[図46]図45に示すセルの評価領域を示す図である。

[図47]図46に示す評価領域における線幅変動の最大値と最小値および平均値を比率で示す図である。

[図48]図45に示すセルの一部を他のセルと入れ替えた場合におけるアジャスタブル領域を示す図である。

[図49]図48に示すセルの評価領域を示す図である。

[図50]セルを変更したことにより発生した線幅変動の測定結果を評価領域ごとに示す図である。

[図51]遺伝的アルゴリズムにより調整した後の線幅変動の測定結果を評価領域ごとに示す図である。

[図52](a)、(b)は、セルのデータ構造を示す模式図である。

[図53]本発明の一実施の形態である半導体装置の製造工程であるマスクの設計工程におけるマスクパターンの分割前のレイアウト平面図である。

[図54]図53のレイアウトパターンに分割領域を配置して示したレイアウト平面図である。

[図55]図54のレイアウトパターンの左上の分割領域を抜き出して示した平面図である。

[図56]図54のレイアウトパターンの上中央の分割領域を抜き出して示した平面図である。

[図57]本発明の一実施の形態であるマスク設計工程における分割領域の平面図である。

[図58]図55および図56に示した分割領域における参照領域の更新の様子を示した平面図である。

[図59]図55および図56に示した分割領域における参照領域の更新の様子を示した平面図である。

[図60]本発明の一実施の形態であるマスクパターン設計方法における光近接効果補正の処理手順の一例を示した説明図である。

[図61]本発明の一実施の形態であるマスクパターン設計方法における分割領域のアジャスタブル図形の調整において遺伝的アルゴリズムを用いた並列最適化調整アルゴリズムのフローチャート図である。

[図62]コード化の例として、アジャスタブル図形の調整箇所と、この調整箇所に対応した、最適化における染色体の遺伝子配列を示した説明図である。

[図63]投影像の評価方法の説明図である。

[図64]従来の適応型光近接効果補正技術、マスタースレーブモデルおよび実施の形態の各実験手法の比較条件を示す図である。

[図65]回折像強度分布を示すグラフ図である。

[図66]4つのアジャスタブル・オーピーシード・セルを6つランダムに配置して作製した実験用のテストパターンのレイアウト平面図である。

[図67]従来の適応型光近接効果補正技術、マスタースレーブモデルおよび実施の形態の各実験の調整結果を示す図である。

[図68]1評価に掛かる光学シミュレーション時間を示した図である。

[図69]実施の形態の手法(実線)とマスタースレーブ(破線)とによる調整実験の収束の様子を示すグラフ図である。

符号の説明

[0037] 81～92 セル

101a～101f 光透過部

102a～102f 遮光部

110 単位セル

111n n型半導体領域

111p p型半導体領域

112 多結晶シリコン膜

112A ゲート電極

115 絶縁膜

116 シリコン窒化膜

117 レジスト膜

117a～117d レジストパターン

118 溝

119 絶縁膜

120 ゲート絶縁膜

121a、121b 層間絶縁膜

1001 セル

1002 幅

1003 セル部境界領域

1004 アクティブ領域(拡散層領域)

1005 ゲートおよびゲート配線

1005a ゲート配線パターン

1006 導通孔

1006a～1006e パターン

1008a～1008e パターン

1009a～1009e 相互作用領域

1020 中心位置

cell, cell1～cell4 セル

cellA, cellA1～cellA4 アジャスタブル・オーピーシード・セル

LP 設計パターン

CL セル外周線(セル境界)

SA, SA1, SA2 分割領域

RA 分割領域(第2領域)

発明を実施するための最良の形態

[0038] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、以下の実施の形態においては、複数のセクション、検討例または実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、補足説明の関係にあつたり、詳細説明の関係にあつたりするものである。また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は可能な限り省略する。

[0039] (検討例1)

本検討例1の有効性を検証するため、図1に示すSRAM(Static RAM)のゲートに使われているマスクパターンの1つをセルとして、これに本検討例1を適用した。

まず、周辺環境によりマスクパターンの転写に影響があるかどうかの検証実験を行った。次に、その中でも影響が最も強いパターンに、本検討例1の手法である遺伝的アルゴリズムを用いたパターン設計手法を適用し、最適化できるかどうかの検証実験を行った。以降で述べる実験では、表1に示すようなリソグラフィ条件の下で検証を行った。

[表1]

設定名称	設定値
λ	1 9 3 n m
N A	0 . 7
σ	0 . 8 5 / 0 . 5 5 (annula)
幅	9 0 n m
スライスレベル	0 . 2 9 8

[0040] (検証実験1)

まず、マスクパターンが周辺環境の違いによって影響されるかどうかの検証実験を行った。この検証実験に用いたマスクパターンP1～P10をそれぞれ図2～図11に示す。これら10個のマスクパターンP1～P10は、90nmの幅で設計されているため、理想的な線幅は90nmとなっている。本実験では、これらの転写パターンを作成し、図12(図1に示す領域S12の拡大図)に示す線幅(S31)と間隙(S32)の2つの値を評価値として比較することで、周辺環境の影響を検証した。なお、上記転写パターンは、光学シミュレーション・ソフトによって生成したものである。このようなソフトとして、例えばリソテックジャパン社の「SOLID-C」が当業者に周知である(参照URL;<<http://www.ltj.co.jp/index.html>>)。

表2に上記マスクパターンP1～P10の転写パターンの2つの評価値を示す。

[表2]

設定名称	S 3 1 (nm)	S 3 2 (nm)
目標値	9 0 . 0 0	1 4 2 . 0
P 1	8 9 . 9 0	1 4 2 . 0
P 2	8 5 . 5 0	1 4 6 . 1
P 3	7 3 . 9 0	1 6 1 . 1
P 4	7 7 . 5 0	1 5 7 . 7
P 5	7 9 . 6 4	1 5 6 . 7
P 6	8 2 . 3 0	1 4 8 . 5
P 7	8 4 . 1 2	1 4 6 . 7
P 8	7 8 . 7 6	1 5 8 . 9
P 9	7 5 . 6 1	1 5 4 . 5
P 1 0	7 4 . 4 8	1 5 8 . 9

[0041] パターンP1では、周辺環境の影響がまったくないため、理想的な線幅となっているが、パターンP2やP3などは周辺からの影響が大きく、P1と比較すると、線幅(S31)も間隙(S32)も大きくずれていることが分かる。

[0042] 図13(a)に理想的なマスクパターンP1の転写パターンを示す。また、図13(b)に最も影響の大きいマスクパターンP3の転写パターンを示す。パターンP3は、線幅(S31)や間隙(S32)ではなく、全体的に大きな影響を受けていることが分かる。また、その他のパターンの評価値を比較すると、周辺環境の違いにより、各パターンの転写パターンへの影響度合いが異なることが分かる。実際のマスクパターンは、さまざまなセルが組み合わされて用いられるため、各セルによる影響も非常に大きく、複雑になってくることが予想できる。従って、同じ設計のマスクパターンにおいても、周辺環境に合わせたOPC図形の複雑な最適化が必要不可欠である。

[0043] (検証実験2)

検証実験1で実証された周辺環境による影響が、本検討例1の手法により解決されるかどうかの検証実験を行った。本検証実験では、最も簡単な例として、検証実験1において最も影響のあったマスクパターンP3(図14)を、最も理想に近いマスクパターンP1(図15)を目標に最適化するシミュレーションを行った。本シミュレーションにおいて、図16(図1に示す領域S12の転写パターンの拡大図)に示したセル内の2箇

所(S71およびS72)を最適化パラメータとして、本検討例1の手法による最適化を行った。

- [0044] 以下に、遺伝的アルゴリズムの適用方法について述べる。まず、遺伝的アルゴリズムの計算手順について説明する。図17は、遺伝的アルゴリズムの最も基本的な計算手順を示すフローチャートである。各処理の目的や概要は、以下のとおりである。
- 初期化: 解候補としての染色体をランダムに複数生成し、集団を形成する。解くべき最適化問題は、スカラー値を返す評価関数として表現される。
- 染色体の評価: 評価関数を用いて染色体を評価し、各染色体の適応度を計算する。
- 次世代集団の生成: 遺伝的操作(選択、交叉、突然変異)を用いて、高い適応度を持つ染色体ほど多くの子孫を残せる機会を与える。
- 探索終了基準判定: あらかじめ与えられた条件が満たされるまで、染色体の評価と次世代集団の生成を繰り返す。

- [0045] 以下、図17に基づいて遺伝的アルゴリズムの概略を示す。まず、「初期化」では、「染色体表現の定義」と「評価関数の決定」と「初期染色体集団の発生」とを行う。

- [0046] 「染色体表現の定義」では、世代交代の際に親の染色体から子孫の染色体に、どのような内容のデータをどのような形式で伝えるかを定義する。図18に染色体を例示する。ここでは、対象とする最適化問題の解空間の点を表現するD次元の変数ベクトル $X = (x_1, x_2, \dots, x_D)$ の各要素 x_i ($i = 1, 2, \dots, D$)を、M個の記号 A_i ($i = 1, 2, \dots, M$)の列で表わすことにし、これを $D \times M$ 個の遺伝子からなる染色体とみなす。遺伝子の値 A_i としては、ある整数の組、ある範囲の実数値、記号列などを解くべき問題の性質に応じて用いる。図18は、5次元、すなわち5変数(すなわち $D = 5$)の最適化問題の解候補の一つについて、各変数を2種類の記号 $\{0, 1\}$ を4個(すなわち $M = 4$)使用して表現したときの例である。このようにして記号化された遺伝子列が染色体である。

- [0047] 「評価関数の決定」では次に、各染色体が環境にどの程度適応しているかを表わす適応度の計算方法を定義する。その際、解くべき最適化問題の解として優れている変数ベクトルに対応する染色体の適応度が高くなるように設計する。

- [0048] 「初期染色体集団の発生」では通常、「染色体表現の定義」で決められた規則に則

って、N個の染色体がランダムに発生される。これは、解くべき最適化問題の特性は不明で、どのような染色体が優れているのかはまったく不明なためである。しかし、問題に関する何らかの先見的知識がある場合は、解空間において適応度が高いと予測される領域を中心にして染色体集団を発生させることにより、探索速度や精度を向上できる場合もある。

[0049] 「染色体の評価」では、集団中の各染色体の適応度を、前記「評価関数の決定」で定義した方法に基づいて計算する。

[0050] 「次世代集団の生成」では、各染色体の適応度をもとに、染色体集団に遺伝的操作を施して、次世代の染色体集団を生成する。遺伝的操作の代表的な手続きとして、選択、交叉、突然変異などがあり、これらを総称して遺伝的操作と呼ぶ。

[0051] 「選択」では、現世代の染色体集団から適応度の高い染色体を抽出して、次世代集団に残し、逆に、適応度の低い染色体を取り除く処理を行う。

[0052] 「交叉」では、選択によって抽出された染色体群の中から、所定の確率で染色体対をランダムに選択し、それらの遺伝子の一部を組み変えることで、新しい染色体を作る操作である。

[0053] 「突然変異」では、選択によって抽出された染色体群の中から、所定の確率で染色体をランダムに選択し、所定の確率で遺伝子を一定の確率で変化させる。ここで、突然変異が発生する確率を突然変異率と呼ぶ。

[0054] 「探索終了基準判定」では、生成された次世代の染色体集団が、探索を終了するための基準を満たしているか否かを調べる。基準が満たされた場合は、探索を終了し、その時点での染色体集団中で最も適応度の高い染色体を、求める最適化問題の解とする。終了条件が満たされない場合は、「染色体の評価」の処理に戻って探索を続ける。探索処理の終了基準は解くべき最適化問題の性質に依存するが、代表的なものとして次のようなものがある。

(a) 染色体集団中の最大の適応度が、ある閾値より大きくなった。

(b) 染色体集団全体の平均の適応度が、ある閾値より大きくなった。

(c) 染色体集団の適応度の増加率が、ある閾値以下の世代が一定の期間以上続いた。

(d) 世代交代の回数が、あらかじめ定めた回数に到達した。

[0055] 次に、上記した遺伝的アルゴリズムの計算手順に基づいた本実施の形態の各ステップを詳細に説明する。

[0056] [初期化:染色体表現の定義]

本シミュレーションでは、図16に示したセル内の2箇所(S71およびS72)を最適化パラメータとすることから、変数ベクトル X を $X = (x1, x2)$ のように2次元ベクトルとみなし、各要素 x_i ($i=1, 2$)を実数で表現する。なお、S73は常にS72と等しい値を取るものとした。

[0057] [初期化:評価関数の決定]

適応度を陽関数で定義することはできないため、以下のような4ステップからなる適応度計算の手続きを採用する。

ステップ(1):染色体から一意に定まる変数ベクトルを用いて、図形パターンを再構成する。

ステップ(2):光学シミュレーションを行い、露光パターンを計算する。

ステップ(3):計算された露光パターンについて、図12に示す線幅(S31)と間隙(S32)とを計測し、設計値との誤差の和を計算する。

ステップ(4):ここでの目標は、設計値に限りなく近い露光パターンを得ることであるため、誤差が小さいほどよい。そこで、計測された誤差の和の逆数を適応度とする。

[0058] [初期化:初期染色体集団の発生]

上記「初期化:染色体表現の定義」において決められたルールに従い、ここでは2つの実数値要素からなるベクトルを染色体とする。染色体数 N は100とし、擬似乱数発生器を使用して100個の染色体をランダムに生成する。

[0059] [染色体の評価]

上記「初期化:評価関数の決定」において決められた染色体の評価手順に従い、すべての染色体を評価し、適応度を計算する。

[0060] [次世代集団の生成:選択]

本実施の形態では、ルーレット選択を使用する。これは、各染色体が次世代に生存できる確率を適応度に比例させる方式である。すなわち、適応度が高ければそれだ

けルーレット上の配置が多くなり、ルーレットを回した時の当たる確率が大きくなる。具体的には、染色体集団のサイズを N 、 i 番目の染色体の適応度を F_i 、全染色体の適応度の総和を Σ としたとき、各染色体を $(F_i \div \Sigma)$ の確率で抽出する手続きを N 回繰り返すことで実現される。上記の場合、染色体数は100なので、100回繰り返すことにより、次世代の染色体100個が選ばれることになる。

[0061] [次世代集団の生成: 交叉]

本実施の形態では、一様交叉を使用する。これは、各染色体集団から2つの染色体を選び出し、各遺伝子座において、遺伝子である変数を交換するかどうかをランダムに決定する方法である。具体的には、選び出された2つの染色体を、それぞれ $X^1 = (x_1^1, x_2^1)$ と $X^2 = (x_1^2, x_2^2)$ とし、 $1/2$ の確率で0または1を出力する乱数発生を2回行う。1度目の乱数は、1番目の遺伝子座に対するもので、1ならば x_1^1 と x_1^2 を交換し、0ならば交換しない。2番目の遺伝子座に対する処理も同様である。

[0062] [次世代集団の生成: 突然変異]

本実施の形態では、一様分布に従う突然変異率 P_M で選び出された遺伝子座に対し、正規分布に従って生成された乱数を足し合わせる処理を採用する。ここで、突然変異率 $P_M = 1/50$ 、正規分布の平均 $u = 0$ 、標準偏差 $\sigma = 5 \times 10^{-9}$ に設定した。

[0063] [探索の終了条件]

本実施の形態では、設計値との誤差が0である染色体が発見されたとき、あるいは染色体の評価を5000回行ったときに探索を終了することにした。

以上のような遺伝的アルゴリズムを用いて検証実験を行った結果、図16に示したパラメータを最適化することにより、表3のような結果が得られた。

[表3]

		P 1	P 3
調整箇所	S 7 1	9 0 . 0 0 n m	1 0 5 . 0 0 n m
	S 7 2	4 8 . 0 0 n m	5 5 . 0 0 n m
評価結果	S 3 1	8 9 . 9 4 n m	8 9 . 7 6 n m
	S 3 2	1 4 2 . 4 0 n m	1 4 2 . 1 0 n m

[0064] 表3に示すように、転写パターンの線幅(S31)が、図14の周辺環境では、検証実

験1の表2のように約16nm狭くなっていたものが、本検討例1の手法により、理想的な図16に近い約90nmに最適化されたことが分かる。

[0065] この実験により、本検討例1の手法がマスクパターン設計における、周辺環境からの影響による転写パターンのずれを最適化できることが確認された。なお、本検討例1では、線幅(S31)と間隙(S32)の誤差の単純和を用いた場合を説明した。このような単純和は汎用的であるが、場所の重要度に応じて重みをつけて和をとる方法も有用である。例えばゲートとなる線幅(S31)の寸法制御が重要である場合は、間隙(S32)の値に対して2あるいは3などの係数を乗ずることにより、必要な部分の精度を相対的に向上できる。

[0066] (検討例2)

本願のマスクパターン設計法で設計したマスクを用いて半導体装置の製造を行った検討例2を説明する。

[0067] 図19(a)～(c)は、2入力のNANDゲート回路NDを表わし、同図(a)はシンボル図、同図(b)は回路図、同図(c)はパターンレイアウトを示す平面図である。また、図20は図19(c)を拡大して示した平面図である。

図19(c)において、一点鎖線で囲まれた部分は単位セル110であり、p型ウエル領域PWの表面のn型半導体領域111n上に形成された2個のnMOS部Qnと、n型ウエル領域NWの表面のp型半導体領域111p上に形成された2個のpMOS部Qpとから構成される。

[0068] この構造を製作するために、図21(a)～(f)に示すような6種類のマスクM1～M6を順次用いて、通常の光リソグラフィによるパターン転写を繰り返し用いた。このうち、マスクM1～M3は比較的大きなサイズのパターンを有しているので、パターンのOPC処理は行なわなかった。図中の符号101a、101b、101cは光透過部、符号102a、102b、102cはクロム膜による遮光部である。一方、マスクM4～M6は微細なパターンを有するので、本実施の形態のパターン設計法を用いてパターン図形の輪郭やサイズを適宜変更し、最適化を行なった。図中の符号101d、101e、101fは光透過部、符号102d、102e、102fは遮光部である。

[0069] 図19(c)と同様のレイアウトを表す図20において、破線に沿った断面を想定し、そ

の断面図を用いてチャネルQp、Qnを形成するまでの工程を図22(a)～(e)および図23(a)～(e)を用いて順次説明する。

[0070] P型のシリコン単結晶からなるウエハS(W)上に、例えばシリコン酸化膜からなる絶縁膜115を酸化法によって形成した後、その上に例えばシリコン窒化膜116をCVD(Chemical Vapor Deposition)法によって堆積し、さらにその上にレジスト膜117を形成する(図22(a))。次に、マスクM1を用いて露光現像処理を行なってレジストパターン117aを形成する(図22(b))。その後、レジストパターン117aをエッチングマスクとして、そこから露出する絶縁膜115、シリコン窒化膜116を順に除去し、さらにレジストパターン117aを除去してウエハS(W)表面に溝118を形成する(図22(c))。次いで、例えば酸化シリコンからなる絶縁膜119をCVD法などによって堆積した後(図22(d))、例えば化学機械研磨法(CMP:Chemical Mechanical Polishing)などによって平坦化処理を施すことにより、最終的に素子分離構造SGを形成する(図22(e))。本検討例2では、素子分離構造SGを溝型分離構造としたが、これに限定されることなく、例えばLOCOS(Local Oxidization of Silicon)法によるフィールド絶縁膜で構成してもよい。

[0071] 続いて、マスクM2を用いて露光現像を行なって、レジストパターン117bを形成する。n型ウエル領域を形成すべき領域が露出されるので、リンまたはヒ素などをイオン注入してn型ウエル領域NWを形成する(図23(a))。同様に、マスクM3によりレジストパターン117cを形成した後、例えばホウ素などをイオン注入してp型ウエル領域PWを形成する(図23(b))。次に、酸化シリコン膜からなるゲート絶縁膜120を熱酸化法によって厚さ3nmに形成し、さらにその上に多結晶シリコン膜112をCVD法などによって堆積する(図23(c))。

[0072] 続いてレジスト塗布後、マスクM4を用いてレジストパターン117dを形成し、多結晶シリコン層112のエッチングとレジスト除去により、ゲート絶縁膜120とゲート電極112Aを形成する(図23(d))。その後、ソース、ドレイン領域および配線層として機能するnチャネルMOS用の高不純物濃度のn型半導体領域111nとpチャネルMOS用の高不純物濃度のp型半導体領域111pを、イオン打ち込みや拡散法により、ゲート電極112Aに対して自己整合的に形成し、チャネルQpおよびチャネルQnを形成する(

図23(e))。

[0073] 以後の工程で、配線を適宜選択することにより、2入力のNANDゲート群を製作する。ここで、配線の形状を変えれば、例えばNORゲート回路など、他の回路を形成できることは言うまでもない。ここでは、図21(e)および図21(f)にそれぞれ示すマスクM5およびM6を用いて2入力のNANDゲートの製造例を引き続き示す。

[0074] 図24(a)～図24(e)は、図20に示す破線に沿った断面図であり、配線形成工程を示している。2個のnチャネルMOS部Qnと2個のpチャネルMOS部Qpの上に、例えばリンがドーピングされた酸化シリコン膜からなる層間絶縁膜121aをCVD法で堆積する(図24(a))。続いてレジストを塗布し、マスクM5を用いてレジストパターン117eを形成した後、エッチング処理によりコンタクトホールCNTを形成する(図24(b))。レジスト除去後、タングステン、タングステン合金または銅などの金属を埋め込むと同時に、さらにこれらの金属層113を形成する(図24(c))。続いてレジストを塗布し、マスクM6を用いてレジストパターン117fを形成した後、エッチング処理により配線113A～113Cを形成する(図24(d))。その後、層間絶縁膜121bを形成し、さらに他のマスク(図示せず)を用いてスルーホールTHおよび上層の配線114Aを形成する(第24図(e))。部品間の結線も同様な工程を必要な分だけ繰り返したパターン形成により行ない、半導体装置を製造する。

[0075] 以上、本検討例2の方法を適用することにより、パターン精度を保証し、信頼性の高いマスクを用いて半導体装置を製造できるようになる。

[0076] セルライブラリを構成する上記マスクのうち、特にマスクM4における遮光部102dは、最も寸法の短いゲートパターンを構成し、転写パターンの寸法の要求精度も最も厳しい。そこで、マスクM4(図21(d))に示すセルライブラリパターンをマスク全面に配置する際に、本検討例2の方法を採用した。

[0077] マスクパターンの全体は複数のセルから構成され、それぞれのセルにはI型の図形が2つ並んでいる(図25参照)。同図に示すように、各セルは、 p_1 から p_{10} までの10個の調整箇所を有する。よって、セルの数を N_{cell} 個とすると、マスクパターン全体で $(N_{\text{cell}} \times 10)$ 個のパラメータを調整する必要がある。

[0078] [初期化:染色体表現の定義]

本検討例2において、各変数は図形の寸法を直接的に示す実数として扱う。すなわち、変数ベクトル X の各要素 x_i ($i=1, 2, \dots, 10$)を実数で表現し、それぞれは、図25における p_i ($i=1, 2, \dots, 10$)に対応するものとする。

このとき、寸法そのものの値ではなく、設計目標からの差分を遺伝子表現することも可能である。例えば図26の場合、網掛け図形はOPCが施されたマスクパターンであって、一つの「I」型図形の上側横棒と下側横棒は、一転鎖線で示す設計目標に対して上下対称、かつ左右対称に付加され、さらに縦棒も左右対称に太さを変更することが可能で、各寸法 q_i ($i=1, 2, \dots, 10$)が指定されることにより、マスクパターンが一意に決定される。すなわち、変数ベクトル $X=(q_1, q_2, \dots, q_{10})$ を染色体と見なすことで、遺伝的アルゴリズムにより最適なマスクパターンが求められる。

[0079] なお、本検討例2では、同種のセルが N_{cell} 個並んだマスクパターンを取り扱うため、染色体の長さも N_{cell} 倍となり、 $X=(X^1 X^2 \dots X^{N_{\text{cell}}})=(x_1^1, \dots, x_{10}^1, \dots, x_{10}^{N_{\text{cell}}}, \dots, x_{10}^{N_{\text{cell}}})$ となる。ここで、 X^j は j 番目のセルに含まれる図形形状を指定するための、10個の要素からなる変数ベクトルを示し、 x_i^j は j 番目のセルに対応する変数ベクトルの i 番目の要素を示すものとする。

[0080] また、上記変数ベクトル X の各要素 x_i を実数値表現するのではなく、上限値と下限値、および量子化ステップ数を決めることで、 n 進数表現してもよい。

[0081] メモリなどのように、同じセルが規則的に繰り返し配置して使用される場合、全セルの変数ベクトルのすべてを対象として最適値探索を行うのではなく、グループ化して染色体の長さを縮小し、最適化を容易にすることができる。例えば図27において、すべてのセルが同種の図形パターンで構成され、その図形が左右対称、上下対称であると仮定した場合、全セルの変数ベクトルをすべて最適化対象とするのではなく、タイプAからFまでの4種類に分類し、4個のセルの図形を定義する変数ベクトル($X^1 X^2 \dots X^4$)だけを最適化し、その結果をタイプ別にすべてのセルへ適用することで、マスク全体を調整したことと同様の効果を得ることができる。

[0082] 例えば、図27において、セル81はその周囲8つのセルの内、上側および左側の5つのセルが存在せず、右側および下側に3つのセル(82、83、84)が存在する。また、セル81およびその周囲のセル(82、83、84)に対して、セル90およびその周囲の

セル(89、92、91)は左右対称に配置され、セル87およびその周囲のセル(88、85、86)は上下対称に配置されている。従って、セル81の最適化の結果をセル90やセル87にも用いることができる。このようにして、最適化の調整過程を省略することができる。

[0083] [初期化:評価関数の決定]

染色体の適応度を得るための方法として、ここでは前記検討例1と同様の手続きを採用する。ただし、ステップ(3)における寸法の測定は図28に示す4箇所($a_1 \sim a_4$)で行った。通常の半導体チップの製造において、要求される寸法精度に関して、わずかな誤差も許されない部分や、精度が要求されない部分が混在している。そこで、高い精度が要求される部分を選択的に寸法計測して適応度計算を行うことにより、マスク設計者の意図を反映した最適化を容易にすることができる。同様に、マスク設計段階において、光近接効果の出やすい箇所を特定することが可能な場合、適応度を算出するときに、その部分に大きく重み付けを施すことにより、調整の難しい箇所から優先的に最適化を容易にすることができる。

[0084] 本検討例2では、シミュレーションにより予測されたレジストパターンと設計値とを比較するため、適応度計算のステップ(3)において、数箇所の寸法を計測していたが、図29に示すように、レジストパターンと設計パターンの差分図形の面積を使用することにより、寸法計測されない箇所での予期しない異常を漏れなく検出することが可能となる。この場合、差分図形の面積の逆数などを評価値として、遺伝的アルゴリズムによるパラメータ最適化が行われる。

[0085] また、適応度計算のステップ(4)において、誤差の和の逆数を適応度として採用したが、あらかじめ決めた定数からの減算値を適応度としてもよい。さらに、適応度計算のステップ(2)において、酸拡散のシミュレーションも併せて行うことにより、レジストパターンをより正確に予測できるようになるため、最適化の精度を向上させることができる。

[0086] [初期化:初期染色体集団の発生]

前記検討例1と同様に、ランダムに初期染色体集団を発生させる。探索速度を向上させるために、モデルベースOPCで補正した結果に微小な摂動をかけた初期集団

からスタートしてもよい。

[0087] [染色体の評価]

前記検討例1と同様に、上記「初期化:評価関数の決定」において決められた染色体の評価手順に従ってすべての染色体を評価し、適応度を計算する。

[0088] [次世代集団の生成:選択]

前記検討例1と同様に、ルーレット選択法を使用する。トーナメント選択法やランク選択法などの交叉方式や、MGG(Minimal Generation Gap)方式などの世代交代モデルを使用してもよい(参考文献:佐藤ら、「遺伝的アルゴリズムにおける世代交代モデルの提案と評価」、人工知能学会誌、Vol.12, No.5, 1997)。

[0089] [次世代集団の生成:交叉]

前記検討例1と同様に、一様交叉を使用する。その他に、ランダムに選択された遺伝子座を交換するのではなく、荷重平均して得られる値を用いてもよい。

探索速度や精度を向上させるため、実数値表現された染色体向けに開発された交叉方式であるUNDX(Unimodal Normal Distribution Crossover)や、シンプレクス交叉、EDX(Extrapolation-directed Crossover)などを使用してもよい(参考文献:佐久間ら、「実数値GAによる非線形関数の最適化:探索空間の高次元化における問題点とその解決法」、第15回人工知能学会全国大会、第2回AI若手の集い、MYCOM 2001, 2001)。

染色体を2値ベクトルで表現する場合には、一様交叉以外に、多点交叉を使用することもできる。

[0090] [次世代集団の生成:突然変異]

前記検討例1と同様に、正規分布に従って生成される乱数を用いた突然変異を使用する。探索速度や精度を向上させるため、集団全体の適応度の向上速度を監視し、一定期間以上向上しなかった場合に突然変異率を一時的に増大させるAdaptive Mutation法を併用してもよい。

[0091] [探索の終了条件]

前記検討例1と同様に、設計値との誤差が0若しくは一定値以下となった場合、あるいは染色体の評価回数が一定値以上になった場合に探索を終了させる。

以上が、本検討例2で用いた遺伝的アルゴリズムの説明であるが、例えば山登り法、シンプレックス法、最急降下法、焼きなまし法、動的計画法など、他の探索手法を併用することにより、探索速度や精度を向上させることができる。また、遺伝的アルゴリズム以外にも、進化戦略(Evolution Strategy; ES)や、遺伝的プログラミング(Genetic Programming; GP)など、他の盲目的探索手法あるいは確率的探索手法を使い分けることにより、一層の探索速度向上と精度向上を実現できる。

以上において、あらかじめOPC処理を行ったセルライブラリを用いて半導体チップを作成し、周囲のセルライブラリの影響を高速処理が可能な遺伝的アルゴリズムを利用して最適化するので、すべてのパターンに対しOPC処理を行う従来の方法に比べて、処理時間を10分の1以下に短縮できる。

[0092] (検討例3)

前記検討例1に記載のマスクパターン生成方法を用いてSRAM部分と論理回路部分とを持つシステムLSIを製造した。このシステムLSIの最小ゲート幅は40nmで、最小ピッチは160nmである。論理回路部は任意ピッチ配線を許し、セル間では最小間隔以外の配置制限も設けていない。このため、従来からのIPが継承でき、プラットフォームとしての展開性が高く、多品種に応用できるレイアウトルールとなっている。

[0093] 上記した緩いレイアウトルールの下でこの寸法の補正パターンをルールベースOPCで作成すると、アクティブ領域内でのゲートパターン寸法に部分ばらつきが生じる。例えばパッドに近い根元の部分ではくびれや太りが生じ、これが原因でデバイス特性を劣化させていた。また、露光量変動やフォーカス変動に対する露光マージンが少なく、半導体装置としての歩留まりが低いという問題があった。また、市販のモデルベースOPCでマスク作成パターンを生成すると、7日という長い時間がかかっていた。

[0094] システムLSIは、特定ユーザ向けのものであり、製品サイクルが短く、短期間に製造する必要がある。その期間が生命線で、デバイスとしての価値ばかりでなく、それを組み込んだ製品の市場性をも左右する。枚葉処理で優先的に処理するとウェハプロセス期間は最短で2週間であり、マスク供給は迅速となる。従来、マスク作成パターンの生成期間を実用的な1日程度にするためには、部分的にルールベースOPCを適用するしかなく、前述のように歩留まりの低下などの問題を引き起こしていた。

- [0095] 前記検討例1に記載のマスクパターン生成方法を適用することにより、マスクパターン作成に要する時間は1日で、しかもモデルベースOPCを全面に適用した場合と同等のデバイス特性および歩留まりを得ることができた。なお、ウエハプロセスに枚葉処理を適用することにより、ウエハプロセス待ち時間を低減でき、マスク供給速度とのバランスが取れてシステムLSIの出荷タイミングが早まるという効果が得られた。
- [0096] 以上について、図30を引用しながら説明を加える。図30は、システムLSIのマスクパターンデータ準備、マスク製作、およびウエハプロセス工程をフローチャートの形で示したものである。左側にマスクパターンデータ準備工程を、中央にマスク製作を、そして右側にウエハプロセス工程とタイミングを示している。
- [0097] 論理設計を基にパターンレイアウト設計が終わると、LSIの製造が始まる。ウエハプロセスフローとしては、素子分離(アクティブ領域間の分離)を作るための成膜、リソグラフィ、エッチング、絶縁膜埋め込み、より平坦化をするためのCMPダミーパターン製作のためのリソグラフィ、エッチング、CMPと続いて素子分離構造を形成する。その後、イオン注入打ち分け用のリソグラフィ、イオン注入を行ってウエル層を形成し、ゲート用成膜、リソグラフィ、エッチング、イオン注入打ち分け用のリソグラフィ、イオン注入、LDD用成膜、LDD加工、イオン注入を行ってゲートを形成する。その後、絶縁膜を成膜し、コンタクト孔用リソグラフィ、エッチングを行って導通孔を空け、導電膜を形成後リソグラフィとエッチングを行い、配線層を形成する。その後、図示はしていないが層間絶縁膜の形成と開口の形成、導電膜の被着、CMPにより層間配線を形成していく。
- [0098] 上記のウエハプロセスフローに対応するようにマスクを準備する必要がある。マスクは大別して寸法精度の必要なクリティカル層用とノンクリティカル層用とがあり、前者はデータ量の膨大なOPCが必要である。後者は簡易化したOPCか単なる図形演算、あるいはデータそのもので十分である。クリティカル層の代表はアイソレーション、ゲート、コンタクト、第1、第2配線である。
- [0099] マスクパターンOPCデータは、まずクリティカル層か否かを判断した後、製作手順に入る。まず、必要な素子分離用の準備を行う。次いで、すでに作られているOPE(Optical Proximity Effect)補正用セルライブラリから適合するものを抽出し、それらの

パターンを組み合わせることで第0次のOPC済みパターンを組み上げる。そして前記検討例1の遺伝的アルゴリズム手法を基にして、隣接パターンの影響を考慮した補正を行って最終的なOPCパターンを作り、そのデータを基にマスクを製作する。次に、同じ手法でゲート層、コンタクト層、配線層のパターンデータおよびマスクを準備していく。ここでは、各層を直列に準備していく手順を示したが、並行して準備してもよい。ただし、並行する場合はデータ作成のシステムが複数必要となり、大きな設備が必要となる。各層を直列に処理でき、その処理速度がウエハプロセス処理のタイミングと合うものであれば、システムを小型化できるというメリットがある。ノンクリティカル層は前述のように別パスを使ってマスクパターンデータが準備される。

- [0100] クリティカル層であるアイソレーション層は頭出しの層なので、そのマスク準備が遅れると、ウエハ払い出しも遅れることに直結する。このためアイソレーション層のマスクパターンデータの完成期間はとても重要である。本検討例3ではマスク製作とあわせても1日で準備でき、通常の2日に比べ半減できた。
- [0101] 次のゲート層用リソグラフィまではこの大分類での工程数で9工程、洗浄などの詳細工程まで含めると約50工程(図示せず)があるが、枚葉処理で処理すれば2日で処理できる。この間にゲート層用マスクを準備しないと待機によるロスが生じる。ゲートは極めて高い寸法精度が要求されるため、従来法によれば、マスク描画、検査のための時間が約1日かかり、マスクパターンデータの準備のために7日かかっていた。このように、従来法の場合、データ作成設備を大型化し、素子分離パターン作成と並行してデータ作成に取り掛かっても、ウエハ処理のスピードに追いつくようにマスクパターンデータの準備をすることが極めて困難であった。これに対し、本検討例3によれば、小型のパターンデータ作成設備であっても1日でマスクパターンデータの準備をすることができた。

ゲートパターンには高い寸法精度が要求されるので、ルールベースOPCではデバイス特性を十分に確保するのが難しく、かといってモデルベースOPCでは複雑な処理になるので、ゲートパターンの作成のために多大の時間がかかるという問題があり、この問題は、他の層における場合より重大である。このため、本実施の形態の製造方法は、特にゲートパターン作成に有効である。

[0102] (検討例4)

本願の調整すべき変数の他の検討例を示す。図31の符号1001は、対象としたセルライブラリのセルであり、この中に形成されたパターンは、あらかじめセル単体でOPC処理が施されている。この中で、周囲に配置されたセルの影響によりOPCの修正を受けるパターンの含まれる領域がハッチングで示す周辺(Peripheral)領域(第1領域)であり、その幅1002は、露光装置の露光波長 λ 、使用したレンズの開口数NA、使用したレジストの酸拡散定数、および規格寸法精度などに依存する。

[0103] 周辺領域は、隣接セルを構成するパターンからの回折光が重なることで起こる干渉の影響を補正するための領域である。そこで、周辺領域の範囲を決めるために、マスクパターン投影する露光光学系の点像強度分布を示す回折像強度について考える。

[0104] 回折像の強度 I は、 $I(2\pi \times \rho \times NA / \lambda) = (2 \times J_1(2\pi \times \rho \times NA / \lambda) / (2\pi \times \rho \times NA / \lambda))^2$ で表される。ここで、 J_1 :1次のBessel関数、 λ :波長、 ρ :像半径である。 $2\pi \times \rho \times NA / \lambda$ と強度 I との関係を図44に示す。これにより、最初に $I=0$ となる半径を ρ_1 とすれば、 $\rho_1 = 0.61\lambda / NA$ となる。また、2番目に $I=0$ となる2次回折像までの半径を ρ_2 、3番目の3次回折像までの半径を ρ_3 とすると、 $\rho_2 = 1.12\lambda / NA$ 、 $\rho_3 = 1.62\lambda / NA$ となる。3次回折像の最大強度は、0次回折像の0.2%以下であるため(図44参照)、3次回折像による干渉の影響は無視できるほど小さいと見なしてよい。すなわち、OPCパターンの変化が周囲に与える影響の範囲は3次回折像までであり、周辺領域をセルの端から $1.62\lambda / NA$ としても十分な精度が得られることが分かった。

[0105] この場合、波長 λ を193nm、NAを0.7、セルの平均サイズを $5 \times 5 \mu m^2$ 、チップサイズを $81.92 \times 81.92 \mu m^2$ と仮定すると、シミュレーション結果を得るために必要な計算面積の大きさを、チップ全面計算と比較して約1/3に削減できる。リソグラフィシミュレーションでは、ウエハ上の2次元投影像を計算するため、計算量は計算面積の2乗に比例する。そのため、計算面積が約1/3に低減されることにより、計算量は約1/9に削減される。

[0106] さらに、セルの配置密度が疎であったり、隣接セルのサイズが小さい場合には、回

折光が少なくなり、干渉の影響も小さくなるため、周辺領域の幅を、2次回折像までの半径に相当する $1.12\lambda/\text{NA}$ にしても、十分な精度での補正が可能である。この場合、セルの平均サイズとチップサイズを上記同様に仮定すると、計算面積はチップ全面計算と比較して約 $1/4$ となり、計算量を約 $1/16$ に削減できる。

[0107] なお、十分な精度が得られる周辺領域の幅を $1.62\lambda/\text{NA}$ としたが、この値がマスク設計のグリッドに乗らない場合は、 $1.62\lambda/\text{NA}$ 近傍のグリッドに乗った値にすればよい。

[0108] 上記周辺領域にあるパターンレイアウト例を図32に示す。図中の符号1003はセル部境界領域、1004はアクティブ領域(拡散層領域)、1005はゲートおよびゲート配線、1006は導通孔(通例コンタクトと称す)を示す。アクティブ領域1004の外側はフィールドと呼ばれる半導体基板との絶縁領域で、アイソレーション(素子分離)と呼ばれる領域である。セルとセルとの配置の関係で、セル単位でOPC処理された後に補正処理が必要となる部分をアクティブ層(アイソレーション層)、ゲート層、およびコンタクト層に分けて説明する。

[0109] [アイソレーション層]

図32に示されたゲート幅 $w1$ 、コンタクトー拡散層間合わせ余裕 $d1$ 、 $d2$ 、隣接セル間との解像不良(パターン繋がり不良)回避余裕 $s1$ 、拡散層へのゲート配線乗り上げ不良回避余裕 $s2$ が再OPC調整部位である。ゲート幅 $w1$ が規格の精度に収まらない場合は、狭チャネル効果によるトランジスタ特性の劣化が起こり、コンタクトー拡散層間合わせ余裕 $d1$ 、 $d2$ が取れなくなると、接触抵抗の増加による導通不良が起こる。

[0110] アクティブ領域の調整すべき変数の例を図33～図36を用いて説明する。図33はゲート幅 $w1$ の調整変数の例であり、幅 $mw1$ を前述の遺伝的アルゴリズム手法を用いて調整する。図34はコンタクトー拡散層間合わせ余裕 $d1$ 、 $d2$ の調整変数の例であり、拡散層の端を幅 $h1$ 、長さ $h2$ のハンマーヘッド状に変形し、前述の遺伝的アルゴリズム手法を用いて調整する。図35は隣接セル間との解像不良(パターン繋がり不良)回避の例であり、アクティブ領域1004の先端の後退量を変数 $i1$ とする。図36は拡散層へのゲート配線乗り上げ不良回避の例であり、ゲート配線1005に対向する部分の後退領域の長さ $i3$ と幅 $i2$ が変数である。これらの変数を前述の遺伝的アルゴリズム手

法を用いて調整する。

[0111] [ゲート層]

図37に示されたゲート長 $l1$ 、隣接セル間との解像不良(パターン繋がり不良)回避余裕 $s4$ 、拡散層へのゲート配線乗り上げ不良回避余裕 $s3$ 、アクティブ領域からの突き出し量 $p1$ が再OPC調整部位である。ゲート長 $l1$ が規格の精度に収まらない場合は、トランジスタの閾値電圧コントロールがままならなくなってトランジスタ特性が大いにばらつくため、回路動作が不安定となる。

[0112] ゲートおよびゲート配線パターンの調整すべき変数の例を図38～図41を用いて説明する。図38(a)、(b)は、ゲート長 $l1$ の調整変数の実例である。ゲート長は最も敏感にトランジスタ特性に影響を与える寸法なので、特に高い寸法精度が要求される。通常、ゲート配線の一部に配線層と導通を取るためのパッドが形成されるため、その部分からの回折光の影響を受けて転写パターンが変形する。少なくともアクティブ領域上でその変形を防止するために、図38(a)の1005aに示すような複雑なOPCをかけている。ここではまず、セル単独の場合で所望の寸法精度が得られるようにOPCをかけておく。その後、外周に配置された別のセルパターンを参照して、図38(b)に示すように、そのOPCの外形を維持したまま、線幅 $m1$ を変数にして前述の遺伝的アルゴリズム手法を用いて調整した。

[0113] 図39は、隣接セル間との解像不良(パターン繋がり不良)回避例である。セル単独の場合のOPCがかかったゲート配線パターン1005aの先端後退量 $mh1$ を変数とする。図40は、拡散層へのゲート配線乗り上げ不良回避の例で、この場合の変数は、拡散層領域(アクティブ領域)1004に対向するゲート配線の後退部の幅 $i4$ と奥行き $i5$ が変数である。

[0114] 図41(a)～(c)は、アクティブ領域からの突き出し補正の例である。設計レイアウトは図41(a)に示すような矩形なレイアウトであるが、実際にパターン転写を行なうと、露光光の回折およびレジストの酸拡散などの効果によって、パターン端が図41(b)のように丸まった形状となる。この丸まり部がアクティブ領域にかかるパンチスルーなどの現象により、トランジスタ特性が劣化する。そこで、一定量以上の突き出しが確保されなければならない。図41(c)に示すように、この場合の変数はゲート端に幅 $h3$

、長さ h_4 のハンマーヘッドとした。これらの変数を前述の遺伝的アルゴリズム手法を用いて調整した。

[0115] [コンタクト層]

図42にコンタクト層のレイアウト例を示す。外部セルの影響を受けてOPCを補正処理するパターンは、外部セルのパターン1008a～1008eからの相互作用領域1009a～1009eにかかるパターンであり、図中の符号1006a～1006eで示される。これらの相互作用領域1009a～1009eの半径は、レジストの酸拡散定数、規格寸法精度などに依存するが、 $1.62\lambda / NA$ である。図43に示すように、この再OPCにかかるパターン1006fの変数は、高さ h_5 、幅 h_6 であり、またその中心位置1020も変数として位置ずれ補正も行なう。これらの変数を前述の遺伝的アルゴリズム手法を用いて調整した。

[0116] なお、上述した本検討例4の各種変数は、遺伝的アルゴリズム手法以外にも、進化戦略、遺伝的プログラミング、虫型探索、EDAなどの盲目的探索手法ないし確率的探索手法や、山登り法、反復黄金分割法、パウエル(Powell)法などを含む決定論的探索方式によって調整することもできる。

[0117] (検討例5)

前記検討例4において、セルをEDAツールで扱う場合に最適なデータ構造を示す。図52は、検討例4に基づいて設計されたセルのデータ構造を示す模式図である。セルのデータ構造は、同図(a)に示される設計パターン、同図(b)に示されるOPC図形パターン、アジャスタブル(Adjustable)領域(第1領域)および評価点の4要素からなる。

[0118] 設計パターンは、従来のスタンダードセルとまったく同じデータ構造にしてある。そのため、既存のEDAツールとの互換性を容易に保つことができる。OPC図形パターンは、前記検討例1に記載の方法を用いて生成される。

[0119] アジャスタブル領域(第1領域)は、検討例4に記載の周辺領域と同義である。以降、セル中のアジャスタブル領域以外の部分をフィクスト(Fixed)領域と呼ぶことにする。アジャスタブル領域は、そこに含まれるOPC図形が調整対象であることを示すために用いられる。アジャスタブル領域で判定することにより、セルに含まれるすべてのOP

C図形を、個別に調整対象であるか否かと分類しなくても済むため、データ構造がシンプルになり、セルの設計を容易にできる。

[0120] 最後の要素である評価点は、光学シミュレーションで得られた露光パターンの寸法と、設計パターンの寸法を比較し、誤差を計算すべき箇所に配置される。評価点で測定された誤差情報は、前記検討例1に記載の評価関数として、遺伝的アルゴリズムにおける染色体の評価で使用される。なお、遺伝的アルゴリズムに限らず、焼きなまし法や虫型探索、EDAなどを含む確率的探索手法や、山登り法や反復黄金分割法、パウエル(Powell)法などを含む決定論的探索方式でも、同様に使用できることは自明である。

[0121] 前述した特開2006-058413号公報(特許文献6)や、特開2005-156606号公報(特許文献7)に記載の方法は、実際のリソグラフィ工程において、短絡や開放が発生する可能性が高い危険箇所をチップ全体の光学シミュレーションにより求め、危険箇所周辺に測定ポイントを配置したり、危険箇所周辺だけをより詳細にシミュレーションしたりしてOPC図形の調整を行っているが、危険箇所の検出のために多大な計算時間を要している。これに対し、本実施の形態では、セル単位のシミュレーションで簡単かつ高速に危険箇所を検出し、そこに評価点を配置することができるため、検知精度を低下させることなく、効果的に危険箇所を事前に知ることができる。その結果、チップ全体をシミュレーションして危険箇所を求める処理が一切不要になるため、OPC処理時間を大幅に短縮できる

[0122] (検討例6)

前記検討例5に基づく構造を有するセルを配置し、前記検討例4によるOPC調整したマスクパターンにおいて、回路の一部を修正しても局所的な計算でOPEの補正が可能であることを示す。

[0123] まず、図45に示すように、4種類のセル(cell1~cell4)を配置して修正前パターン(パターンA)を作成する。このとき、パターンAを構成するセル(cell1~cell4)は、それぞれ幅が $1.62\lambda / \text{NA}$ のアジャスタブル領域(図45の網掛け部分)を有し、パターンAとしてレイアウト後に前述の遺伝的アルゴリズムを用いてアジャスタブル領域内のOPC図形形状が調整されている。パターンAには107箇所に評価点があり、それ

ぞれの評価点は、露光パターンの線幅あるいは露光パターン先端の寸法を評価する箇所に設定した。

[0124] 図46のA1～A8、F1～F4のように評価領域を設定し、各評価領域における線幅変動の最大値と最小値および平均値を比率(%)で示すと図47のようになる。なお、線幅変動は、露光パターンが設計パターン幅に対してどの程度変動したかを誤差で表したものとする。図47より、全評価点の誤差が3%以内となっていることが分かる。

[0125] 次に、パターンAのcell4を、図48のようにcell5と入れ替え、この入れ替え後のパターンをパターンBとする。なお、パターンBの評価点は109箇所設定され、図49に示される評価領域に分布している。図50に、セルを変更したことにより発生した線幅変動の測定結果を評価領域ごとに示す。これより、回路修正で発生する光近接効果の影響が大きいのは評価領域A5のみであり、その他の領域ではほぼ無視できることが分かる。

[0126] そこで、アジャスタブル領域に含まれるOPC図形のうち、評価領域A5にも含まれるものだけを、前述の遺伝的アルゴリズムにより調整した。図51に、調整後のパターンBにおける線幅変動の測定結果を示す。この結果より、調整前に生じていた最大12.33%の線幅変動が3%以内に抑制されていることが分かる。さらに、評価領域A5の調整がその他の領域に影響を与えていないことも確認できる。

このように、本発明の手法を用いることにより、レイアウト後に回路の一部に修正があっても、局所的な補正でOPCが実行できることが分かる。

[0127] (実施の形態)

本発明者は、前記検討例において、新たなOPC手法として適応型OPC技術を提案している。

[0128] 適応型OPC技術は、予めOPCを適用したアジャスタブル領域とフィクスト領域とを有するアジャスタブル・オーピーシード・セル(Adjustable OPCed cell:以下、アジャスタブルOPCedセルという)をレイアウトし、その周辺からのOPEに合わせアジャスタブル領域を最適化調整する手法である。

[0129] すなわち、適応型OPC技術は、次の2つの基本概念を有している。

第1は、アジャスタブルOPCedセルである。これは、予めOPCが適用されたセルで

あり、OPC図形の調整が可能なアジャスタブル領域と、OPC図形が固定されたフィクスト領域とを有している。アジャスタブル領域は、セルの周辺部に位置し、調整可能な図形を含む領域である。これにより、隣接セルの影響によるOPEを補正することができる。一方、フィクスト領域は、隣接セルによるOPEの影響が少ないセルの中心部に位置し、OPC図形が固定された領域であるため、レイアウト後にOPC図形を再計算する必要がない。

[0130] 第2は、セルレイアウト後のOPC図形の最適化調整である。アジャスタブルOPCedセルによりレイアウトを行った後、アジャスタブル領域のOPC図形を最適化手法により調整する。

このような適応型OPC技術によれば、OPCの計算領域を削減できるため、OPC処理時間を大幅に短縮することができる。

[0131] 上記図52(b)は、アジャスタブルOPCedセルを示している。アジャスタブルOPCedセルは、図52(a)の設計パターンにOPCを適用した後、セルの周辺部をアジャスタブル領域(第1領域)、セルの中心部をフィクスト領域と定義することによって作製される。アジャスタブル領域のOPC図形をアジャスタブル図形、フィクスト領域のOPC図形をフィクスト図形と呼ぶ。図52(b)のハッチング部分がアジャスタブル領域、白色部分がフィクスト領域を表す。

[0132] なお、上記評価点は、設計パターン上で、コンタクト部や拡散層上の配線部等、高精度なOPCが求められる箇所に設定する。評価点では、OPC図形の効果を検証するため、光学シミュレーションによる投影像と設計パターンとのずれの割合を誤差として測定する。適応型OPC技術では、最適化手法によって、アジャスタブル図形部分を、この誤差が最小となるように調整する。

[0133] 上記のように適応型OPC技術の特徴は、アジャスタブルOPCedセルをレイアウト後に調整する際、その調整で考慮する影響範囲を隣接するセルに限定しても、調整精度を落とさずに調整することができる点である。OPC図形の調整効果を検証するための、光学シミュレーションの計算時間は、計算する面積の2乗に比例し増加するので、なるべく計算面積を小さくすることができれば、検証に要する計算時間を抑えることができる。そのため、適応型OPC技術を、LSIチップなど大きなレイアウトパタ

ーン(マスクパターン)に適用した場合、レイアウトされた各セルの調整を、それらのセルに隣接した小さな領域に限定した最適化調整により行うことができれば、より効果的にその特徴を活かすことができ、調整精度を落とさずに、更なるOPC処理時間の短縮が期待できる。

[0134] そこで、本実施の形態においては、光学シミュレーションで計算するレイアウトパターンの領域を分割し、それぞれの領域を並列処理する高速化手法を提案する。この手法では、適応型OPC技術のアジャスタブルOPCedセルを基本とした領域で分割し、それぞれ別々のCPU(Central Processing Unit)でOPC最適化のための処理を並列処理することにより、1CPUあたりのシミュレーション面積、最適化調整するOPC図形数を少なくし、最適化調整に必要な時間を削減することができる。このため、レイアウトパターンの規模に関係なく、適応型OPC技術の特徴を効果的に活かすことが可能となる。

[0135] 本実施の形態によれば、後述の実験結果(実施例)において説明するように、並列処理の代表的なマスタースレーブモデルと比較して、約2倍の高速化を実現でき、3%以内のOPC精度を得ることができた。すなわち、本発明者が提案した適応型OPC技術は、OPCの計算領域を削減できるだけでなく、領域分割による並列処理を行うことで、より高精度に高速化できる。

[0136] 次に、レイアウトパターン(マスクパターン)を領域分割して生成される分割領域の構成の具体例を図53～図59により説明する。

[0137] 図53は、分割前のレイアウトパターンの例で、4種類のアジャスタブルOPCedセルcellA(cellA1～cellA4)が例示されている。ここには、4種類のアジャスタブルOPCedセルcellA(cellA1～cellA4)が行列状(2行3列)になって規則的に並んで6つ配置されている場合が例示されている。

[0138] 各アジャスタブルOPCedセルcellAは、例えば平面長方形に形成されており、その内部には、複数の設計パターンLPが配置されている。この設計パターンLPは、集積回路パターンを形成するパターンであり、従来のスタンダードセルとまったく同じデータ構造になっている。そのため、既存のEDAツールとの互換性を容易に保つことができる。符号CLは、セルcellの外周を示すセル外周線(セル境界)を示している。

なお、ここではアジャスタブル領域は省略する。また、本実施の形態で言うアジャスタブルOPCedセルcellAは、前記検討例において適応型OPC技術を採用したセルcellと同じものである。

[0139] 図54は、図53のレイアウトパターンに分割領域SA(SA1, SA2)を配置して示したレイアウト平面図、図55および図56は、それぞれ図54のレイアウトパターンの左上、上中央の分割領域SA1, SA2を抜き出して示した平面図、図57は、分割領域の説明図である。

[0140] 各分割領域SA(SA1, SA2)は、アジャスタブルOPCedセルcellAよりも大きな平面長方形に形成されている。各分割領域SA(SA1, SA2)は、その中心のアジャスタブルOPCedセルcellAの情報と、アジャスタブルOPCedセルcellAの外周の参照領域(Reference area: 第2領域)RAの情報とを有している。なお、図55および図56においては、図面を見易くするため、参照領域RAに右上斜線のハッチングを付した。

[0141] 上記のように分割領域SAは、アジャスタブルOPCedセルcellAを基本として生成されている。このため、本実施の形態においては、分割処理によってアジャスタブルOPCedセルcellAを分割してしまうことがない。すなわち、アジャスタブルOPCedセルcellA内の設計パターンLPも分割されてしまうことがない。したがって、本実施の形態のマスクパターン設計方法による作製されたマスクを用いて縮小投影露光処理を行った場合、パターンの転写精度を向上させることができる。

[0142] 上記参照領域RAは、その内側のアジャスタブルOPCedセルcellAに隣接する他のセル(他のアジャスタブルOPCedセル)cellからのOPEの影響を考慮するための領域である。この参照領域RAには、隣接する他のセルの設計パターンLPの一部が配置されている。このような参照領域RAを含むことにより、その内側のアジャスタブルOPCedセルcellA内に、最適なOPC図形を形成することができる。

[0143] 図54～図56の分割領域SAの例では、参照領域RAがアジャスタブルOPCedセルcellAの左右と下側に配置され、上側には配置されていない場合が示されている。これは、アジャスタブルOPCedセルcellAの左右と下側には他のセル(他のアジャスタブルOPCedセル)cellが配置されているが、上側には他のセル(他のアジャスタブ

ルOPCedセル)cellが配置されていないからである。

ただし、図57の下段に示すように、アジャスタブルOPCedセルcellAの周囲に他のセル(アジャスタブルOPCedセルcellA)がある場合、分割領域SAには、アジャスタブルOPCedセルcellAの周囲全体を取り囲むように参照領域RAが配置されるようになる。

[0144] この参照領域RAの幅W1は、アジャスタブルOPCedセルcellAの外周において全て等しく、例えばパターン露光に用いる露光光の波長を λ 、露光機のレンズの開口数をNAとすると、 $1.62\lambda / NA$ または $1.12\lambda / NA$ であり、上記アジャスタブル領域の幅と等しい。すなわち、ある分割領域SA(SA1)の参照領域RAは、これに隣接する他の分割領域SA(SA2)のアジャスタブルOPCedセルcellAのアジャスタブル領域の一部でもある。このように参照領域RAの幅を、アジャスタブル領域の幅と等しくしたことにより、分割領域SA生成時の参照領域RAの生成を容易にすることができる。

[0145] また、このような参照領域RA内のOPC図形は、隣の分割領域SAの中心部分のOPC図形とオーバーラップしており、調整される図形の変化に合わせて更新することによって、隣接するセルからのOPEを正確に計算することが可能になる。

[0146] 図58および図59は、参照領域RAの更新の様子を示している。なお、ここでは図面を見易くするため更新の様子を図58および図59に分けて示しているが、後述のように並列処理を行う場合には、同時に更新が行われている。

[0147] 例えば図58の左側の分割領域SA1の参照領域RAには、図58の右側の分割領域SA2内のアジャスタブルOPCedセルcellAのアジャスタブル図形が含まれており、調整初期状態では、両方の図形は同じ形をしている。調整が開始されると、分割領域SA1の参照領域RAの図形は、調整前の分割領域SA2内のアジャスタブルOPCedセルcellAの図形の形のままで、図58の左側の分割領域SA2内のアジャスタブルOPCedセルcellA内のアジャスタブル図形は、調整により形が最適化され変化する。図58の左右の分割領域SA1、SA2のオーバーラップ図形に相違が生じてくる。

[0148] 本実施の形態においては、この相違を解消するため、分割領域SA1、SA2間で互

いに参照領域RAの図形を更新することによって、隣接するセル(アジャスタブルOPCedセル)cellからのOPEの影響について十分な精度を確保できるようになっている。

[0149] 次に、図60に沿って、本実施の形態のOPC処理手順の一例を説明する。

まず、開発するLSIチップで用いるセルライブラリを設計する(St1)。続いて、それぞれのセルライブラリに予めOPC処理を施し、周辺部のアジャスタブル領域(干渉領域)内のOPC図形を調整可能なアジャスタブル図形とすることにより、アジャスタブルOPCedセルを作製する(St2)。セル毎にOPCを完了することで、配置後のチップ全面のOPC処理が不要となる。したがって、OPC処理時間を大幅に短縮できる。

[0150] 次いで、マスクパターン設計装置において、回路設計に従い、アジャスタブルOPCedセルを配置しレイアウトパターンを作成(入力)する(St3)。

続いて、マスクパターン設計装置において、上記レイアウトパターンを、図54～図59に示したように、アジャスタブルOPCedセルを基本とした領域に分割することにより、分割領域SAを生成する。その分割領域SAには、その中心部に配置されたアジャスタブルOPCedセルcellAの図形と、その周辺部に配置された参照領域RAの図形とが含まれている。ある分割領域SAの参照領域RAは、その分割領域SAのアジャスタブルOPCedセルcellAに隣接する他のアジャスタブルOPCedセルcellAのアジャスタブル領域とオーバーラップする領域である(St4)。

[0151] 次いで、マスクパターン設計装置において、それぞれの分割領域SAを並列計算機の各CPU(プロセス)に分配し、各分割領域SA毎にアジャスタブル図形の最適化調整を並列して行う(St5A)。このように光学シミュレーション面積を小さくすることにより処理速度を向上させることができる。また、最適化するOPC図形を少なくすることにより、処理速度を向上させることができる。さらに、複数の分割領域に対して並列して処理することにより、処理速度をさらに向上させることができる。

[0152] この最適化調整の際、上記参照領域RAを含むことにより、その内側のアジャスタブルOPCedセルcellA内に、最適なOPC図形を形成することができる。また、最適化調整の際に、参照領域RAのパターンは最適化しないが、隣接する分割領域SA間で互いに参照領域RAの図形を更新する(St5B)。すなわち、調整前の参照領域R

Aの図形を更新し、互いに隣接するセル(アジャスタブルOPCedセル)の最適化結果を反映していく。これにより、隣接するセルからのOPEを正確に計算することができるので、OPC補正精度を向上させることができる。

[0153] 続いて、各分割領域SAでそれぞれの最適化調整が終了した後、マスクパターン設計装置において、最適化された各分割領域SAを統合し、レイアウトパターンを作製する(St6)。

[0154] 次に、本実施の形態で用いた並列最適化調整アルゴリズムについて説明する。

本実施の形態においては、領域分割したパターンのアジャスタブル図形の調整に、確率的探索手法の1つで、複数の解候補を並列的に探索することができる遺伝的アルゴリズム(Genetic Algorithm; 以下、GAと略す)を用いた。GAの世代交代モデルには、局所解を回避するための多様性の維持と、解の収束性においてバランスの良いMGG (Minimal Generation Gap) モデルを用いた。また、GAの遺伝的操作には正規乱数型突然変異を用いた。

[0155] 本実施の形態において、GAを用いた並列最適化調整アルゴリズムのフローチャートを図61に示す。全体の流れとしては、まず、並列処理を行う各プロセスに分割領域を割り当てる(ASt1)。

[0156] 続いて、それぞれのプロセス(分割領域)において、まず、アジャスタブル図形の形状や寸法を、最適化手法の調整変数として扱うために染色体として、コード化し、染色体の初期個体集団をN個生成する(ASt2)。

[0157] 次いで、生成された各初期個体の適応度評価を行う。適応度評価では、各個体のパラメータから生成されるOPC図形を含むパターンの投影像を、光学シミュレーションにより計算し、設計パターンとの差分から適応度を評価する(ASt3)。

[0158] その後、集団から親個体2個を選択して(ASt4)、突然変異($\sigma N(0, 1)$)による遺伝子操作により子個体2個を生成する(ASt5)。この子個体を適応度評価した後(ASt6)、元の親個体2個と比較して、適応度に応じて淘汰し、置換する(ASt7)。

[0159] 本実施の形態においては、探索途中の操作として、L世代毎に隣接するプロセス間で参照領域のパラメータの更新を行う(ASt8, ASt9)。その時点におけるそれぞれのプロセスの最良個体のパラメータを元に、隣接するプロセスの参照領域の数値を

更新し、それ以降の適応度評価の光学シミュレーションの際に反映させる。

この最適化調整は、世代交代数がG回を超えた時点で終了し(ASt10)、各プロセスにおける最良個体のパラメータによるOPC図形をレイアウトパターンに統合する(ASt11)。

以上の手順によって、光学シミュレーションによる投影像が設計パターンに近づくようにアジャスタブル図形を調整する。

[0160] 次に、アジャスタブル図形の染色体へのコード化と適応度の計算方法について説明する。

[0161] コード化では、アジャスタブル図形の形状を決める変数を、調整箇所と同じ数で構成される一次元配列で表現する。図62に、コード化の例として、アジャスタブル図形の調整箇所と、この調整箇所に対応した、最適化における染色体の遺伝子配列を示す。

染色体は調整箇所と等しい数の遺伝子からなり、それぞれの遺伝子は調整箇所であるアジャスタブル図形の多角形の辺(図62のa, b, c, d)、あるいは多角形の線幅(図62のe, f, g, h)を示し、実数値で表現される。

[0162] 最適化で用いる適応度の計算は、次の手順で行う。まず、光学シミュレータを用いて、染色体により定まったマスクパターンの投影像を計算する。この結果をもとに、評価点において、投影像の寸法Pと設計パターンの寸法Oとのずれの割合を誤差Fとして次式で計算する。

$$F_i = |O_i - P_i| / O_i \quad \text{式(1)}$$

ここで、iは評価箇所を表す。以上のように全ての評価箇所における誤差を計算し、その中の最大誤差 $\max\{F_i\}$ を用いて、次式により適応度を計算する。

$$\text{適応度} = 1 / \max\{F_i\} \quad \text{式(2)}$$

適応度の値が最大となる(誤差が小さくなる)ことが、最適なアジャスタブル図形が生成されることを意味する。

[0163] 投影像の評価方法は、線幅と先端部とで異なるため、これを図63を用いて説明する。線幅を評価する場合は、2つの評価点E1a, E1bの間の距離を設計パターンの寸法O1、評価点E1aと評価点E1bとを結ぶ線上における投影像の幅を投影像の寸

法P1として上記(2)式でF1を計算する。

[0164] 投影像の先端部を評価する場合は、設計パターンの外部で、評価点E2を含む線分の垂線上に参照点Rを設け、この点から評価点E2までの距離を設計パターンの寸法O2、投影像の先端までの距離を投影像の寸法P2として、上記(2)式でF2を計算する。

[0165] このような本実施の形態によれば、以下の効果を得ることができる。

(1) 上記のように領域を分割することにより、シミュレーション(露光パターンの評価)を行うレイアウトパターンの面積を分割し、投影像の計算時間を短縮することができる。

(2) 上記のように領域を分割することにより、1つの分割領域あたりの調整変数を減らすことができるので、最適解への収束性を高めることができる。さらに、並列処理により、分割領域を同時に最適化することができるので、全体の調整時間を短縮することができる。

(3) 上記(1)、(2)により、本実施の形態のマスクパターン設計方法により作製されたマスクを用いて製造される半導体装置の製作TATを短縮することができる。その結果、半導体装置の製造コストを削減することができる。

(4) 分割領域の周辺部に、隣接するセルのOPC図形を含む参照領域を持たせ、その参照領域の図形を、分割後も、元のOPC図形の最適化に合わせて変更することにより、隣接したセルからのOPEを正確に考慮することができるので、高精度な調整をすることができる。

[0166] (5) 分割領域の生成に際しては、アジャスタブルOPCedセルを基本とし、これを分割してしまわないようにする。これにより、本実施の形態で作製されたマスクパターン設計方法を用いて作製されたマスクを用いてレジスト膜に転写されるパターンの転写精度を向上させることができる。

(6) 上記(4)、(5)により、パターン転写の忠実性を向上させることができるので、半導体装置の歩留まりおよび信頼性を向上させることができる。

(7) 上記(1)～(6)により、半導体装置のパターンの微細化に伴うマスクパターン設計時のデータ量や製作時間の増大を抑えることができるので、半導体装置のパター

ンの微細化に対応することができる。

[0167] なお、設計パターンデータ(マスクパターンデータ)の作成方法、OPC図形パターンの生成方法、マスクを用いた縮小投影露光方法および半導体装置の製造方法等については、前記検討例で説明したのと同じなので説明を省略する。

[0168] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0169] 例えば前記実施の形態においては、適応型OPC技術を採用し、アジャスタブルOPCedセルを用いた場合について説明したが、これに限定されるものではなく、通常のセルを用いる場合でも適用できる。すなわち、前記実施の形態においては、OPC最適化処理において、アジャスタブルOPCedセルのアジャスタブル領域のOPC図形を調整したが、これに限定されるものではなく、セル内の全部の領域のOPC図形を調整するようにしても良い。

[0170] 例えば本実施の形態では作成されたマスクを半導体装置における所望のパターンを縮小投影露光する工程に適用した場合について説明したが、これに限定されるものではなく、例えば液晶装置、マイクロマシンまたは磁気ヘッド等における所望のパターンを縮小投影露光する工程に適用することができる。

実施例

[0171] 次に、前記実施の形態の手法の有効性を検証するために行ったシミュレーション実験について説明する。

[0172] 実験では、6つのセルを配置したテストパターンを用いて、前記実施の形態の手法を用いて領域分割した並列処理による最適化調整を行った。有効性を検証するための比較手法として、GA調整の代表的な並列処理であるマスタースレーブモデルを用いて同じテストパターンでの最適化調整を行った。以下では、まず、シミュレーション実験条件およびレイアウトパターン作製などの実験準備について述べた後、シミュレーション実験結果を示す。

[0173] 実験条件

光学シミュレーションには、部分コヒーレント理論をもとに作製した光学シミュレータ

を用いた。シミュレーション実験に用いた並列計算機の性能は、CPU:Xeonプロセッサ 3.4GHz、メモリ:4GB、オペレーティングシステム(OS):SUSE LINUX Enterprise Server 9、Compiler:gcc3.3、通信ライブラリ:mpich-1.2.6 build by gcc3.3、並列プロセッサ数:6である。光学シミュレーションでは、現在主流となっている90nmライブラリの回路の光学条件として、波長=193nm、NA=0.7($k_1=0.32$)を想定した。実験では、130nmライブラリの回路パターンを用いたので、 k_1 値を等しくするために、波長=193nm、NA=0.48としてシミュレーションを行った。また、その他の光学条件は、輪帯照明(σ (外径/内径)=0.85/0.55)、位相シフトマスク(透過率6%)と設定した。

[0174] ここでは、前記実施の形態の手法の有効性を検証するため、以下の3つの手法を用いて実験を行った。

- (1) 1つのCPUによる従来の適応型OPC技術
- (2) 6つのCPU(マスターは除く)によるマスタースレーブモデル
- (3) 6つのCPUによる前記実施の形態の手法

[0175] 図64に、上記各実験手法の比較条件を示す。これらの条件を比較することで、前記実施の形態の手法の利点について検証することが可能である。これらの手法に共通した最適化手法GAで用いたパラメータは、GAの個体数 $N=50$ 、世代数 $G=500$ 、正規乱数型突然変異パラメータ $\sigma=1\text{nm}$ とした。なお、前記実施の形態の手法における上記参照領域の更新間隔は、 $L=100$ とした。

[0176] 実験準備

実験の準備として、(株)半導体理工学研究センター(STARC)が開発した130nmライブラリを用いて、セルcellA1～セルcellA4の4つのアジャスタブルOPCedセルを作製した。これは、検証実験に用いるテストパターンを作製するためのセルである。それぞれのセルでは、大きさを $2.4 \times 3.6 \mu\text{m}^2$ 、アジャスタブル領域をセルの端から446.65nmの領域、残りをフィクスト領域と設定した。この領域の幅は、図65に示す回折像強度分布の3次回折像(図65の3次(3rd order))までの範囲をOPEの影響範囲と考え、算出した値である。各アジャスタブルOPCedセルの調整図形は、予めセル単独の状態で調整されており、その補正精度は、国際半導体技術ロードマップ(

International Technology Roadmap for Semiconductor:ITRS)で定められている、最先端プロセスの要求精度である3%とした。

[0177] 図66に、セルcellA1～セルcellA4の4つのアジャスタブルOPCedセルを6つランダムに配置して作製した、実験で用いるテストパターンを示す。このテストパターンでは、配置したことにより、その最大誤差値は、5.51%に悪化した。これは、セルそれぞれを3%以内に調整しても、配置した隣接セルからのOPEにより誤差が大きくなったことを示している。本実験では、最大誤差値5.51%のテストパターンの状態を初期状態として、前記実施の形態の手法の有効性を検証する実験を行った。

[0178] 前記実施の形態の手法を用いた検証実験

図67に、前記実施の形態の手法と比較2手法の調整結果を示す。同じ6つのCPUによる並列処理のマスタースレーブと前記実施の形態の手法とでは、前記実施の形態の手法の方が調整時間も早く、調整後の誤差も少ないことが分かる。従来手法の調整時間を基準とした場合、マスタースレーブでは、ほぼ理論通りの6倍の高速化、前記実施の形態の手法では、約11.4倍の高速化を実現できた。この実験結果と図64の実験条件を比べると、1つのCPUあたりの評価回数を減らすことよりも、レイアウトパターンの計算面積を減らす方が効果的な高速化が図れることが分かる。

[0179] 図68に、1評価に掛かる光学シミュレーション時間を示す。光学シミュレーション時間が領域分割により、短縮されていることが分かる。したがって、前記実施の形態の手法では、領域分割により光学シミュレーション時間の短縮を可能とし、OPC計算の処理時間の高速化を実現したことが分かった。また、前記実施の形態の手法による調整結果は、他の2手法よりも誤差が少なく、ITRSで定められている要求精度3%を満たす正確なOPCパターンで生成できていることが分かる。すなわち、前記実施の形態の手法では、高速化に加え、さらに高精度のOPC補正を可能とした。

[0180] 図69に、前記実施の形態の手法(実線)とマスタースレーブ(破線)とによる調整実験の収束の様子を示す。グラフの横軸は世代数、縦軸は最大誤差を示している。前記実施の形態の手法は、効率良く収束しているのに対し、マスタースレーブは、最適化途中で収束してしまっている。マスタースレーブでは、1つのCPUに対する調整図形数が多いため、局所解に留まる確率が高く、最適解に短時間で到達することがで

きなかったものと思われる。これに対して、前記実施の形態の手法は、1つのCPUあたりの調整図形数が少ないことにより、最適解への収束性を高めることで、最適化調整の高速化を実現することができた。

[0181] このように前記実施の形態で説明した領域分割により、レイアウトパターンの規模に関係なく、適応型OPC技術の特徴を効果的に活かすことが可能になった。従来の適応型OPC技術では、規模の大きなレイアウトパターンへの適用は難しかった。例えば、ある2mm角のLSIチップにおけるロジック部分では、使用セルは、266,953個で、前記実施の形態の手法による領域分割および並列処理無しでは適用は不可能と思われる。上記検証実験に使用したセルのように、仮に1つのセルに16箇所の調整図形がある場合、上記LSIチップでの調整図形数は、427万箇所となり、同時調整を行うことは不可能に近い。一方、前記実施の形態の手法では、領域分割を行うことで、同時に調整する図形数は16箇所になるので、最適化調整を行うことが可能である。

[0182] 上記ロジック部分へ前記実施の形態の手法を適用した場合の計算時間について演算を行った。OPC計算で用いられている並列処理は、1000台以上の場合もあるので、試算では、1000台の並列処理を仮定した。ここでの検証実験より、前記実施の形態の手法で誤差が3%に到達する時間を3時間として試算すると、 $266,935 \text{セル} \times 3 \text{時間} \div 1000 \text{台} = \text{約}800 \text{時間} = \text{約}33 \text{日}$ と現実的な時間となった。ここで用いた光学シミュレーションに代えて、市販の高速な光学シミュレーションを用いることにより、この試算時間はより早くなる。

[0183] このように、前記実施の形態の手法を導入することにより、適応型OPC技術が、実用的なOPC生成手法として機能し、実際の大規模LSIチップにも適用できる。また、前記実施の形態の手法は、特別なノウハウや試行錯誤を必要とせず、ITRSで定められた最先端プロセスの要求する精度を満たしており、90nm世代以降のOPC技術として十分に機能する。

産業上の利用可能性

[0184] 本願発明は、光近接効果補正(OPC)処理されたセルライブラリパターンを用いるマスクパターン設計方法に利用することができる。

請求の範囲

- [1] (a)マスクパターンを露光してパターンを転写する際に生じる形状変化を補正する近接効果補正を、セルライブラリに含まれる複数のセル毎に施す工程と、
- (b)前記近接効果補正が施された前記複数のセルを配置してマスクパターンを設計する工程と、
- (c)前記(b)工程により設計されたマスクパターンを分割し、複数の分割領域を生成する工程と、
- (d)前記(c)工程後、前記複数の分割領域毎に、前記近接効果補正の補正量を調整する工程と、
- (e)前記(d)工程後、前記複数の分割領域を統合する工程とを含み、
- 前記(c)工程の前記複数の分割領域の各々は、
- 前記セルの情報と、
- 前記セルのセル境界から外側に向かう領域であって、前記セルに隣接する他のセルの一部の領域の情報とを有しており、
- 前記(d)工程においては、
- (d1)前記複数の分割領域の各々における前記セルの全体または一部の領域の最適化調整を行う工程と、
- (d2)前記複数の分割領域の各々における前記セルに隣接する他のセルの一部の領域の情報を更新する工程とを有することを特徴とするマスクパターン設計方法。
- [2] 請求項1記載のマスクパターン設計方法において、前記複数の分割領域の各々における前記セルのセル境界から外側に向かう領域であって、前記セルに隣接する他のセルの一部の領域の幅は、パターン露光に用いる露光光の波長を λ 、露光機のレンズの開口数をNAとすると、 $1.62\lambda / NA$ であることを特徴とするマスクパターン設計方法。
- [3] 請求項1記載のマスクパターン設計方法において、前記複数の分割領域の各々における前記セルのセル境界から外側に向かう領域であって、前記セルに隣接する他のセルの一部の領域の幅は、パターン露光に用いる露光光の波長を λ 、露光機のレンズの開口数をNAとすると、 $1.12\lambda / NA$ であることを特徴とするマスクパターン設計方法。

計方法。

- [4] (a) マスクパターンを露光してパターンを転写する際に生じる形状変化を補正する近接効果補正を、セルライブラリに含まれる複数のセル毎に施す工程と、
- (b) 前記近接効果補正が施された前記複数のセルを配置してマスクパターンを設計する工程と、
- (c) 前記(b)工程により設計されたマスクパターンを分割し、複数の分割領域を生成する工程と、
- (d) 前記(c)工程後、前記複数の分割領域毎に、前記近接効果補正の補正量を調整する工程と、
- (e) 前記(d)工程後、前記複数の分割領域を統合する工程とを含み、
- 前記(a)工程の前記複数のセルライブラリの各々は、
- 前記セルのセル境界から内側に向かう領域であって、そのセルの周辺に配置された他のセルから前記形状変化の影響を受ける可能性のある第1領域の情報を有し、
- 前記(c)工程の前記複数の分割領域の各々は、
- 前記セルの情報と、
- 前記セルのセル境界から外側に向かう領域であって、前記セルに隣接する他のセルの一部の第2領域の情報とを有しており、
- 前記(d)工程においては、
- 前記第1領域の情報の最適化調整を行う工程と、
- 前記第2領域の情報を更新する工程とを有することを特徴とするマスクパターン設計方法。
- [5] 請求項4記載のマスクパターン設計方法において、前記第1領域の幅と、前記第2領域の幅とが等しいことを特徴とするマスクパターン設計方法。
- [6] 請求項4記載のマスクパターン設計方法において、前記第1領域および前記第2領域の各々の幅は、パターン露光に用いる露光光の波長を λ 、露光機のレンズの開口数をNAとすると、 $1.62\lambda / NA$ であることを特徴とするマスクパターン設計方法。
- [7] 請求項4記載のマスクパターン設計方法において、前記第1領域および前記第2領域の各々の幅は、パターン露光に用いる露光光の波長を λ 、露光機のレンズの開口

数をNAとすると、 $1.12\lambda / NA$ であることを特徴とするマスクパターン設計方法。

- [8] (a) マスクパターンを露光してパターンを転写する際に生じる形状変化を補正する近接効果補正が施された複数のセルを配置してマスクパターンを設計する手段と、
- (b) 前記マスクパターンを分割して複数の分割領域を生成する手段と、
- (c) 前記複数の分割領域毎に、前記近接効果補正の補正量を調整する手段と、
- (d) 前記(c) 手段により調整された前記複数の領域を統合する手段とを含み、
- 前記複数の分割領域の各々は、
- 前記セルの情報と、
- 前記セルのセル境界から外側に向かう領域であって、前記セルに隣接する他のセルの一部の領域の情報とを有しており、
- 前記(c) 手段は、
- (c1) 前記複数の分割領域の各々における前記セルの全体または一部の領域の最適化調整を行う手段と、
- (c2) 前記複数の分割領域の各々における前記セルに隣接する他のセルの一部の領域の情報を更新する手段とを有することを特徴とするマスクパターン設計装置。
- [9] (a) マスクパターンを露光してパターンを転写する際に生じる形状変化を補正する近接効果補正を、セルライブラリに含まれる複数のセル毎に施す工程と、
- (b) 前記近接効果補正が施された前記複数のセルを配置してマスクパターンを設計する工程と、
- (c) 前記(b) 工程により設計されたマスクパターンを分割し、複数の分割領域を生成する工程と、
- (d) 前記(c) 工程後、前記複数の分割領域毎に、前記近接効果補正の補正量を調整する工程と、
- (e) 前記(d) 工程後、前記複数の分割領域を統合する工程と、
- (f) 前記(e) 工程後、前記マスクパターンを露光して半導体ウエハにパターンを転写する工程とを含み、
- 前記(c) 工程の前記複数の分割領域の各々は、
- 前記セルの情報と、

前記セルのセル境界から外側に向かう領域であつて、前記セルに隣接する他のセルの一部の領域の情報とを有しており、

前記(d)工程においては、

(d1)前記複数の分割領域の各々における前記セルの全体または一部の領域の最適化調整を行う工程と、

(d2)前記複数の分割領域の各々における前記セルに隣接する他のセルの一部の領域の情報を更新する工程とを有することを特徴とする半導体製造装置の製造方法。

- [10] 請求項9記載の半導体装置の製造方法において、前記複数の分割領域の各々における前記セルのセル境界から外側に向かう領域であつて、前記セルに隣接する他のセルの一部の領域の幅は、パターン露光に用いる露光光の波長を λ 、露光機のレンズの開口数をNAとすると、 $1.62\lambda / NA$ であることを特徴とする半導体装置の製造方法。
- [11] 請求項9記載の半導体装置の製造方法において、前記パターンは、電界効果トランジスタのゲート電極パターンであることを特徴とする半導体装置の製造方法。
- [12] 請求項9記載の半導体装置の製造方法において、前記パターンは、素子分離パターンであることを特徴とする半導体装置の製造方法。
- [13] 請求項9記載の半導体装置の製造方法において、前記パターンは、導電層間を接続するコンタクトホールパターンであることを特徴とする半導体装置の製造方法。
- [14] (a)マスクパターンを露光してパターンを転写する際に生じる形状変化を補正する近接効果補正を、セルライブラリに含まれる複数のセル毎に施す工程と、
- (b)前記近接効果補正が施された前記複数のセルを配置してマスクパターンを設計する工程と、
- (c)前記(b)工程により設計されたマスクパターンを分割し、複数の分割領域を生成する工程と、
- (d)前記(c)工程後、前記複数の分割領域毎に、前記近接効果補正の補正量を調整する工程と、
- (e)前記(d)工程後、前記複数の分割領域を統合する工程と、

(f)前記(e)工程後、前記マスクパターンを露光して半導体ウエハにパターンを転写する工程とを含み、

前記(a)工程の前記複数のセルの各々は、

前記セルのセル境界から内側に向かう領域であって、そのセルの周辺に配置された他のセルから前記形状変化の影響を受ける可能性のある第1領域の情報を有し、

前記(c)工程の前記複数の分割領域の各々は、

前記セルの情報と、

前記セルのセル境界から外側に向かう領域であって、前記セルに隣接する他のセルの一部の第2領域の情報とを有しており、

前記(d)工程においては、

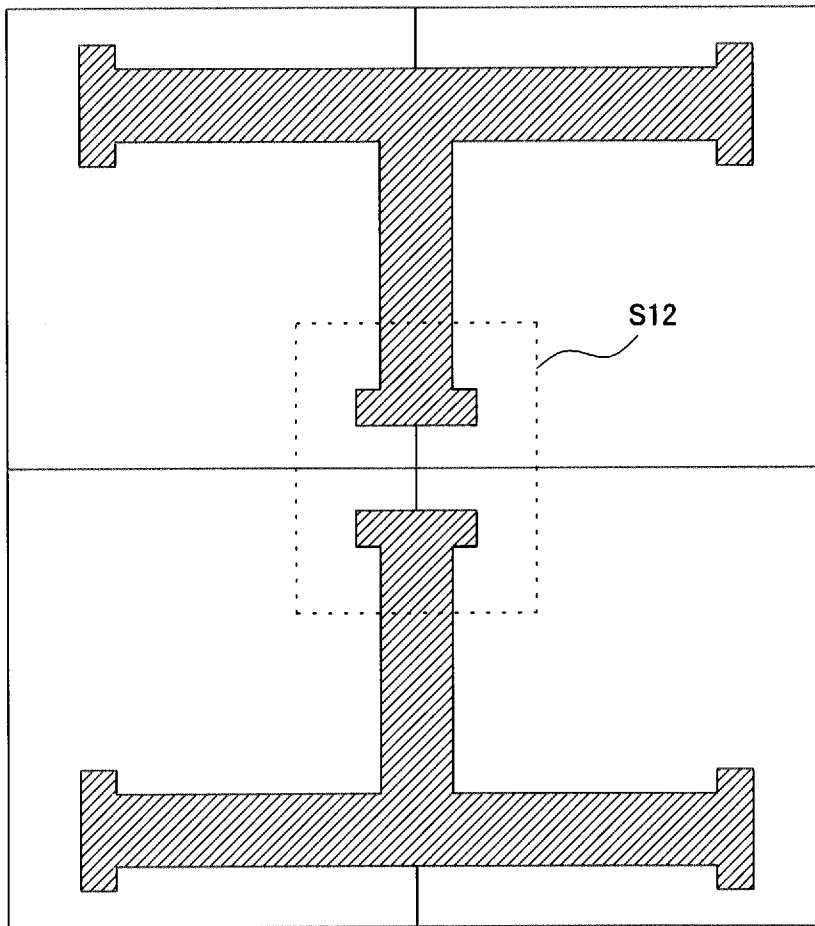
前記第1領域の情報の最適化調整を行う工程と、

前記第2領域の情報を更新する工程とを有することを特徴とする半導体装置の製造方法。

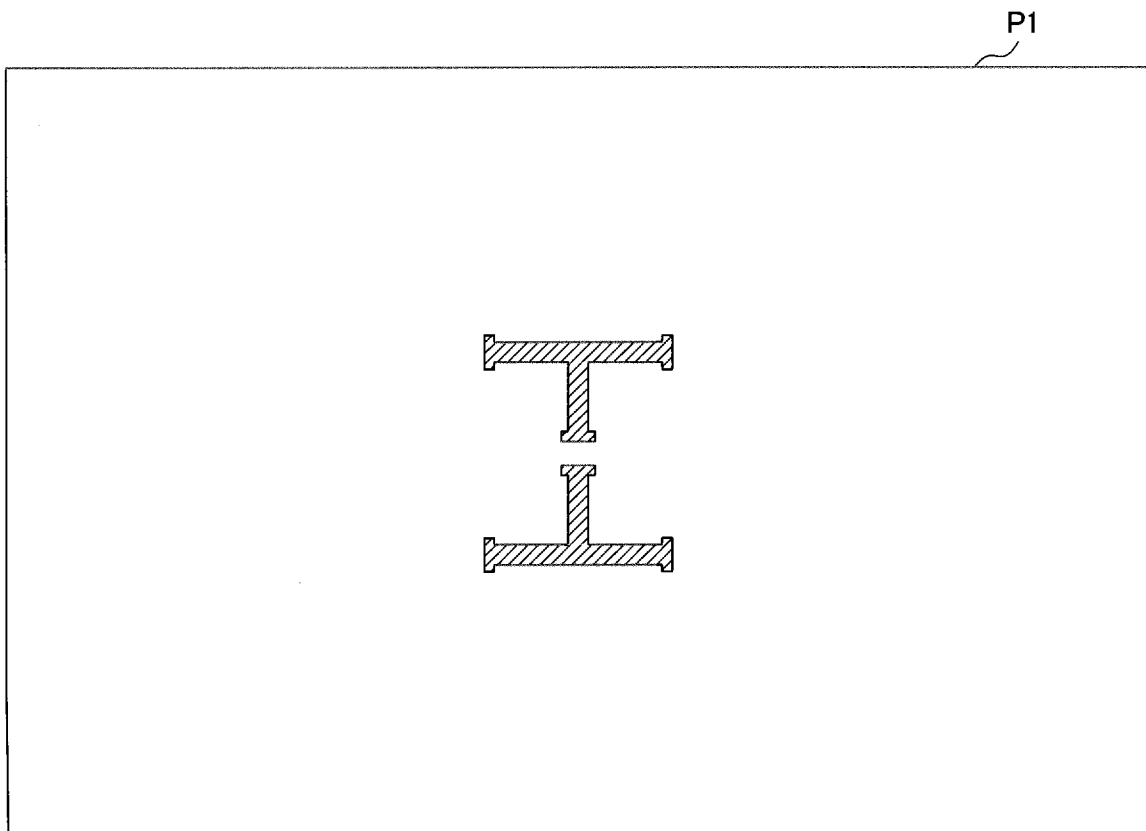
[15] 請求項14記載の半導体装置の製造方法において、前記第1領域の幅と、前記第2領域の幅とが等しいことを特徴とする半導体装置の製造方法。

[16] 請求項14記載の半導体装置の製造方法において、前記第1領域および前記第2領域の各々の幅は、パターン露光に用いる露光光の波長を λ 、露光機のレンズの開口数をNAとすると、 $1.62\lambda / NA$ であることを特徴とする半導体装置の製造方法。

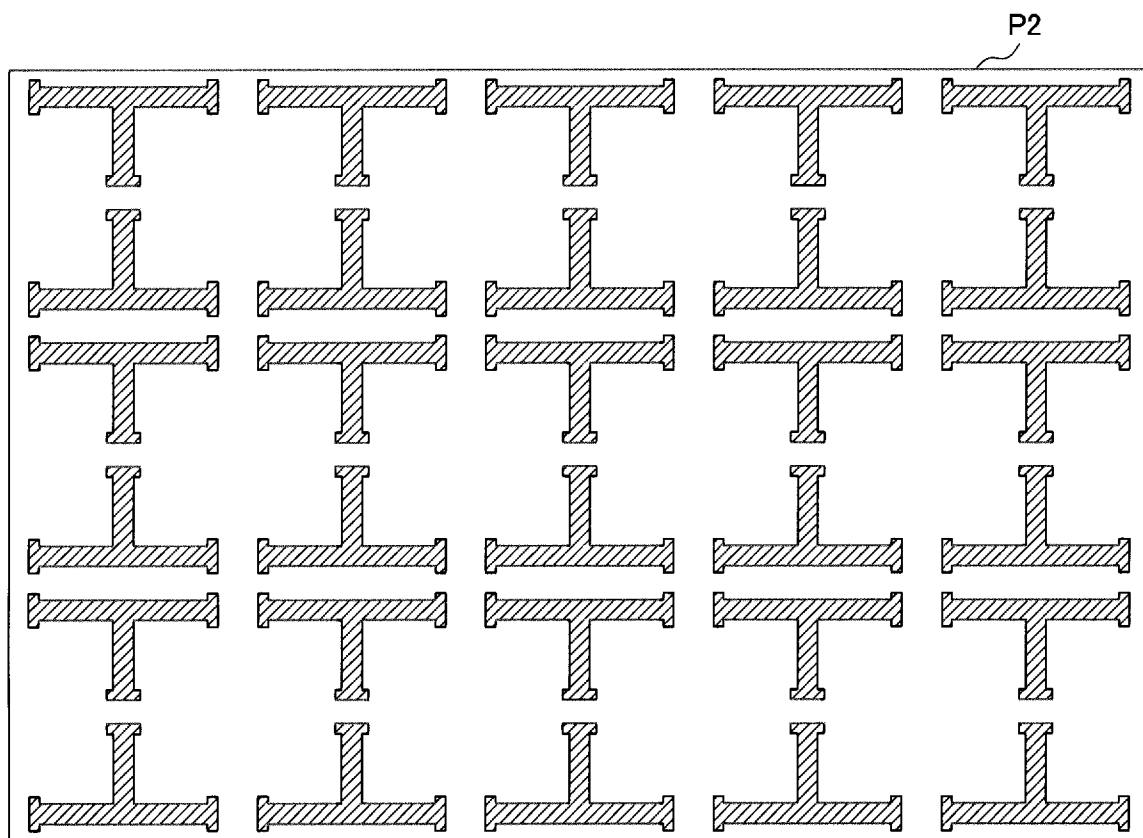
[図1]



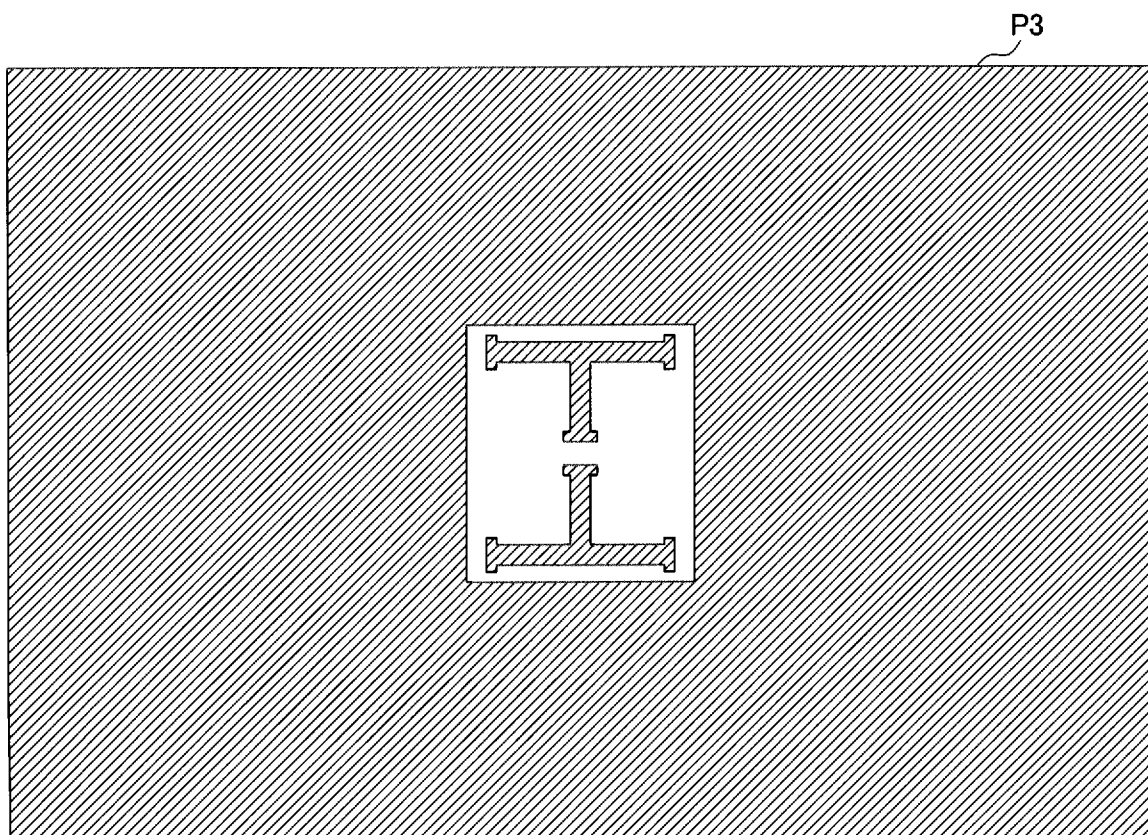
[図2]



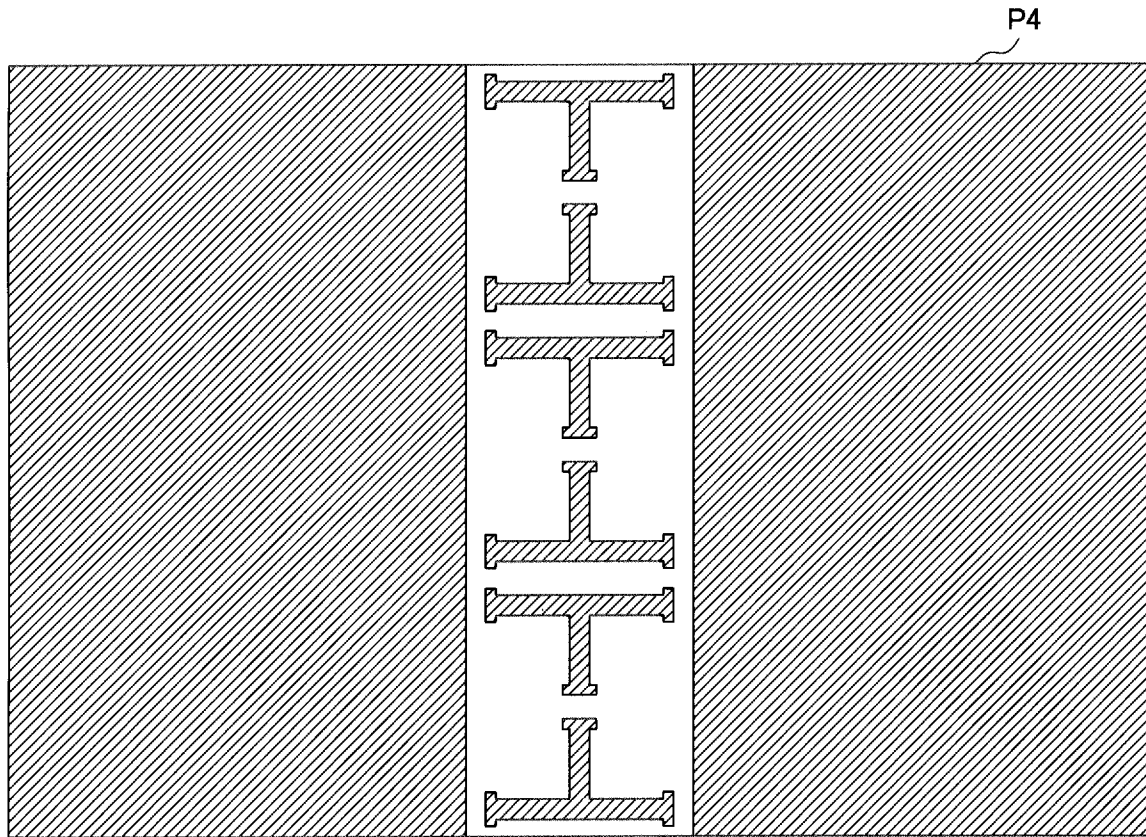
[図3]



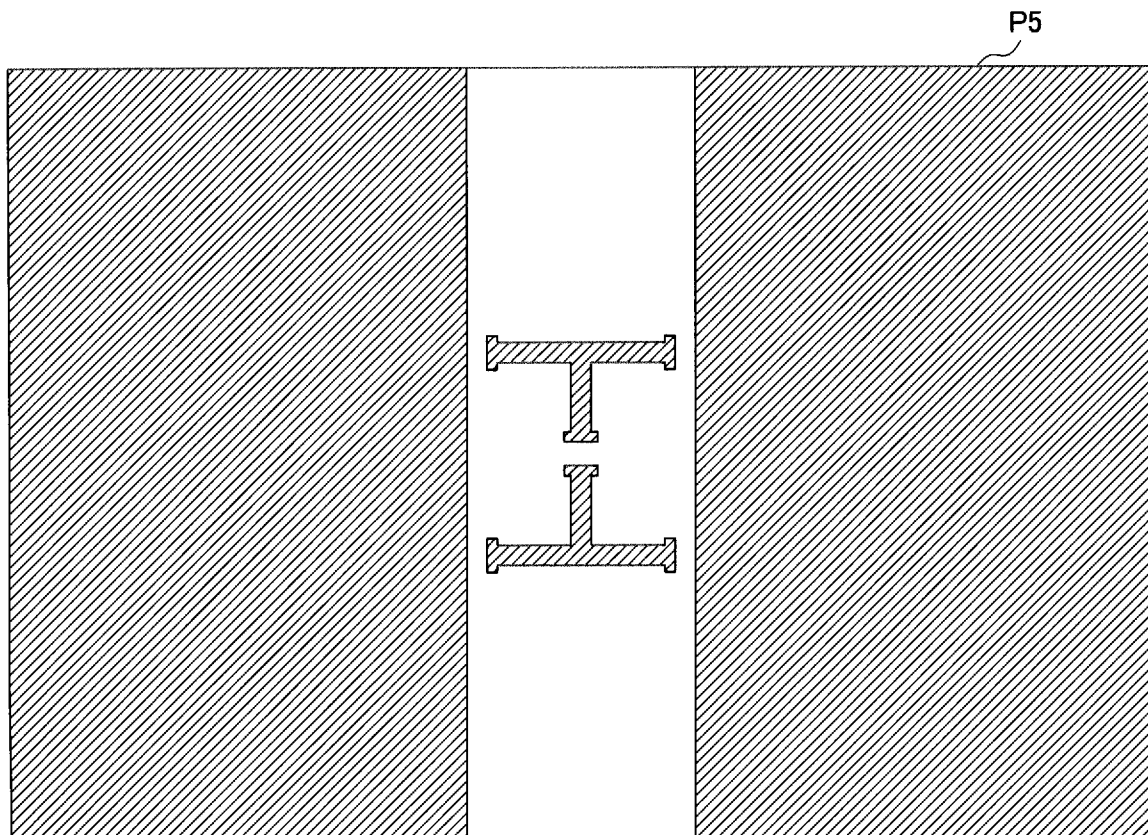
[図4]



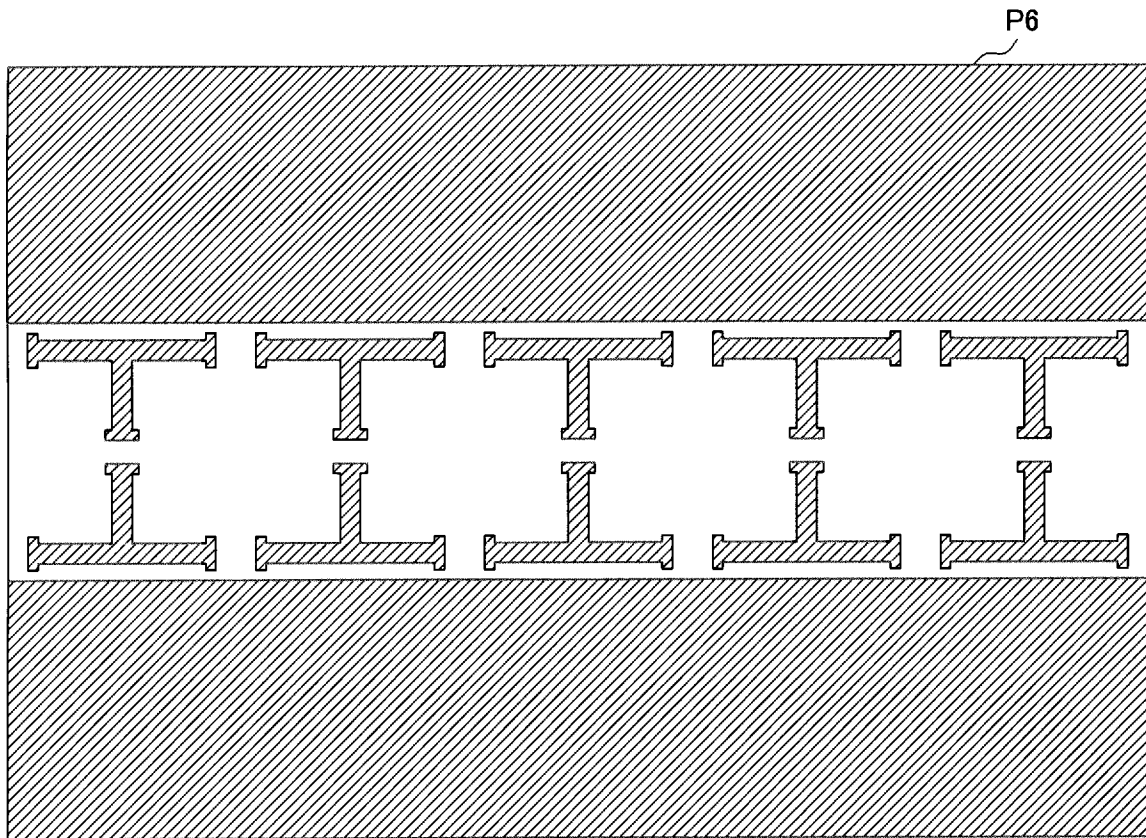
[[図5]]



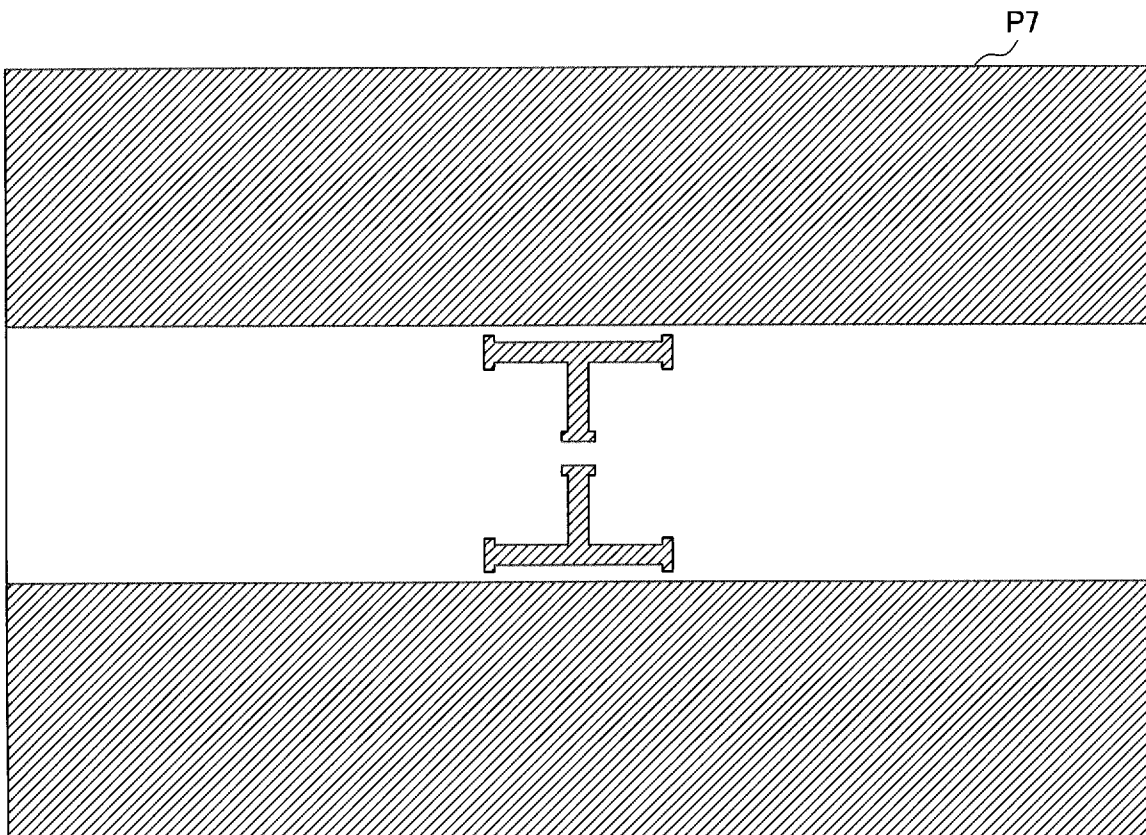
[[図6]]



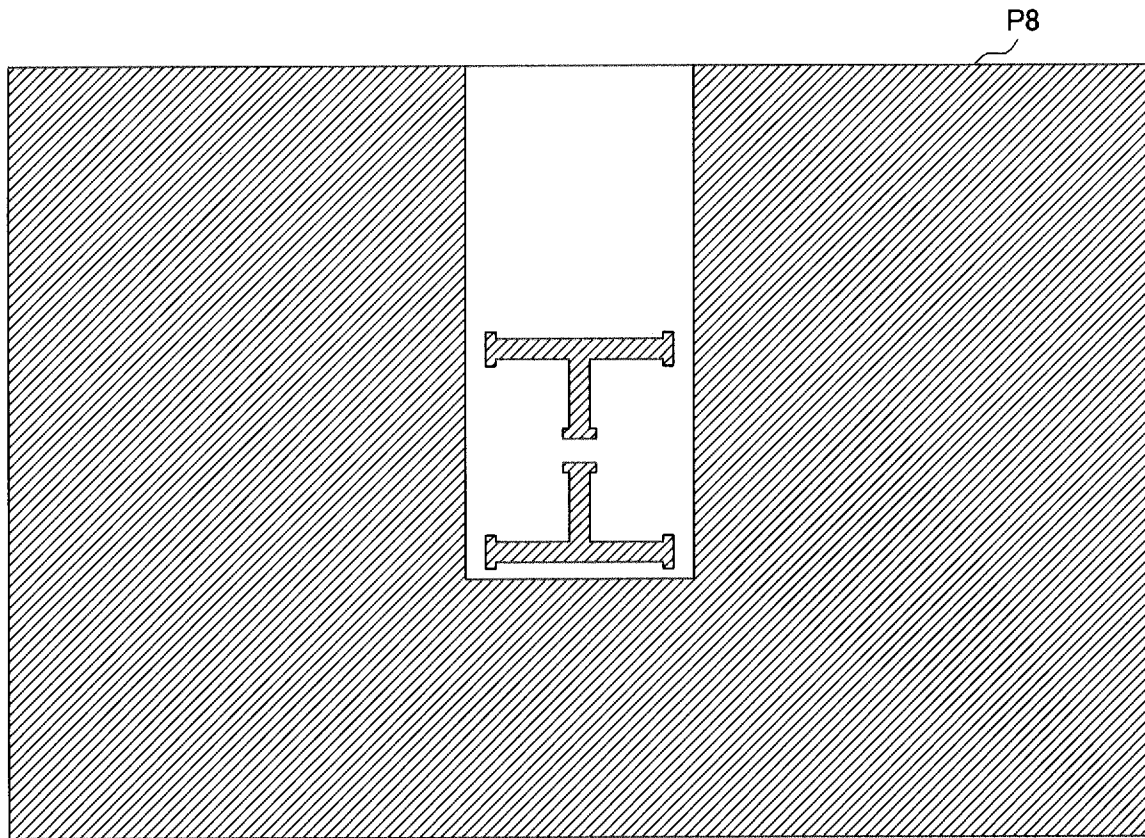
[図7]



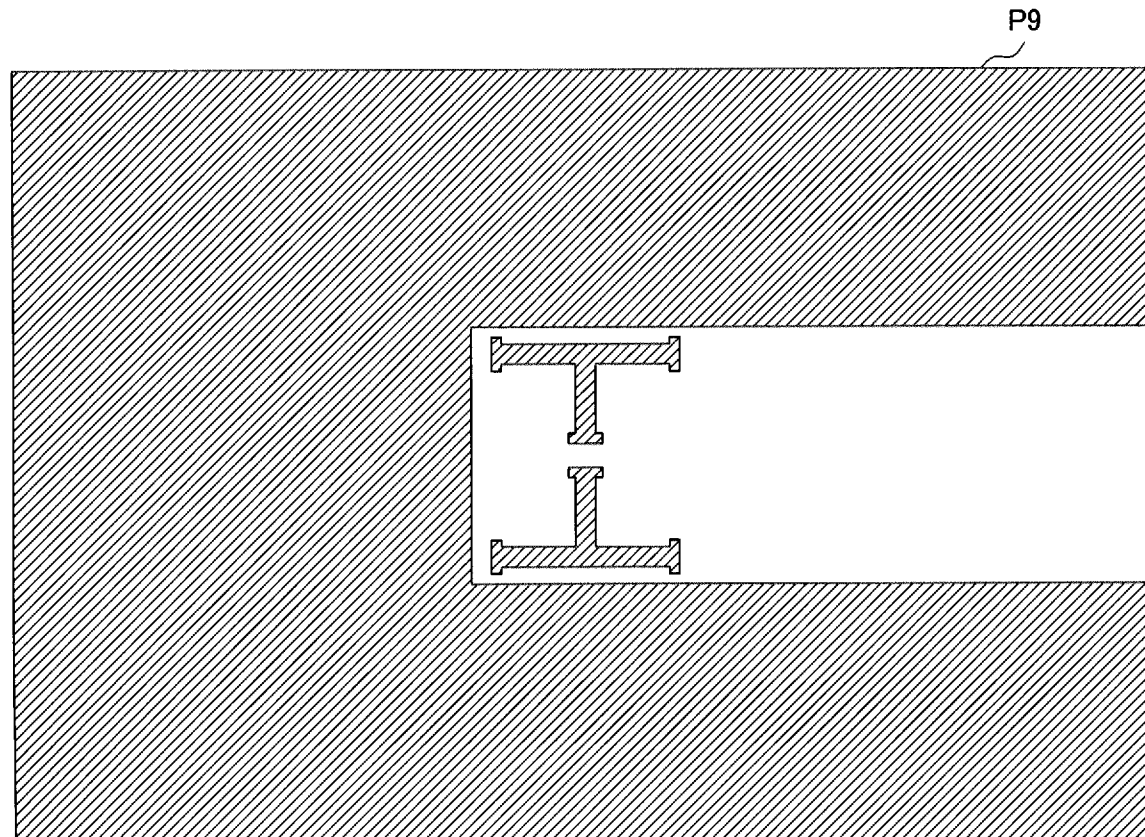
[図8]



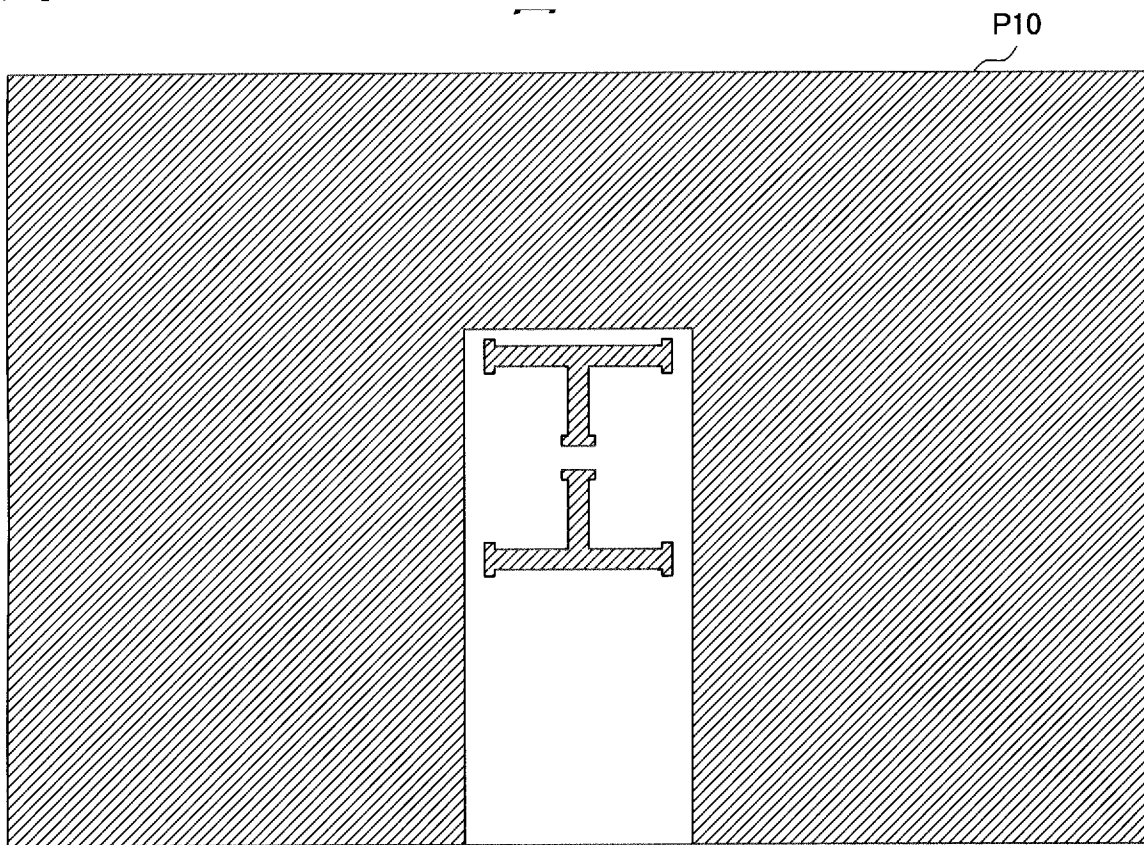
[図9]



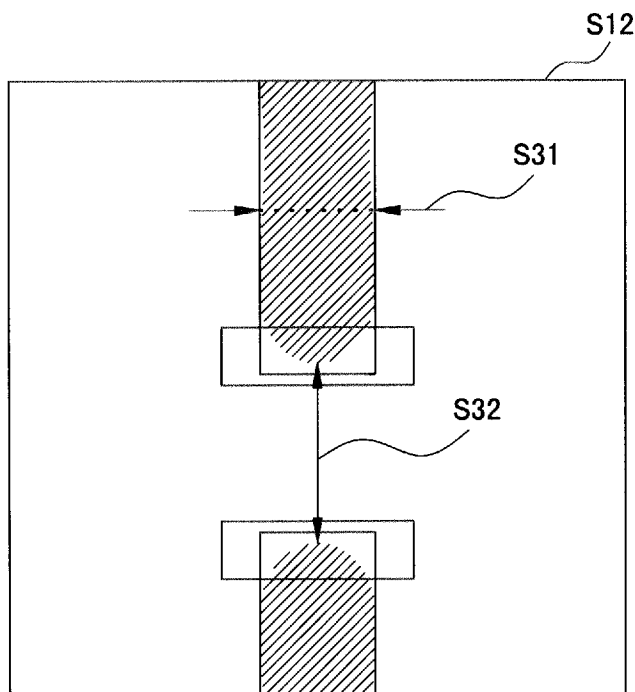
[図10]



[図11]

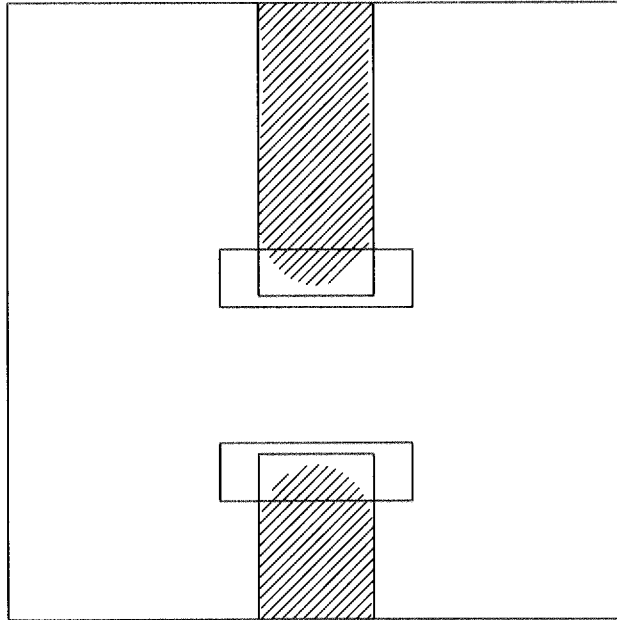


[図12]

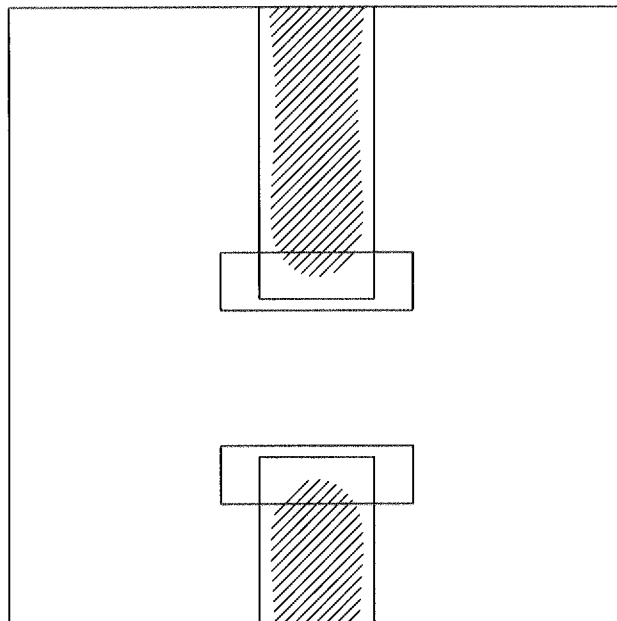


[図13]

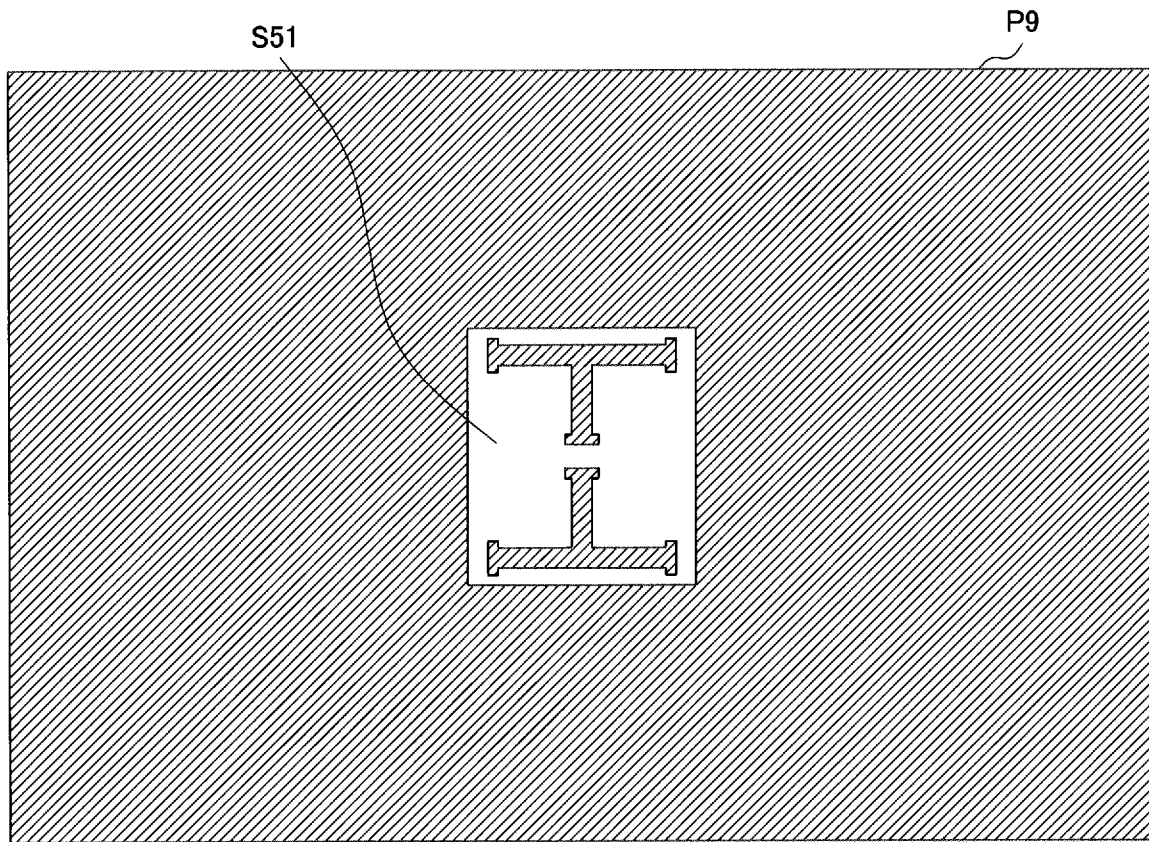
(a)



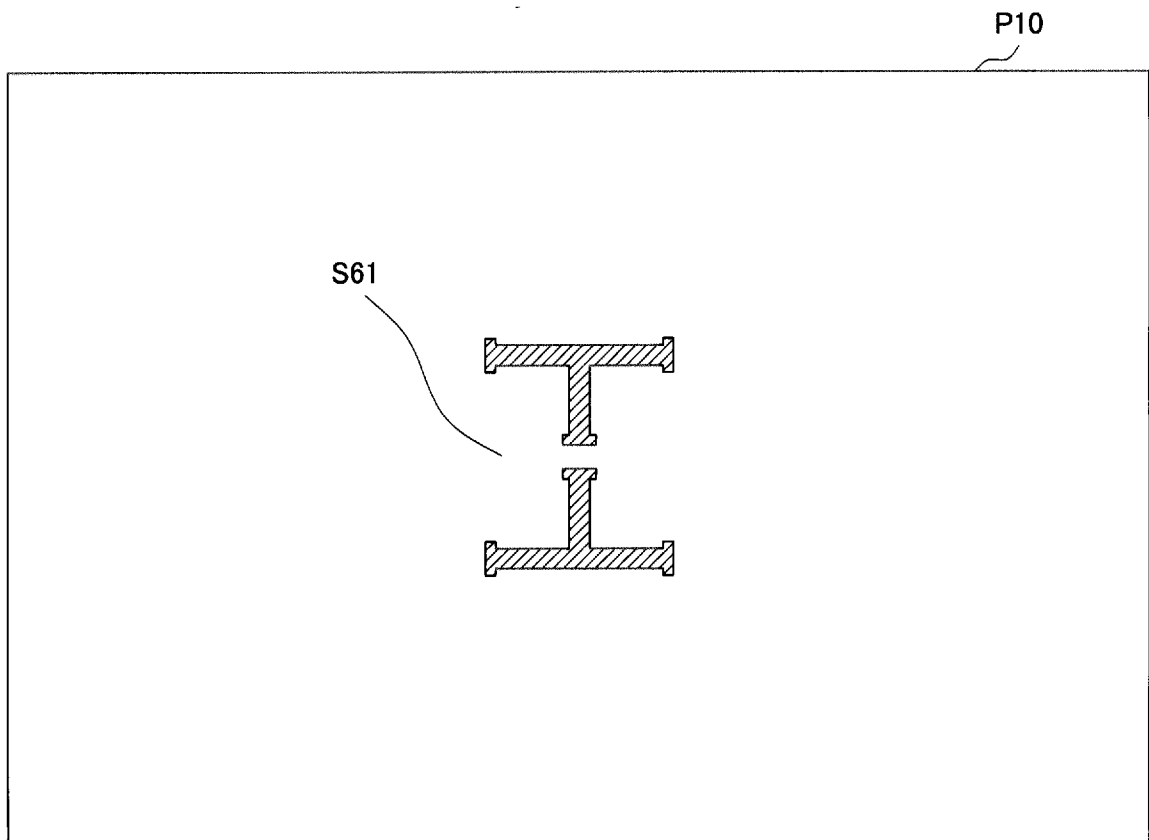
(b)



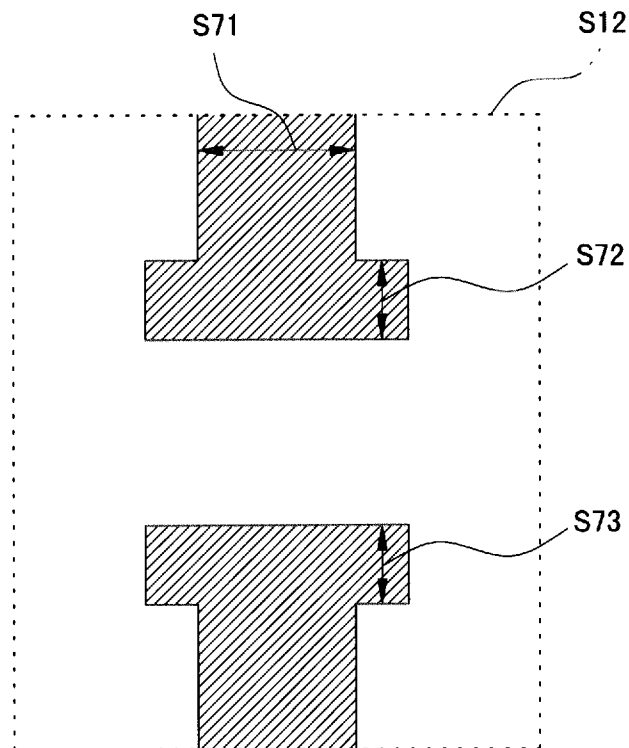
[図14]



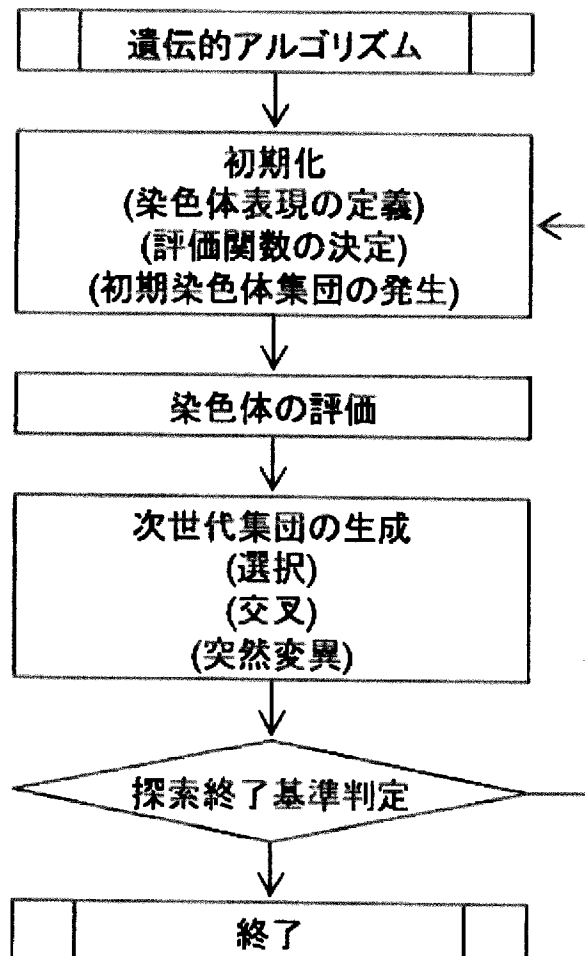
[図15]



[図16]



[図17]

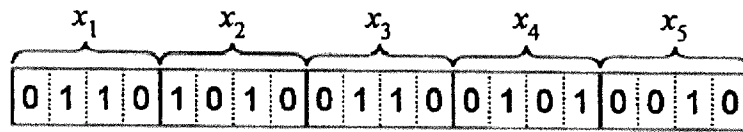


[図18]

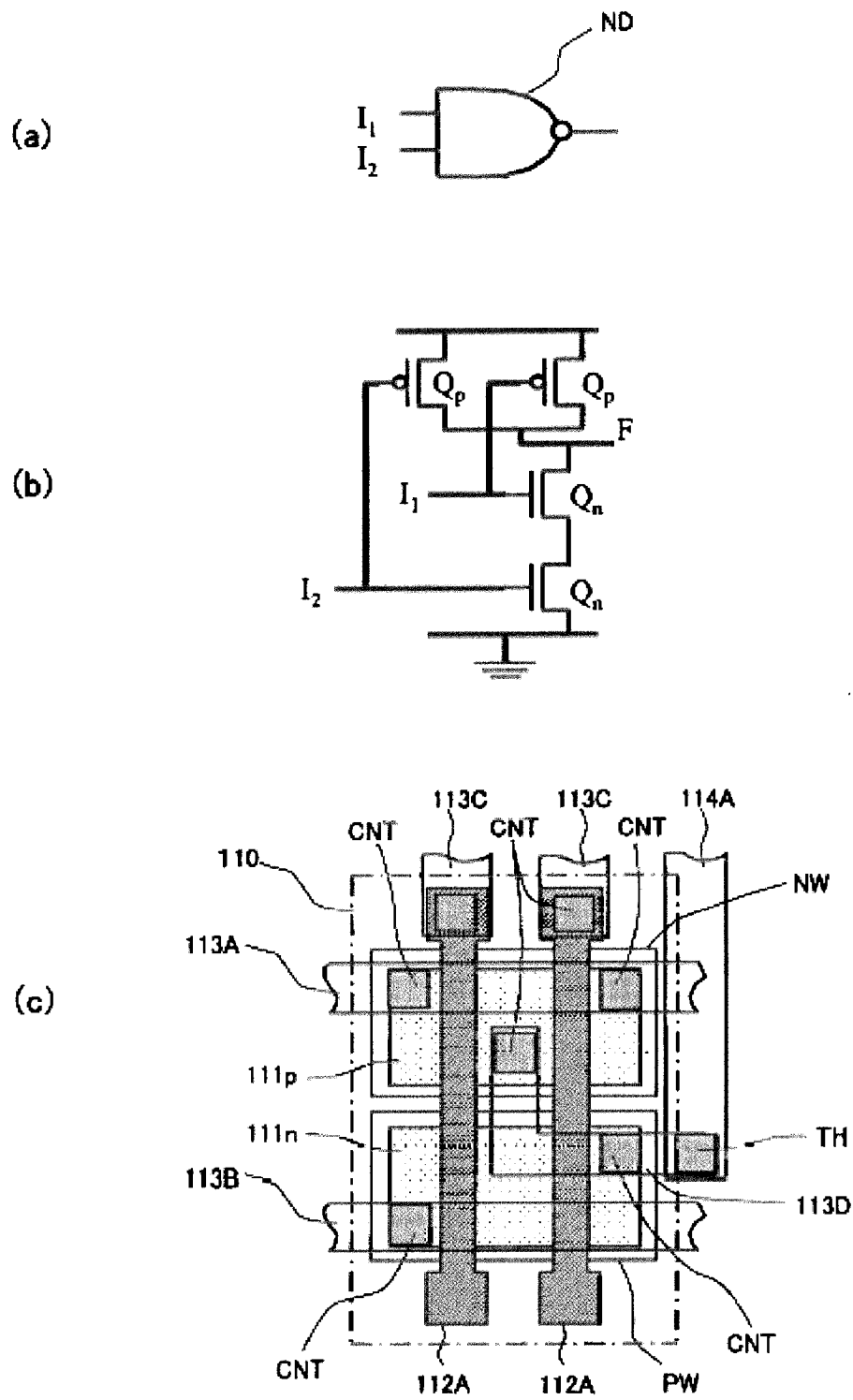
解候補

(変数ベクトル) $X = (x_1, x_2, x_3, x_4, x_5)$ 

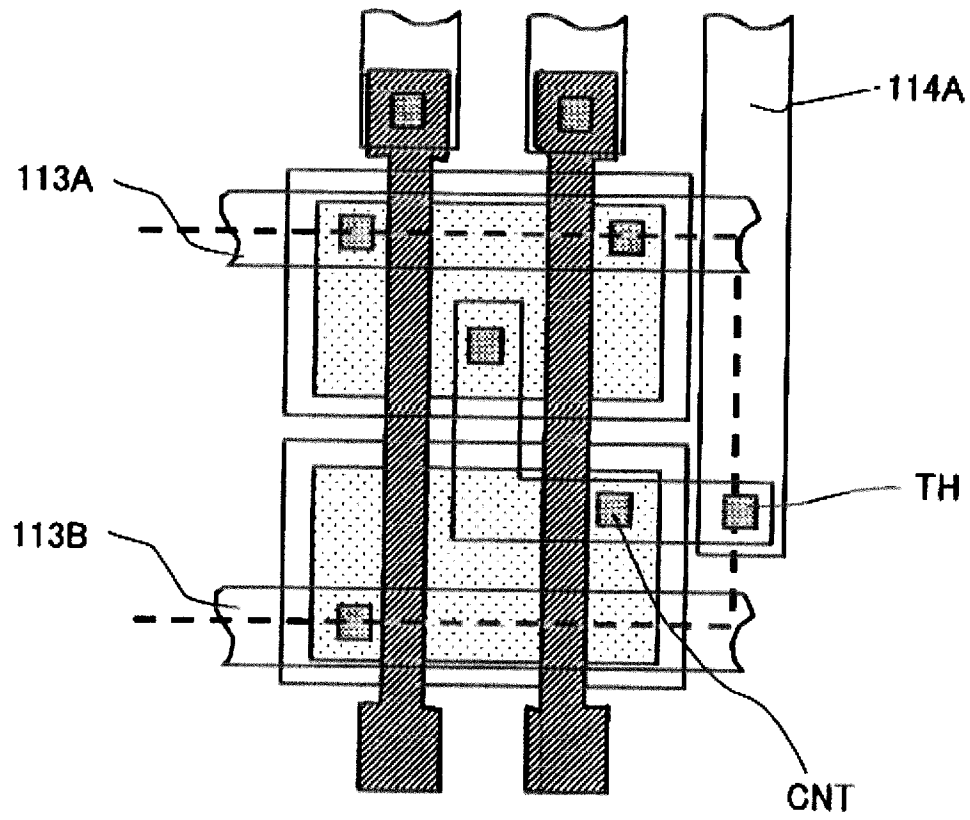
染色体



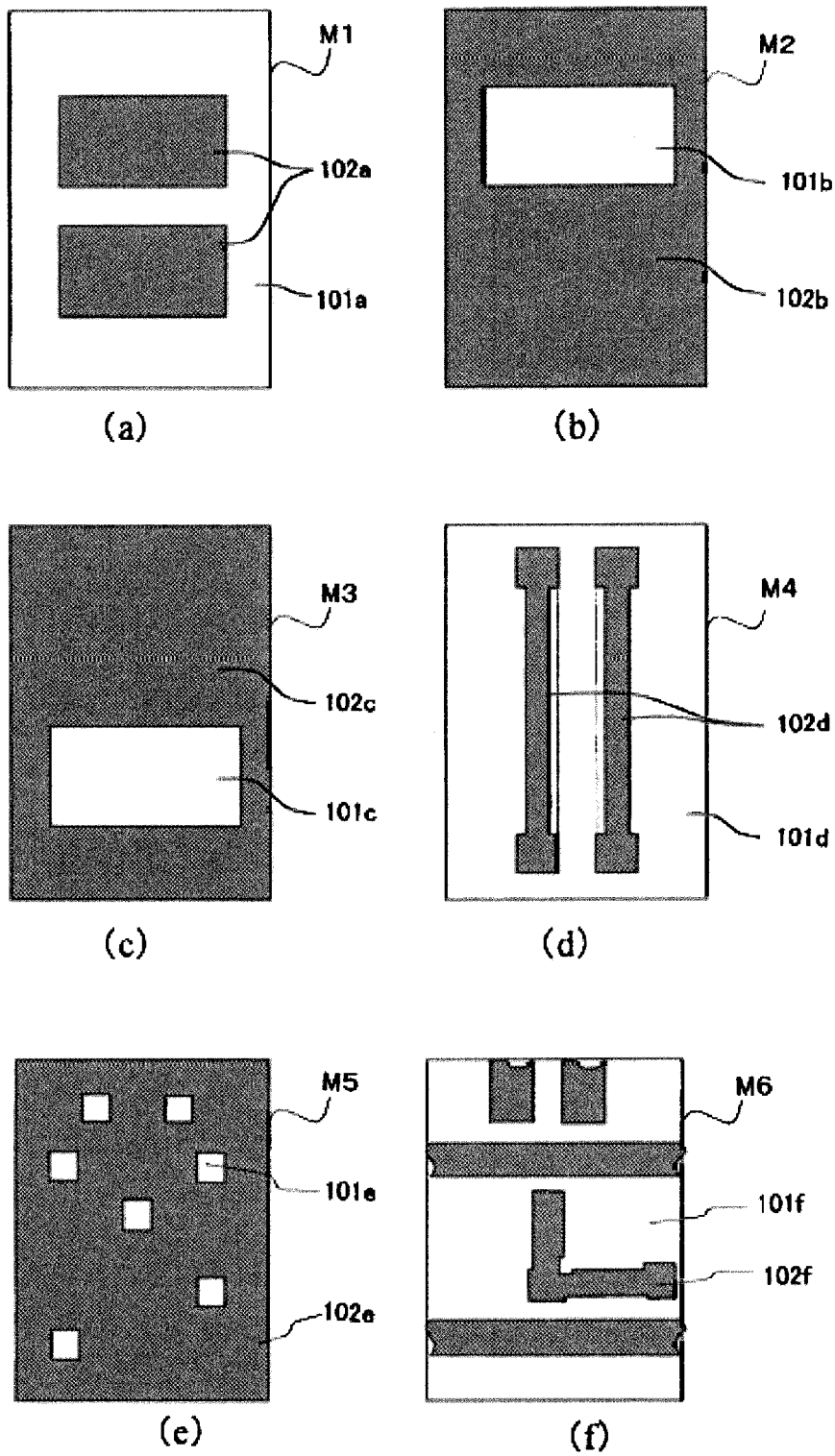
[図19]



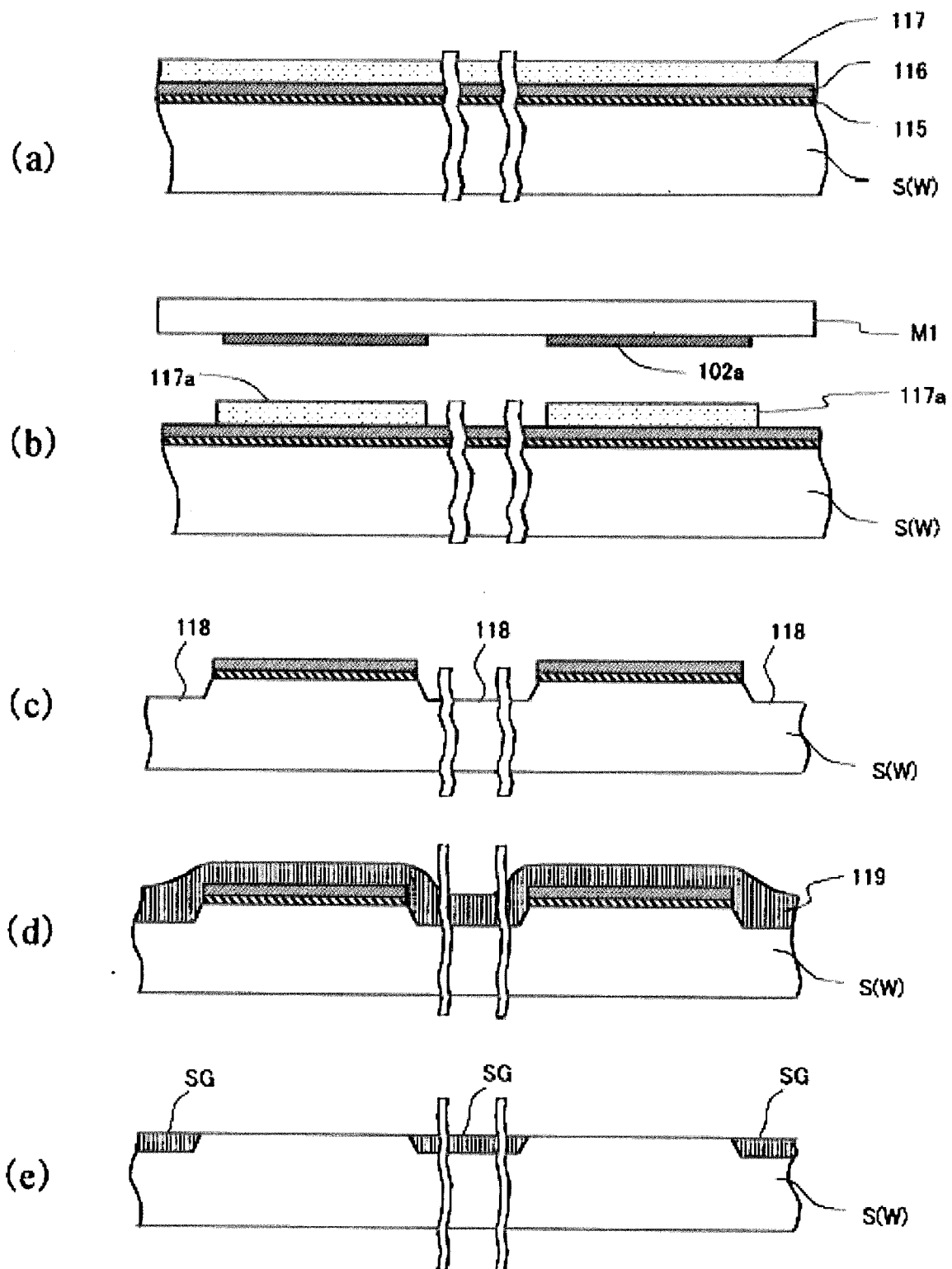
[図20]



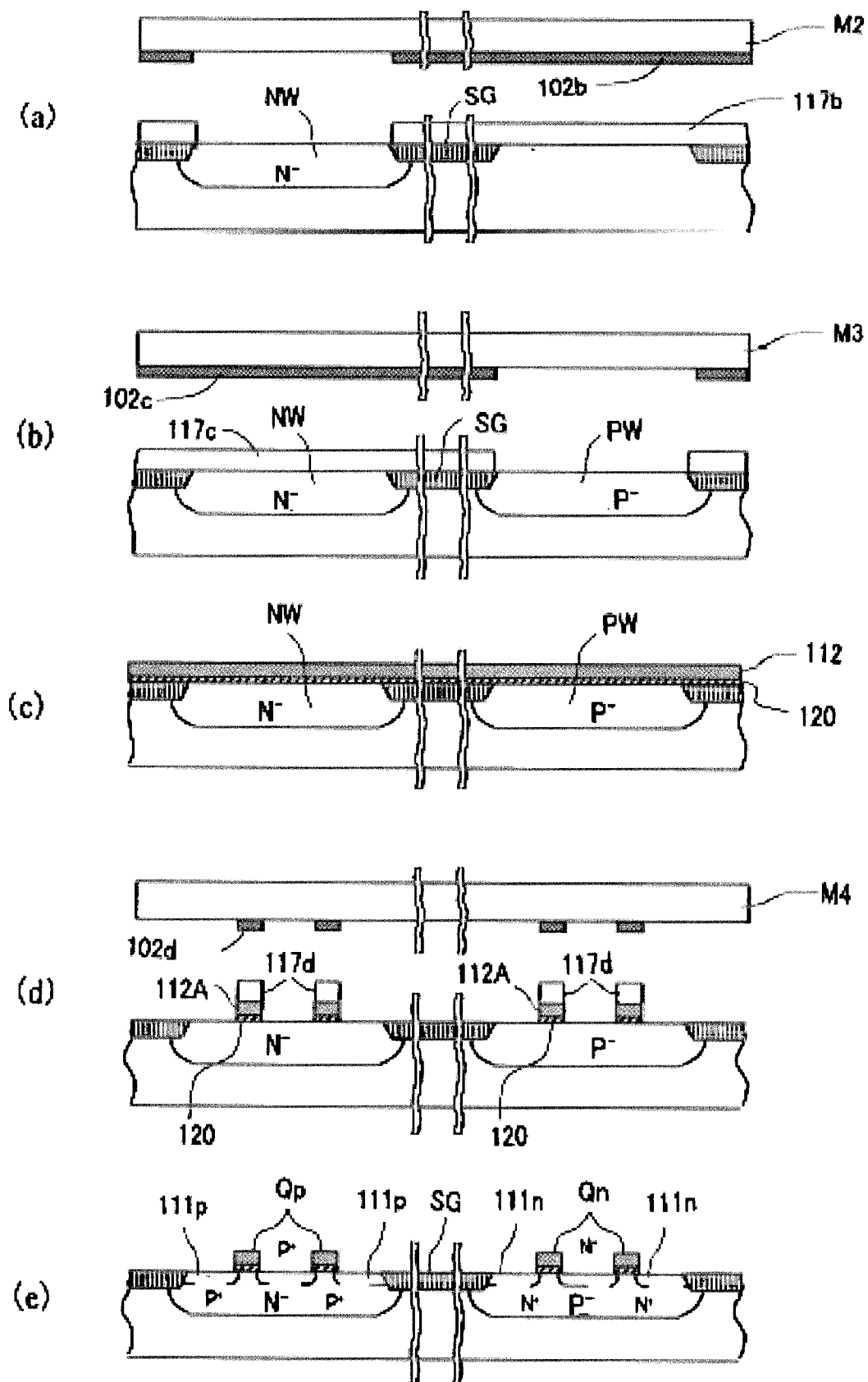
[図21]



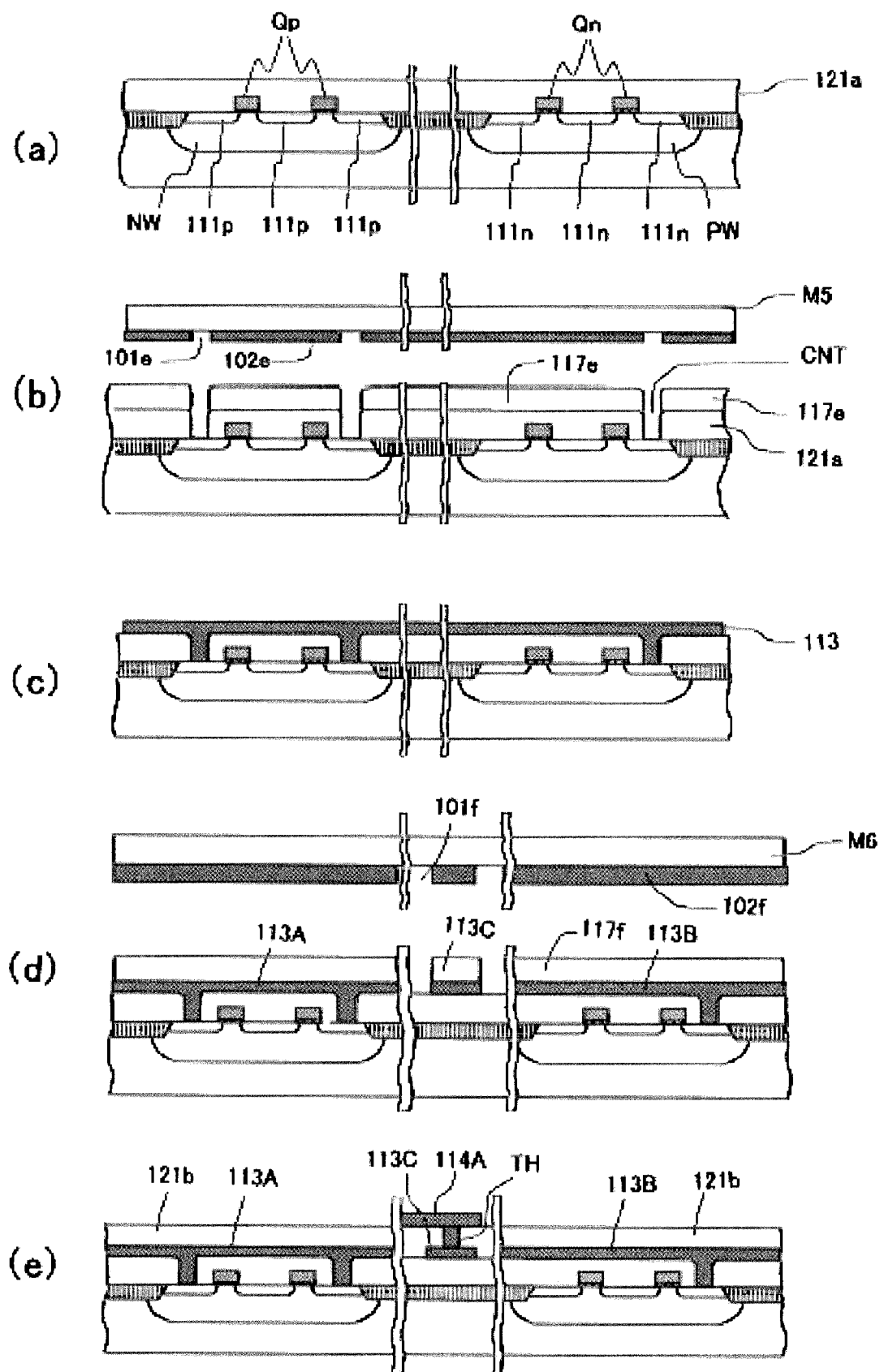
[図22]



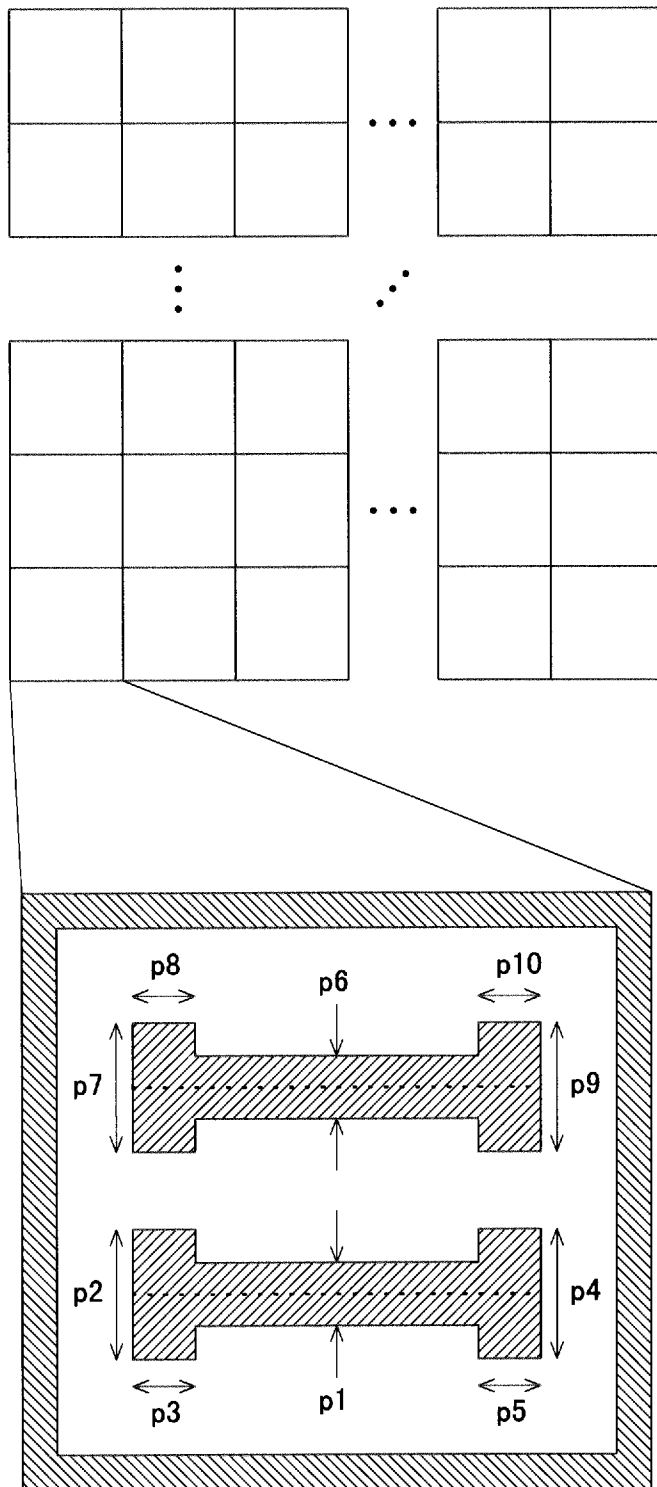
[図23]



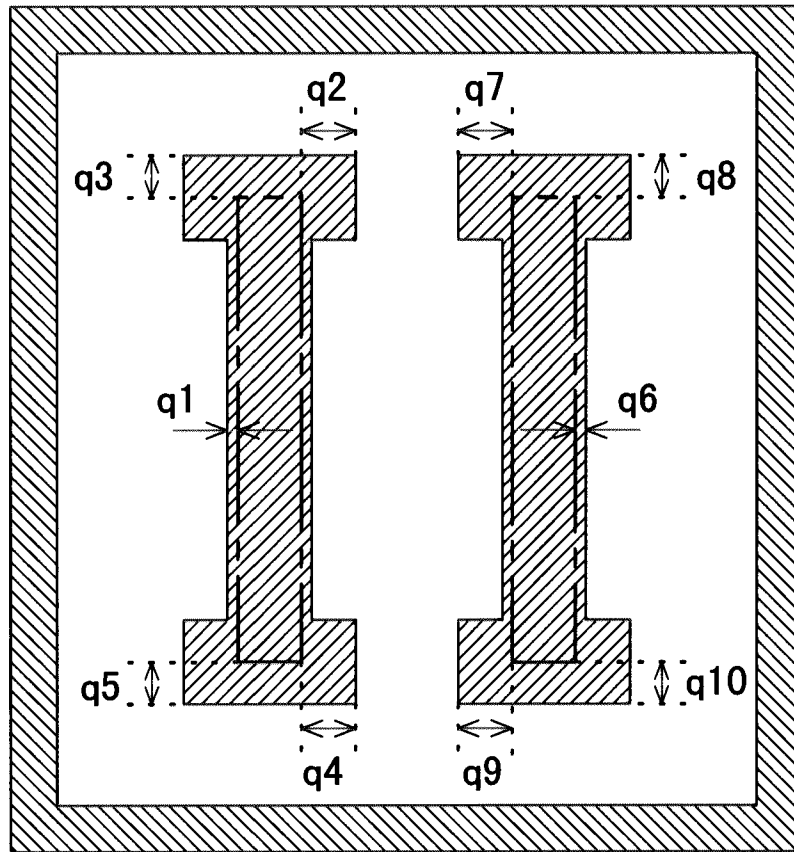
[図24]



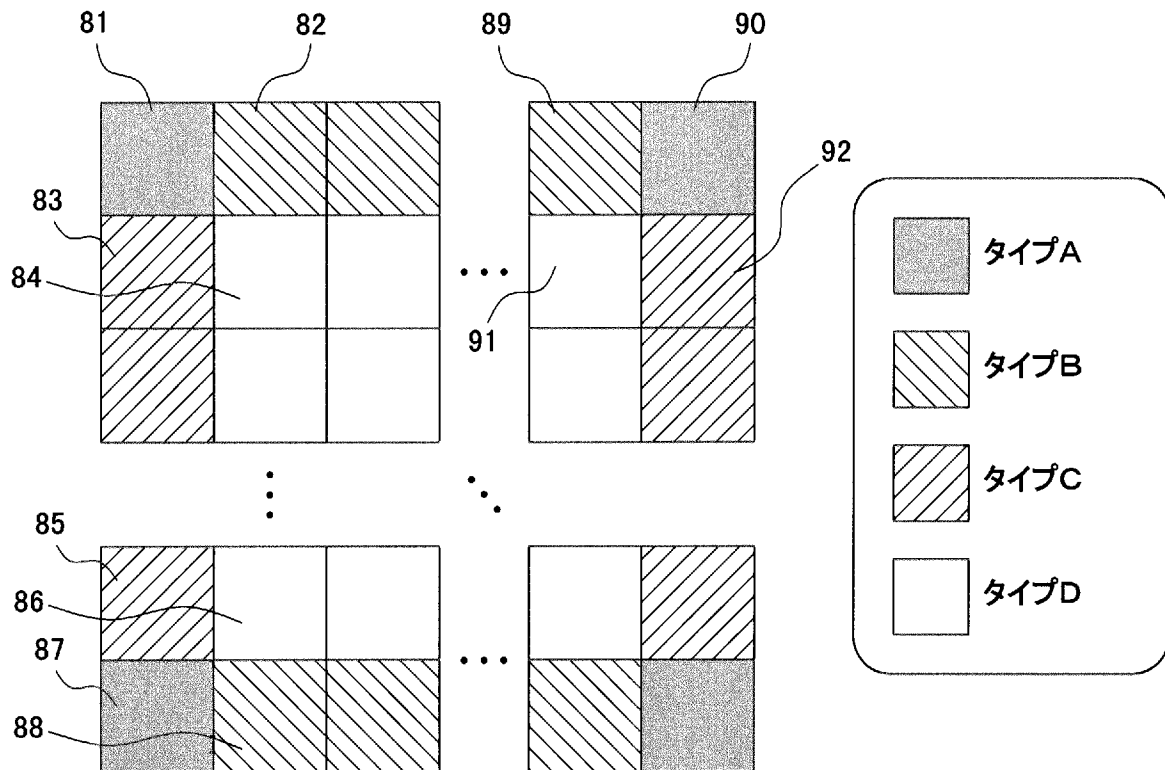
[図25]



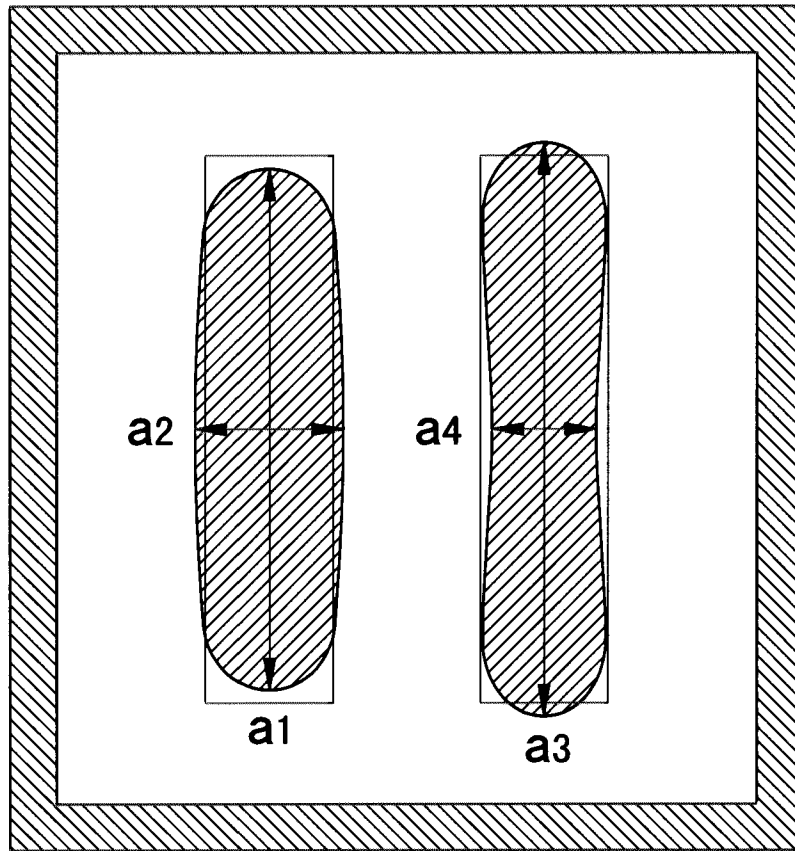
[図26]



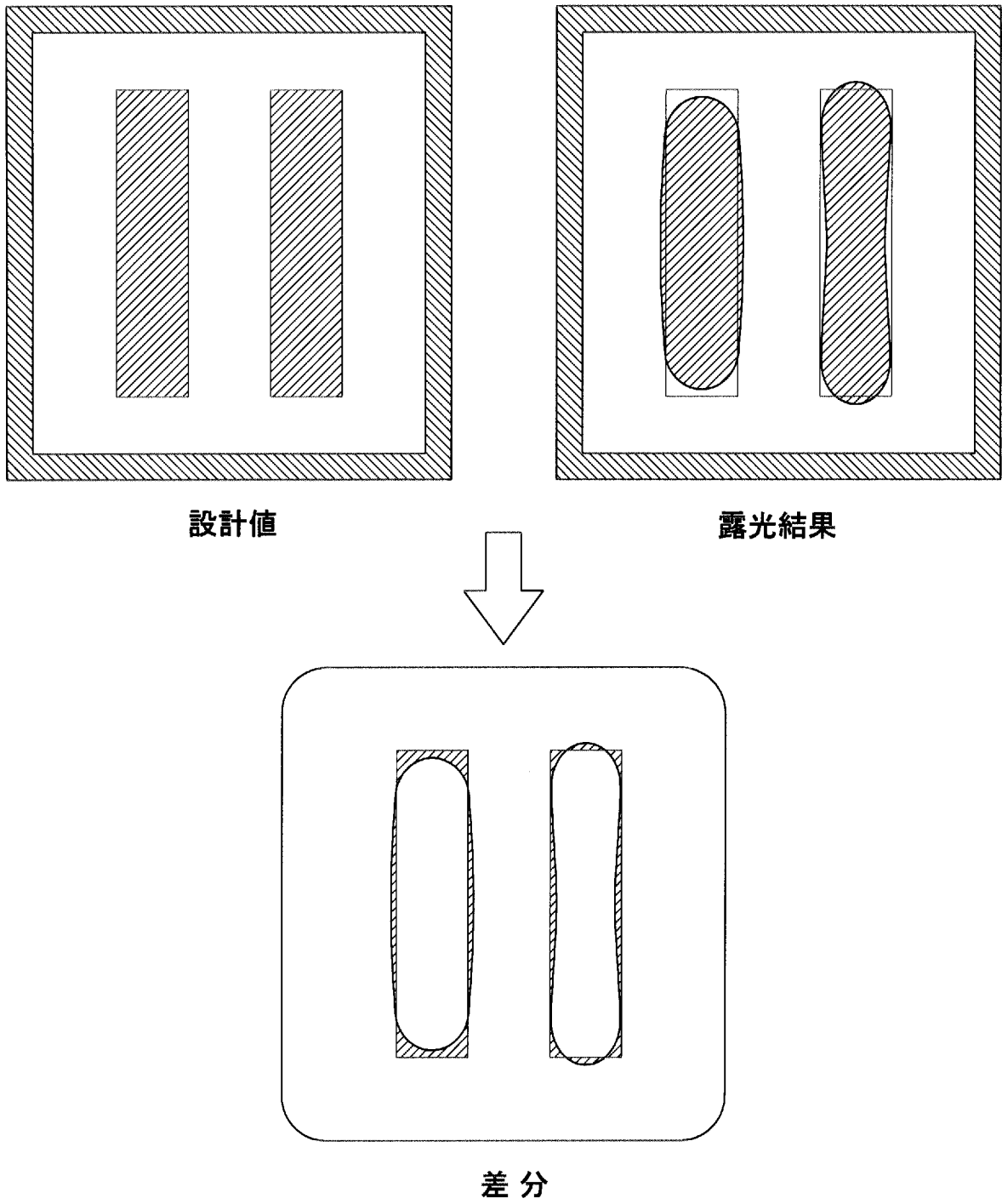
[図27]



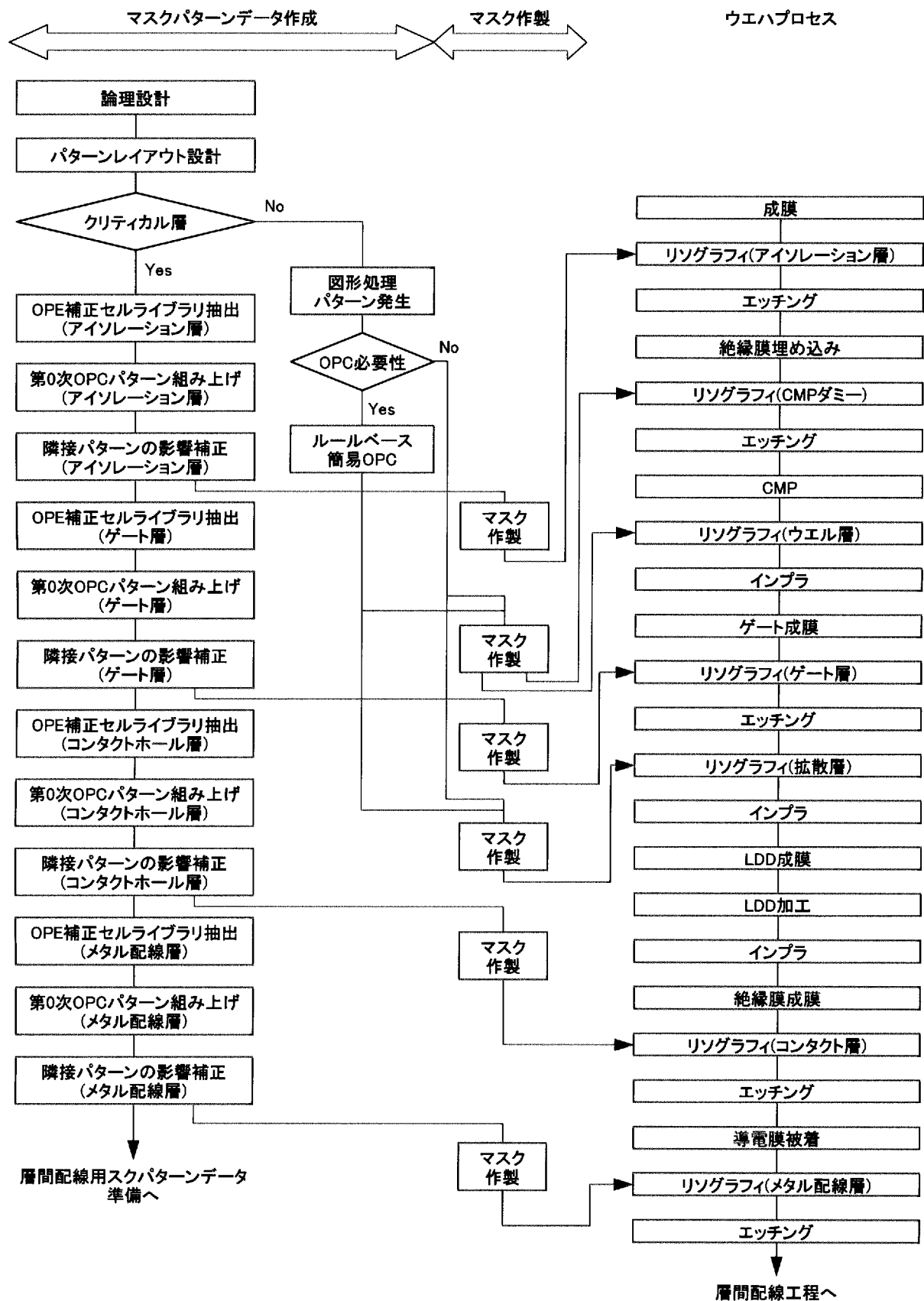
[図28]



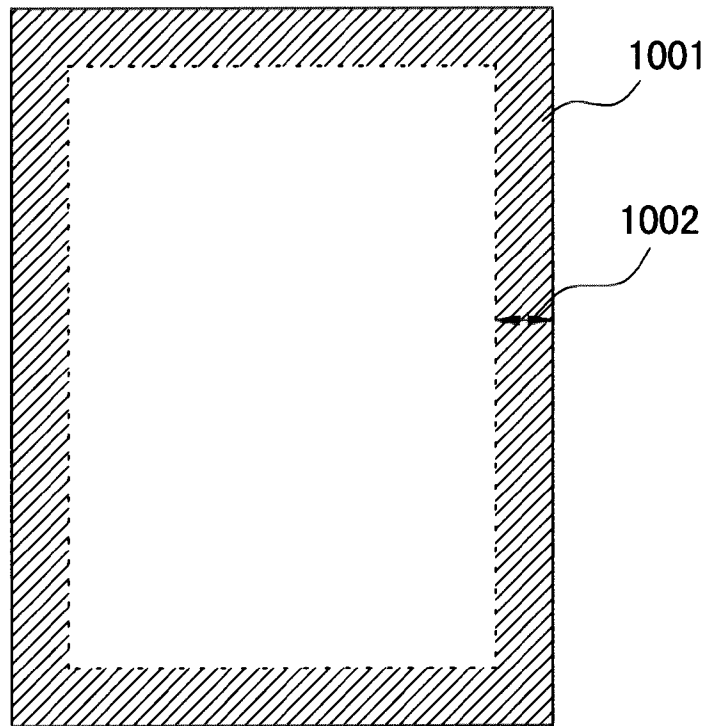
[図29]



[図30]



[図31]



セル内部 セル外部

← →

s2

w1

d2

d1

s1

1006

1004

1006

1006

1005

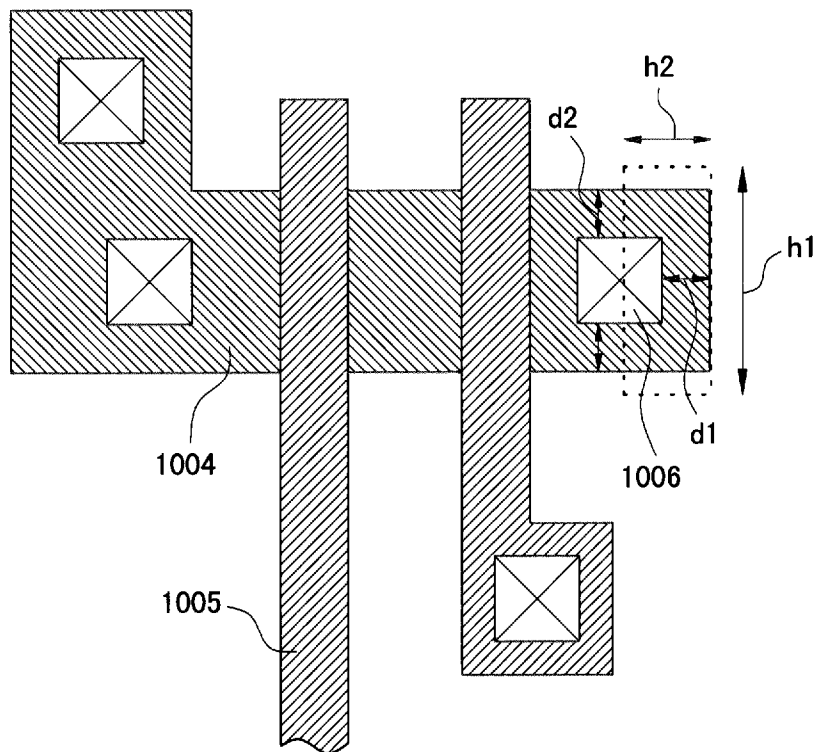
1005

1005

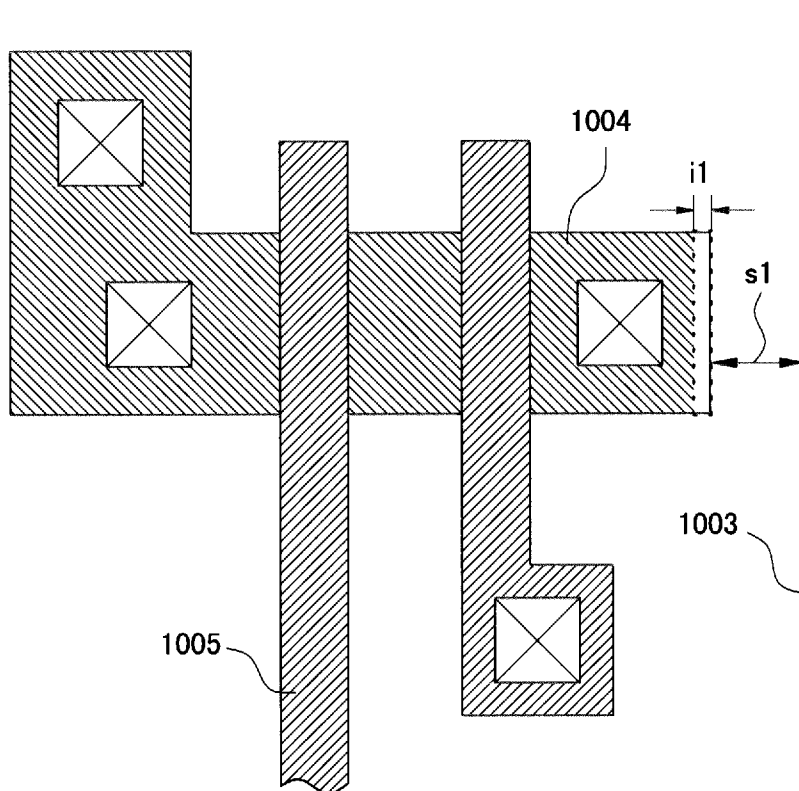
1003

[illegible]

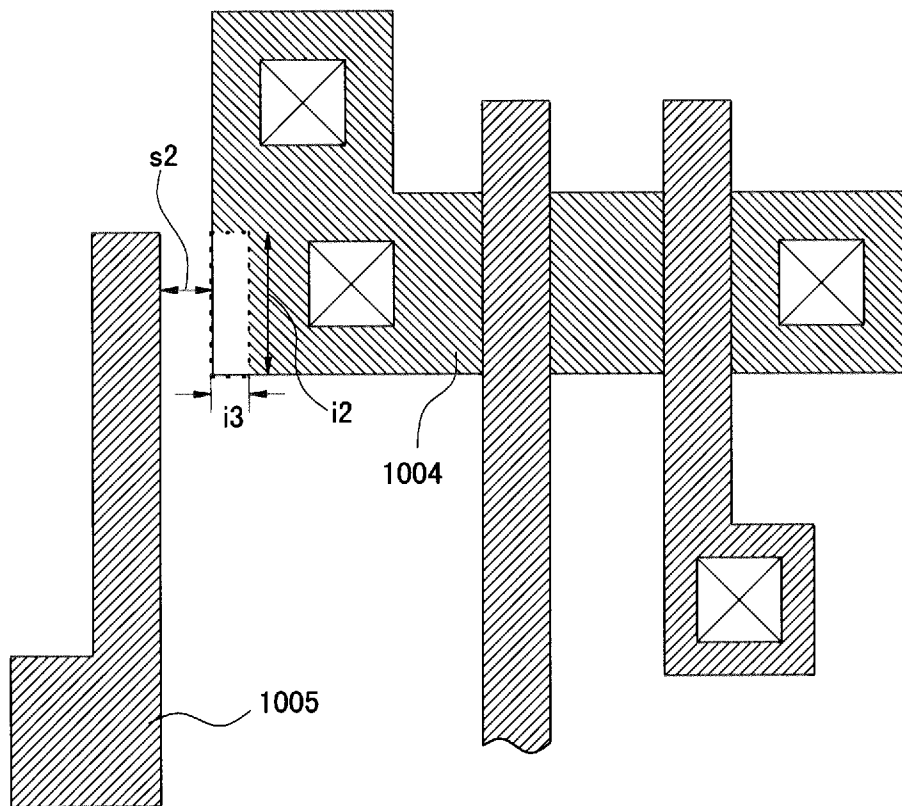
[図34]



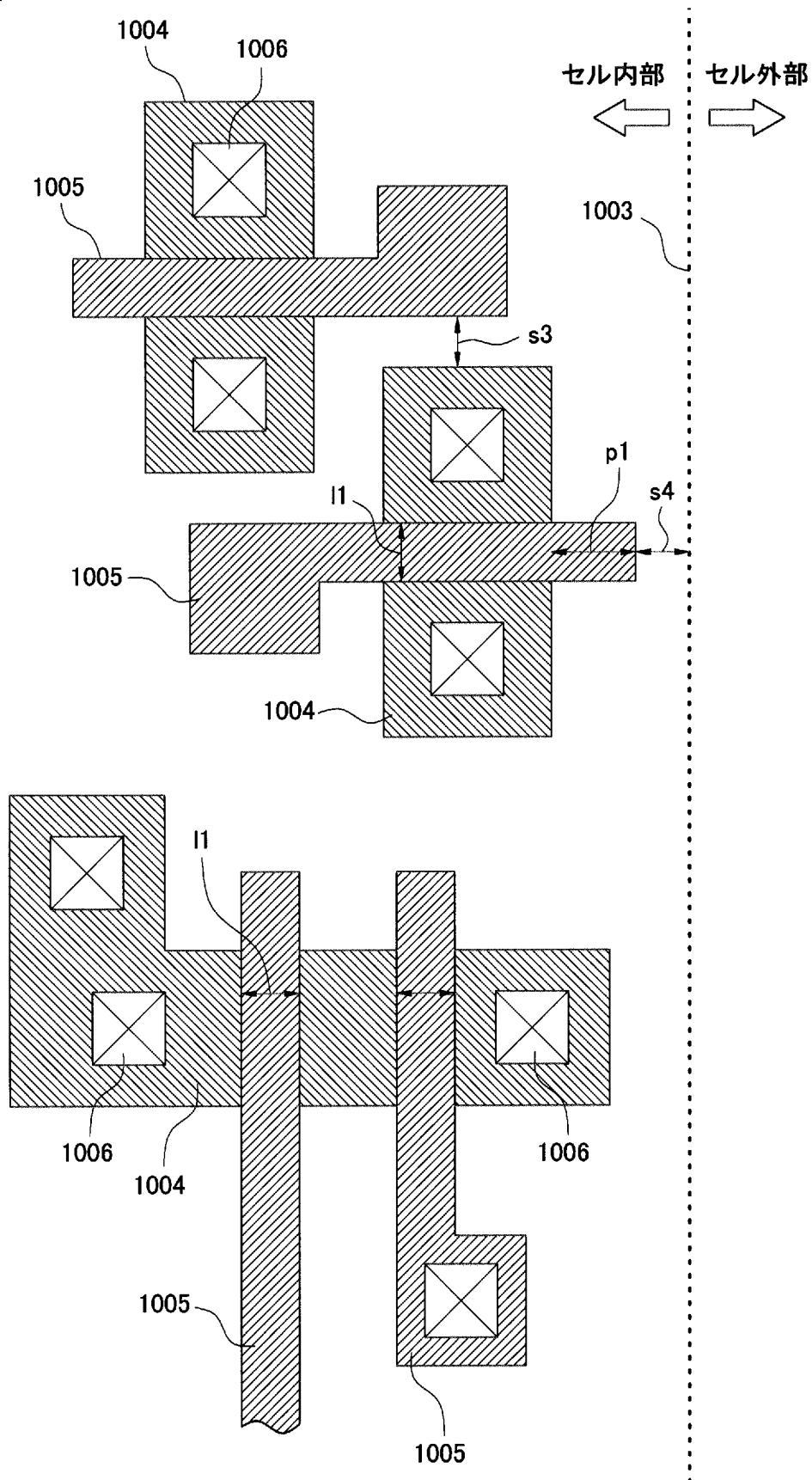
[図35]



[図36]

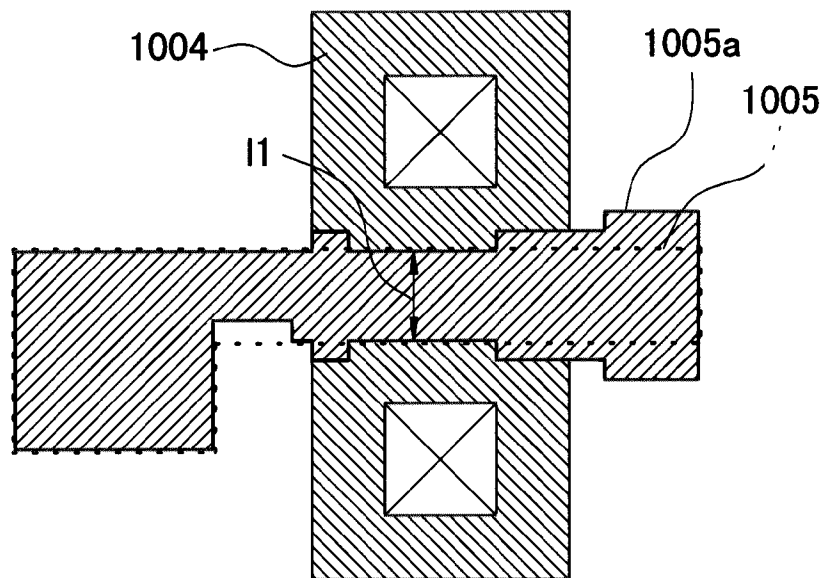


[図37]

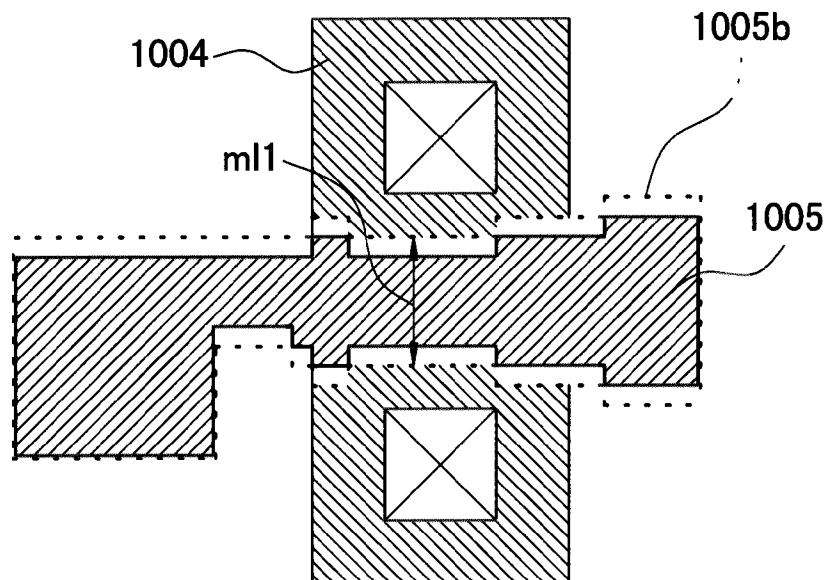


[図38]

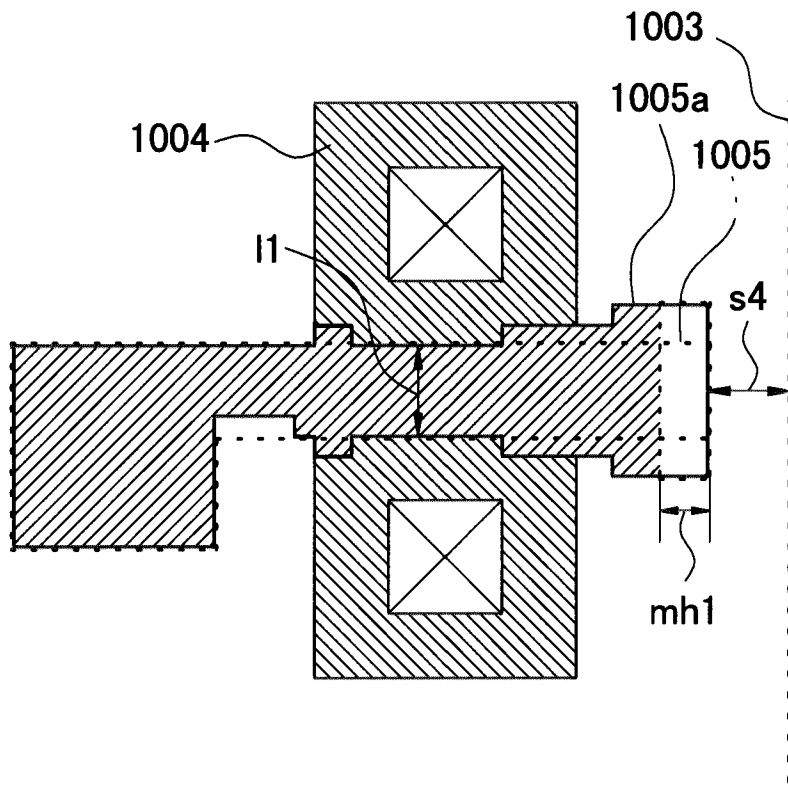
(a)



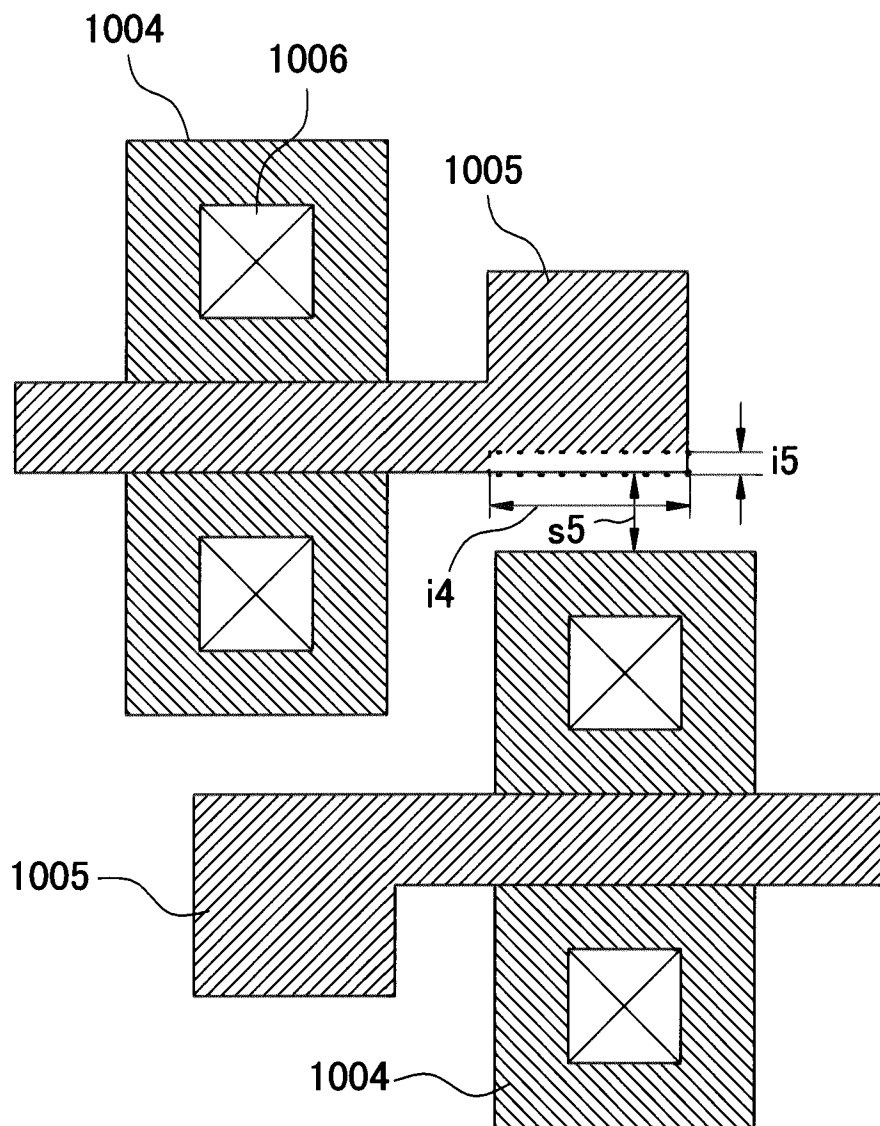
(b)



[図39]

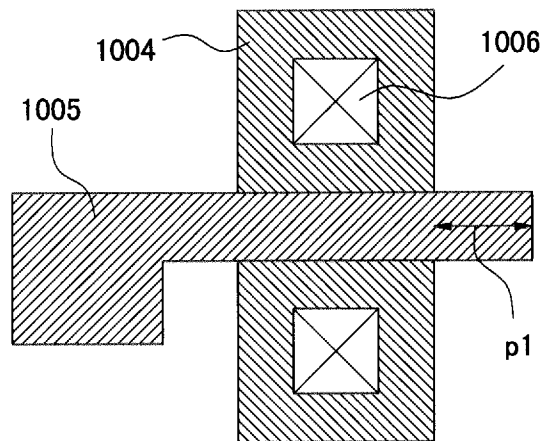


[図40]

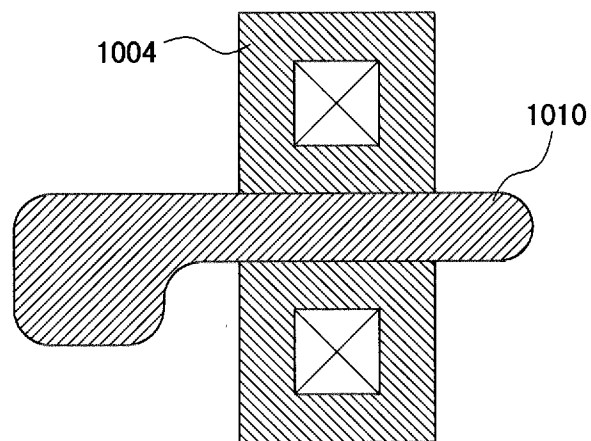


[図41]

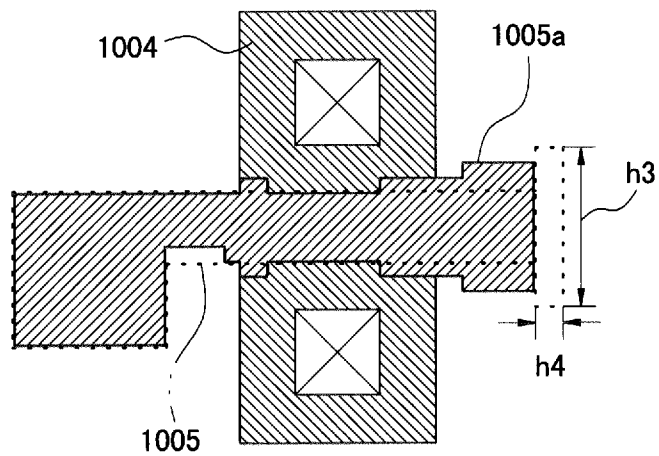
(a)



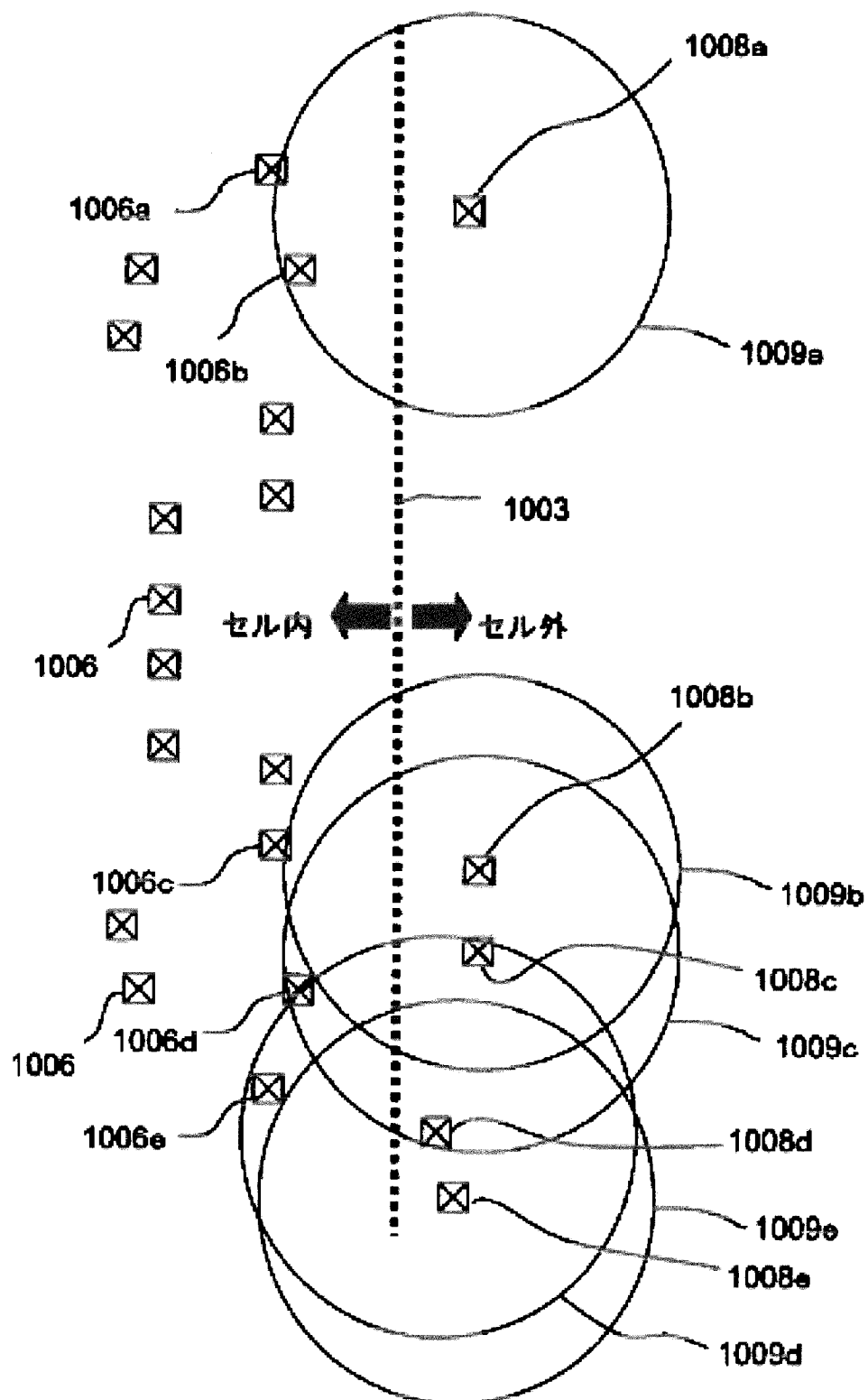
(b)



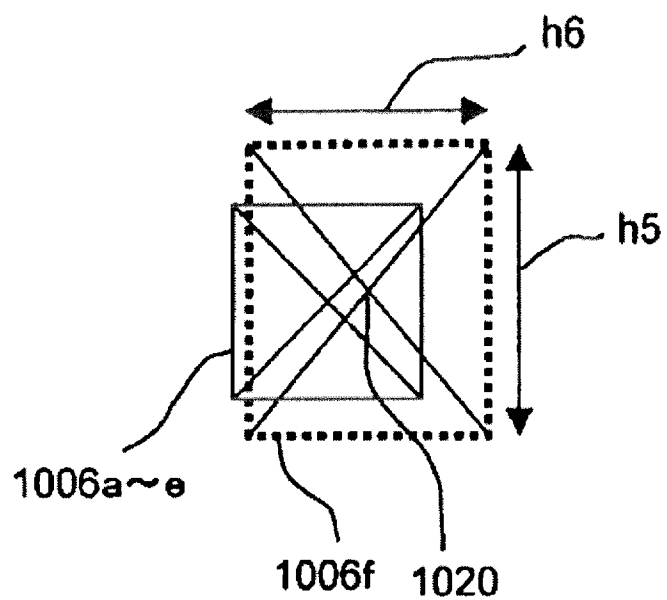
(c)



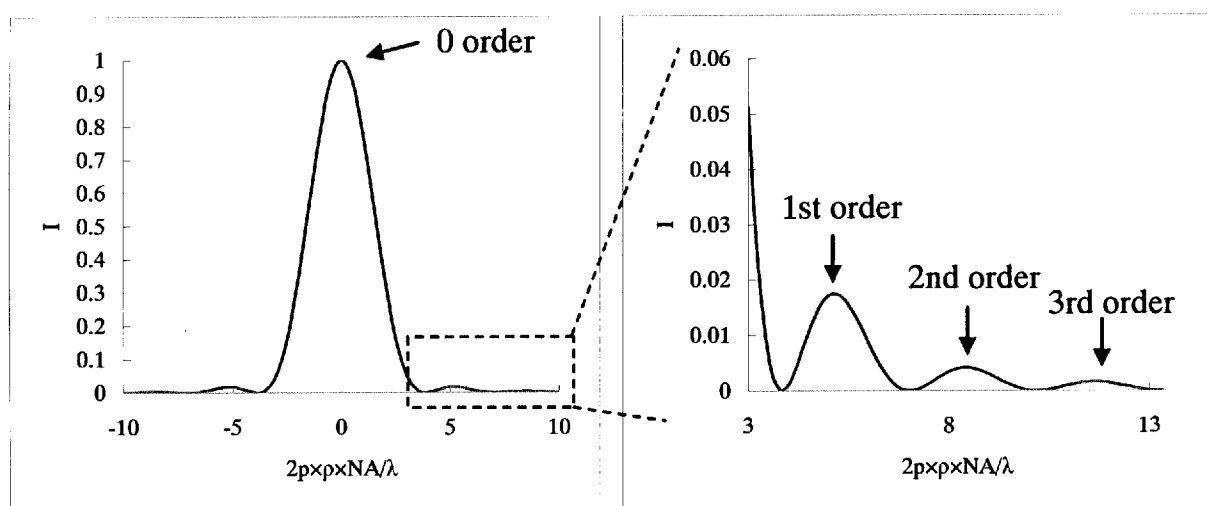
[図42]



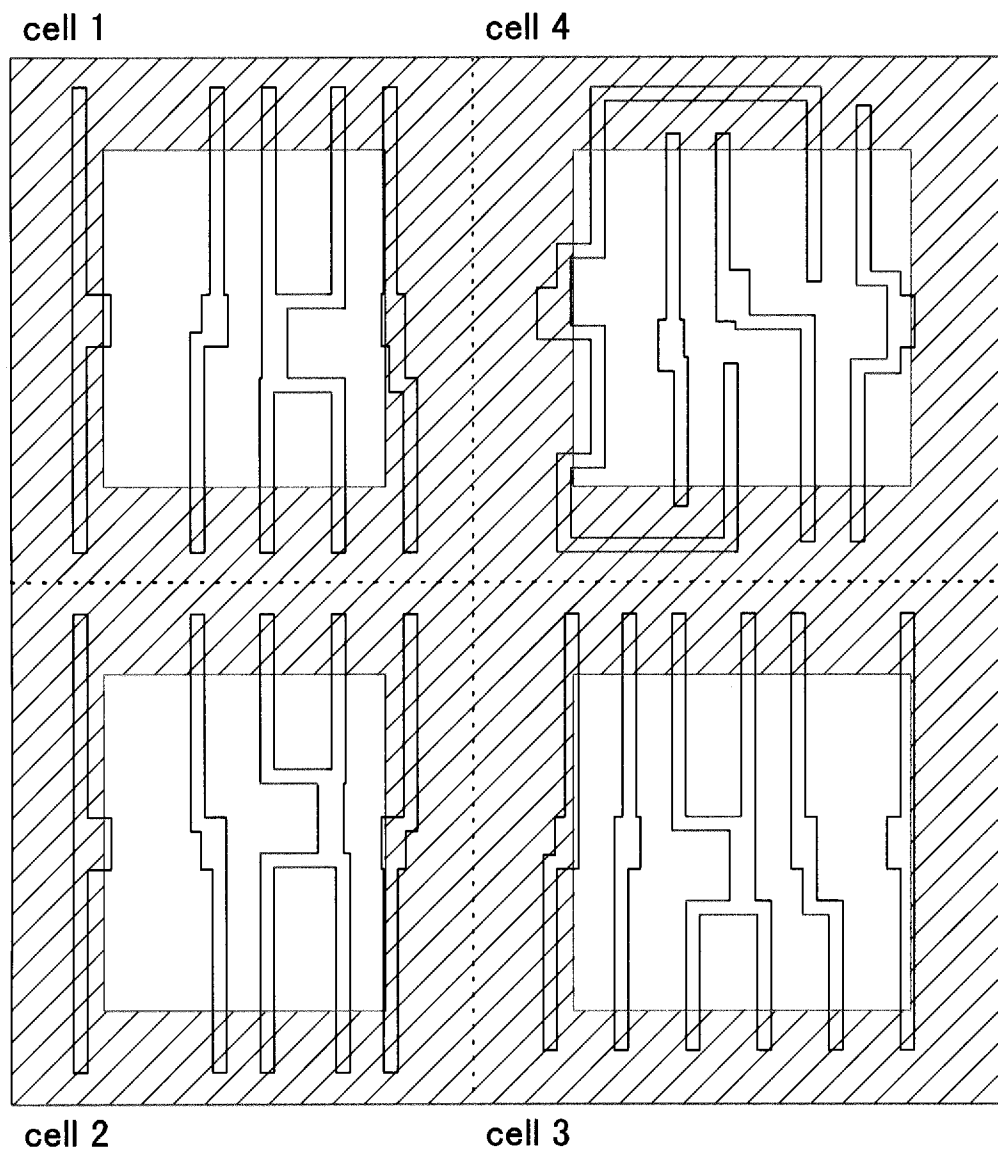
[図43]



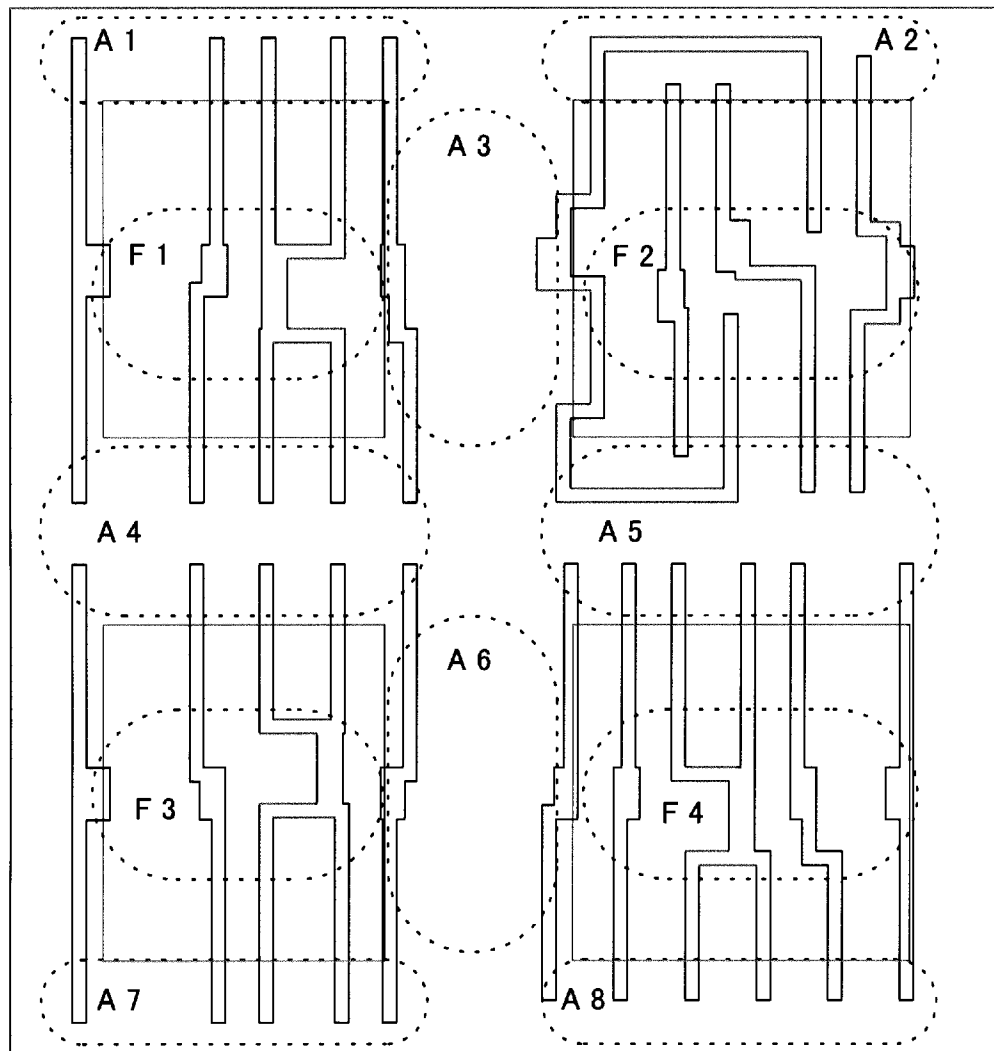
[図44]



[図45]



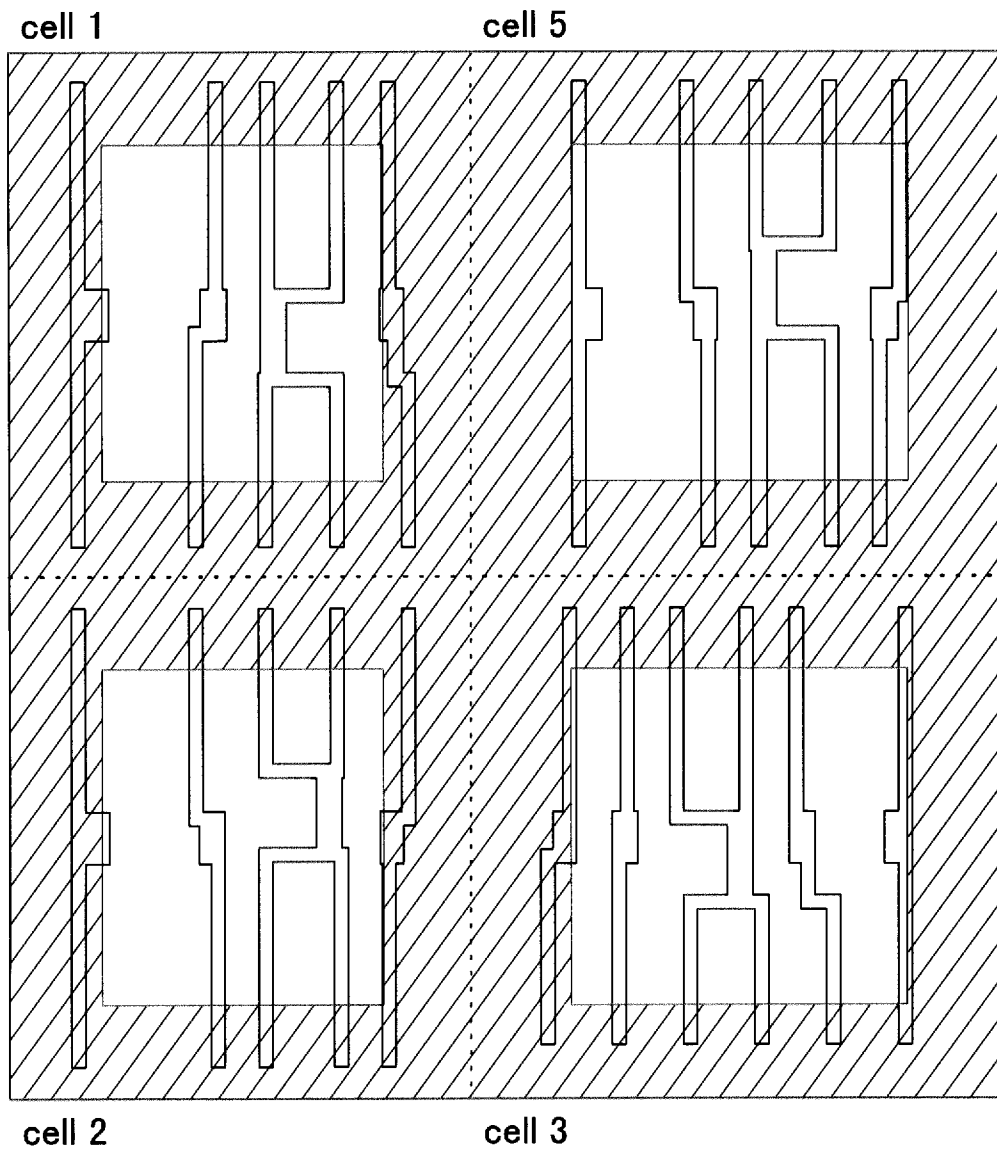
[図46]



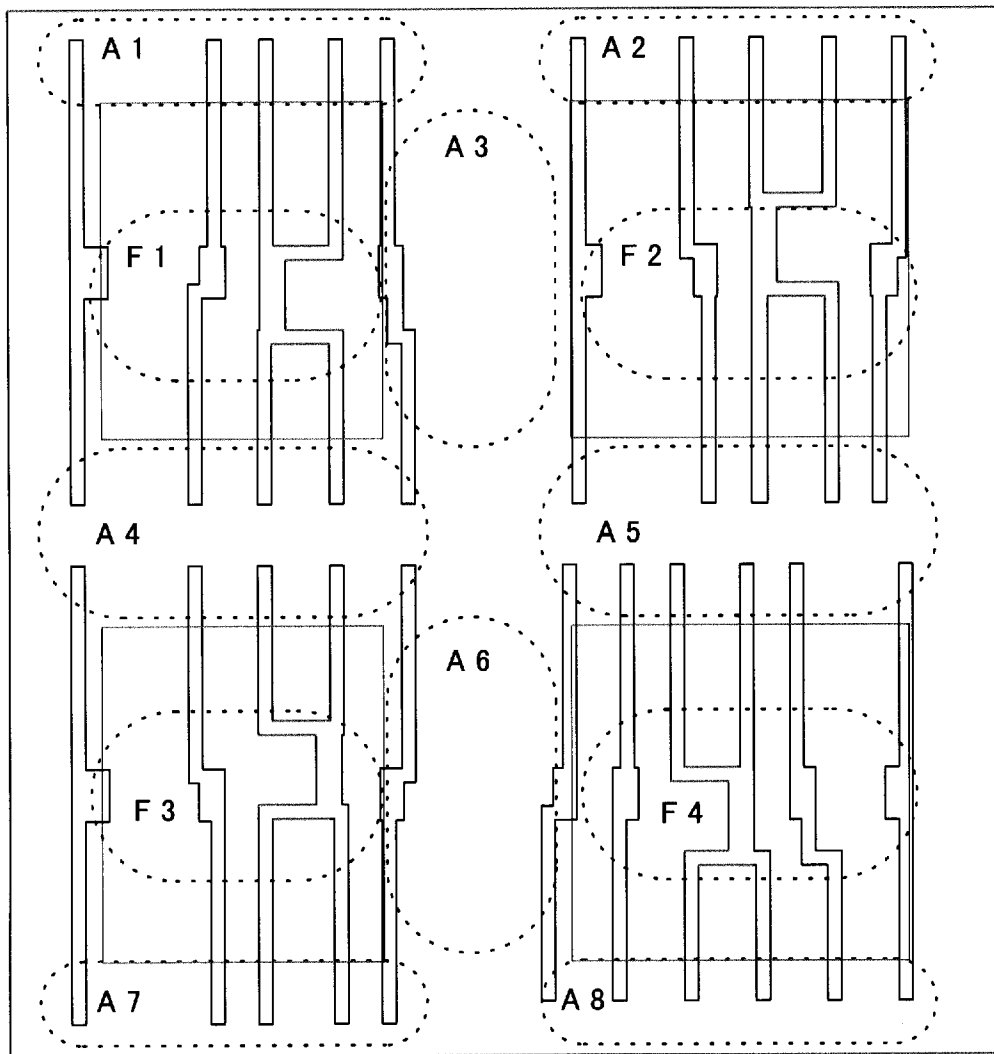
[図47]

	A1	A2	A3	A4	A5	A6	A7	A8	F1	F2	F3	F4	total
min	0.13	0.05	1.44	0.95	0.02	1.12	0.07	0.06	0.18	1.51	0.71	0.30	0.07
max	2.33	2.91	1.64	8.40	5.38	1.68	2.17	2.16	1.75	2.60	2.75	2.15	8.40
average	0.73	1.53	1.54	3.27	2.50	1.40	0.90	1.16	0.96	2.15	2.02	1.45	1.92

[図48]



[図49]



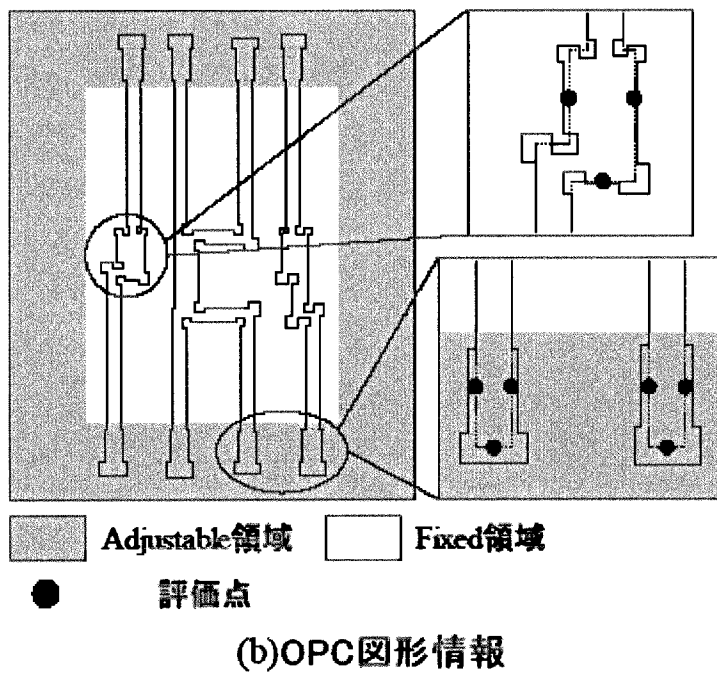
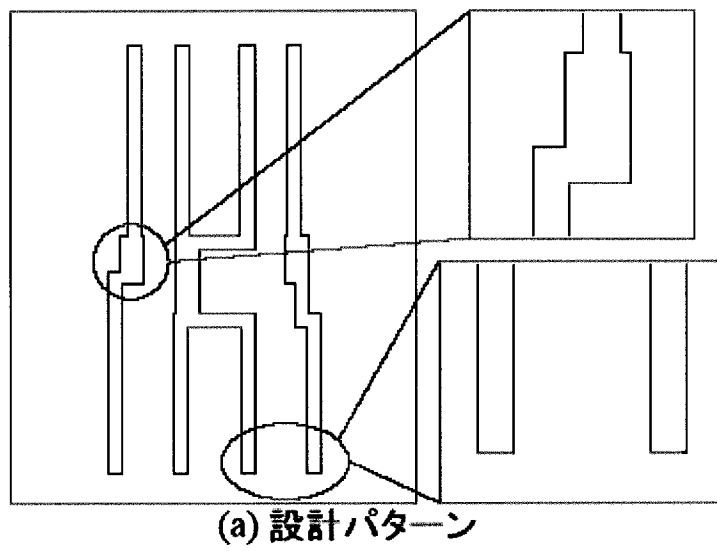
[図50]

	A1	A2	A3	A4	A5	A6	A7	A8	F1	F2	F3	F4	total
min	0.06	0.28	0.87	0.18	0.30	1.35	0.05	0.15	0.20	0.36	0.71	0.29	0.05
max	2.37	2.56	1.77	2.52	12.33	1.61	1.30	2.18	1.71	2.74	2.67	2.17	12.33
average	0.73	1.26	1.32	1.64	2.13	1.48	0.93	1.16	0.96	1.45	1.99	1.45	1.44

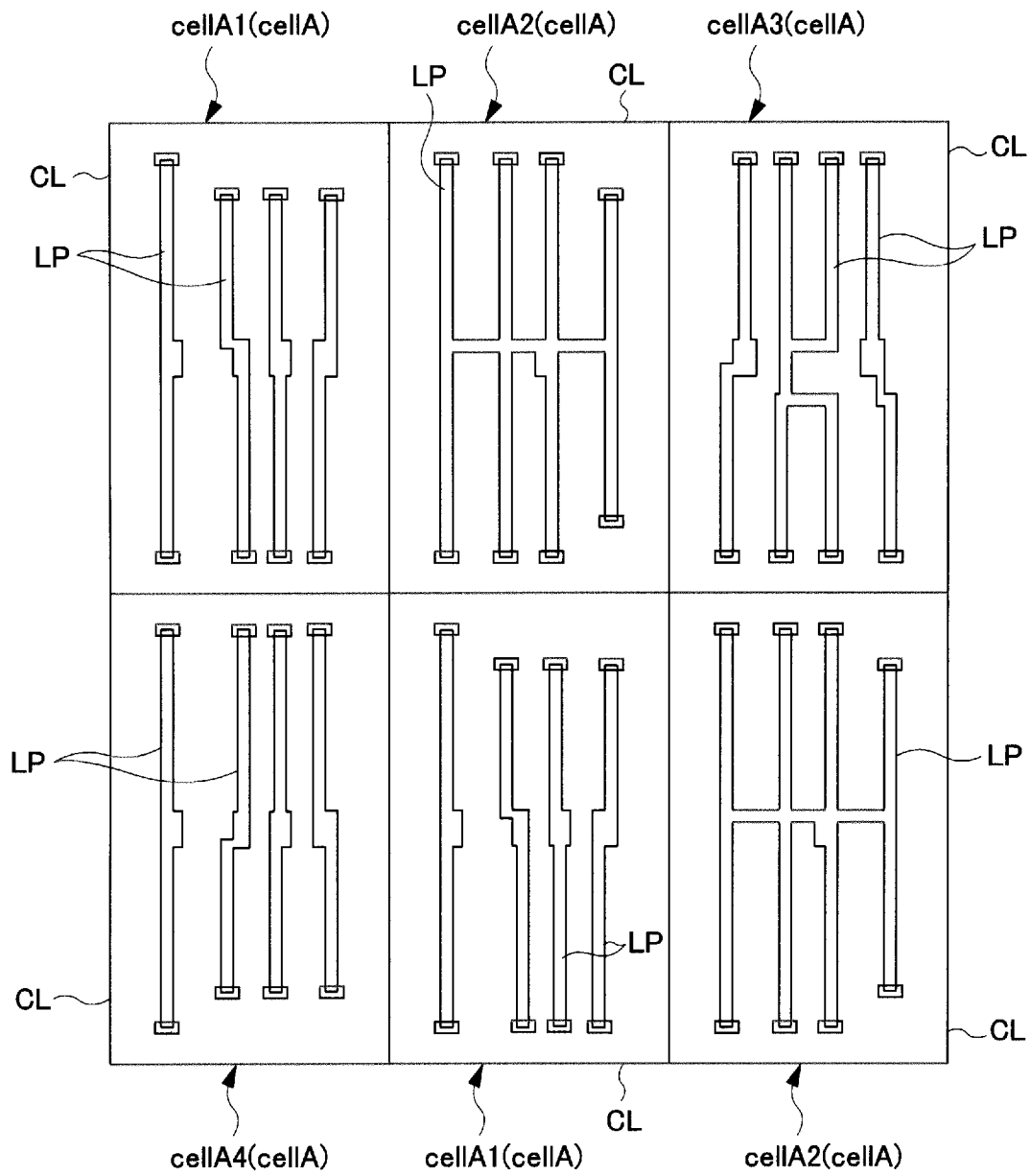
[図51]

	A1	A2	A3	A4	A5	A6	A7	A8	F1	F2	F3	F4	total
min	0.07	0.28	0.87	0.19	0.27	1.35	0.06	0.15	0.20	0.37	0.71	0.29	0.06
max	2.37	2.56	1.77	2.52	2.61	1.61	1.30	2.18	1.71	2.73	2.67	2.17	2.73
average	0.73	1.26	1.32	1.64	1.21	1.48	0.93	1.16	0.96	1.45	1.99	1.45	1.26

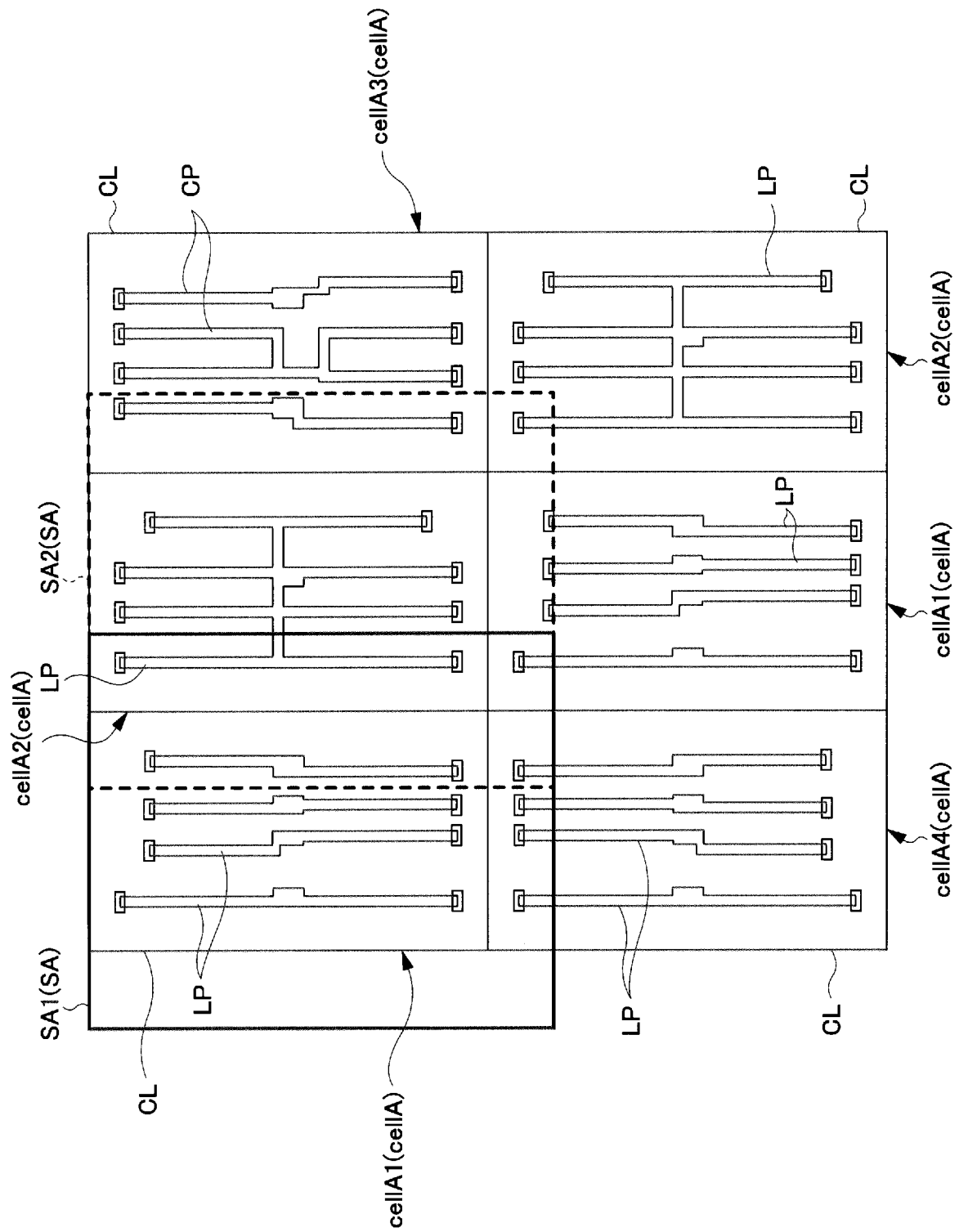
[図52]



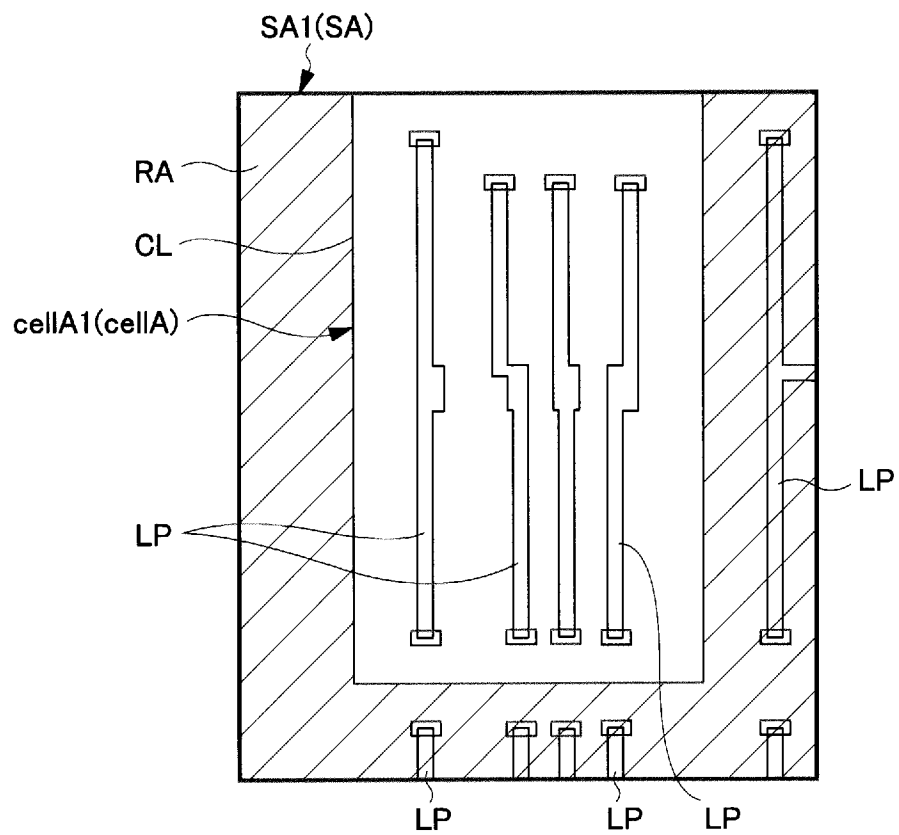
[図53]



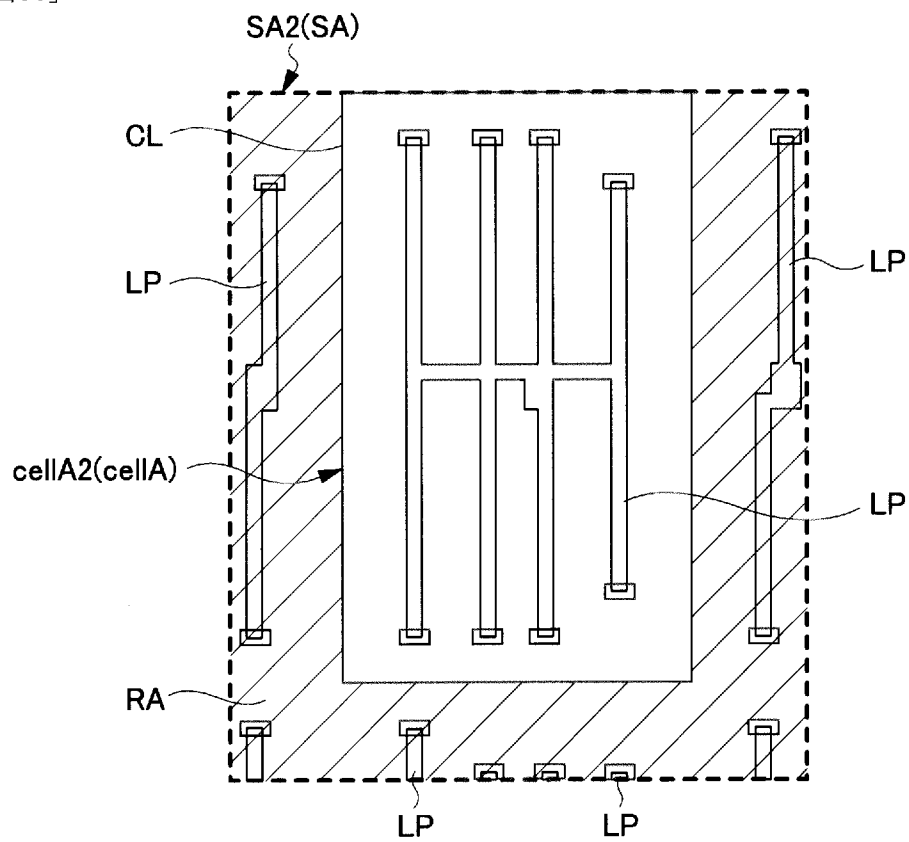
[図54]



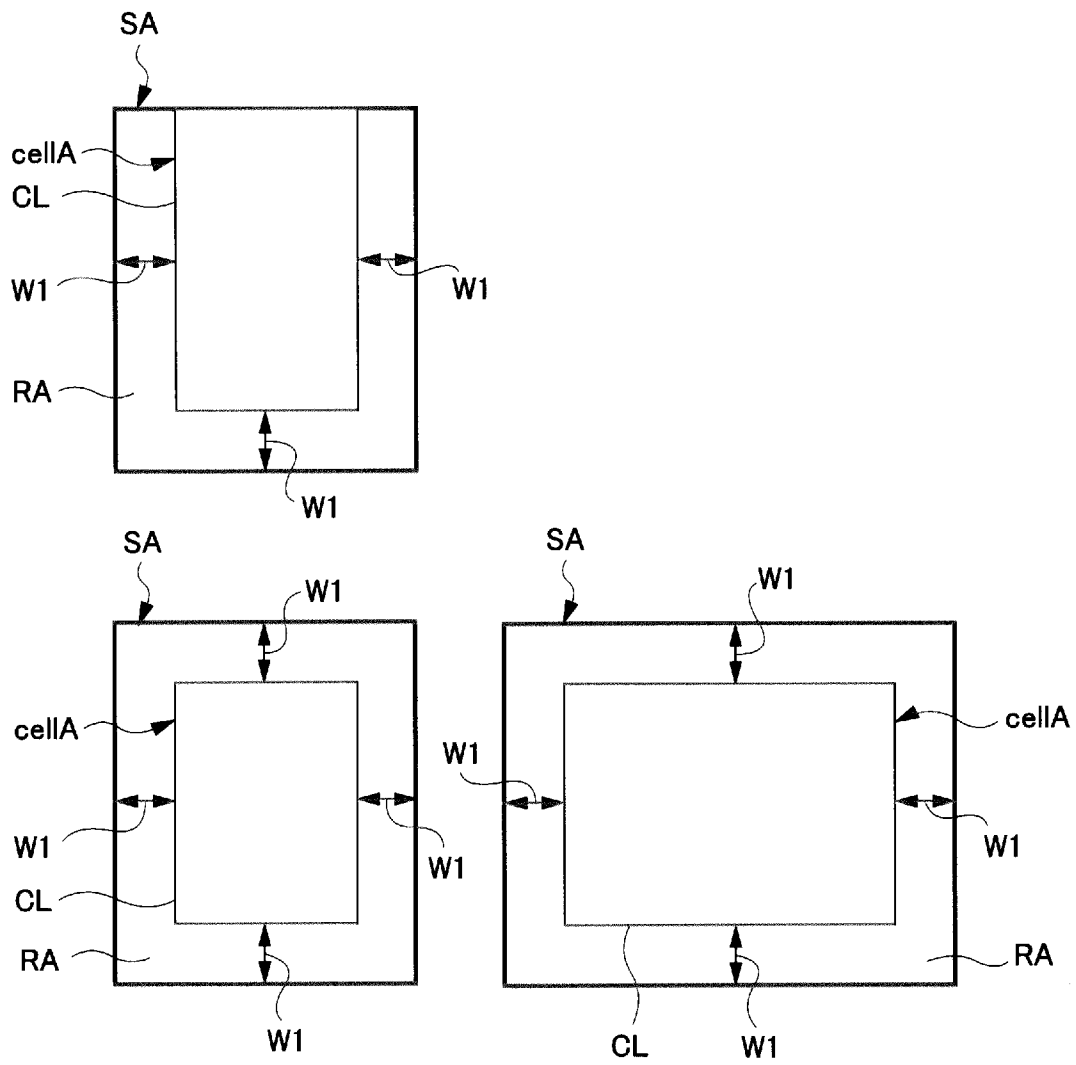
[図55]



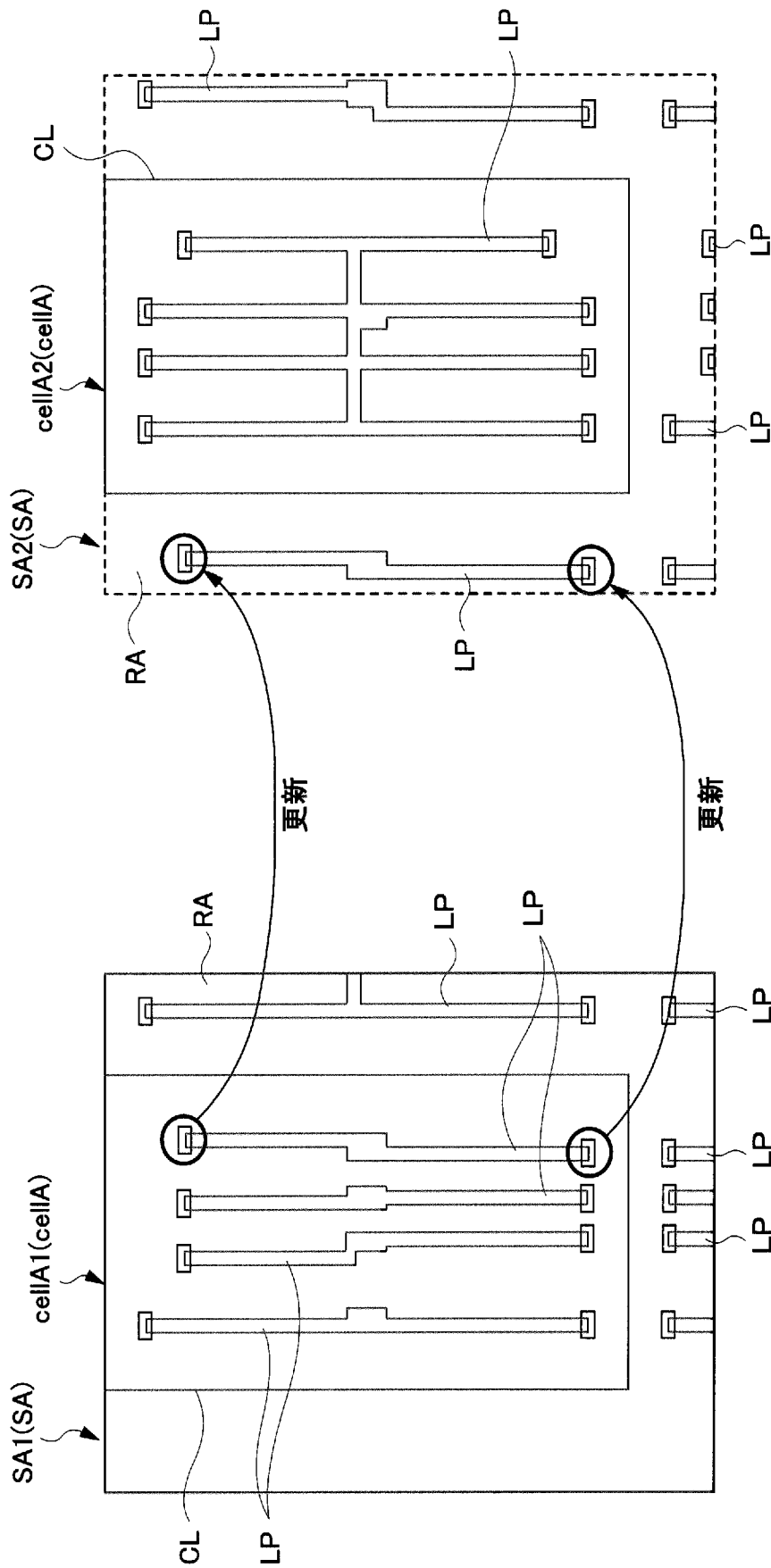
[図56]



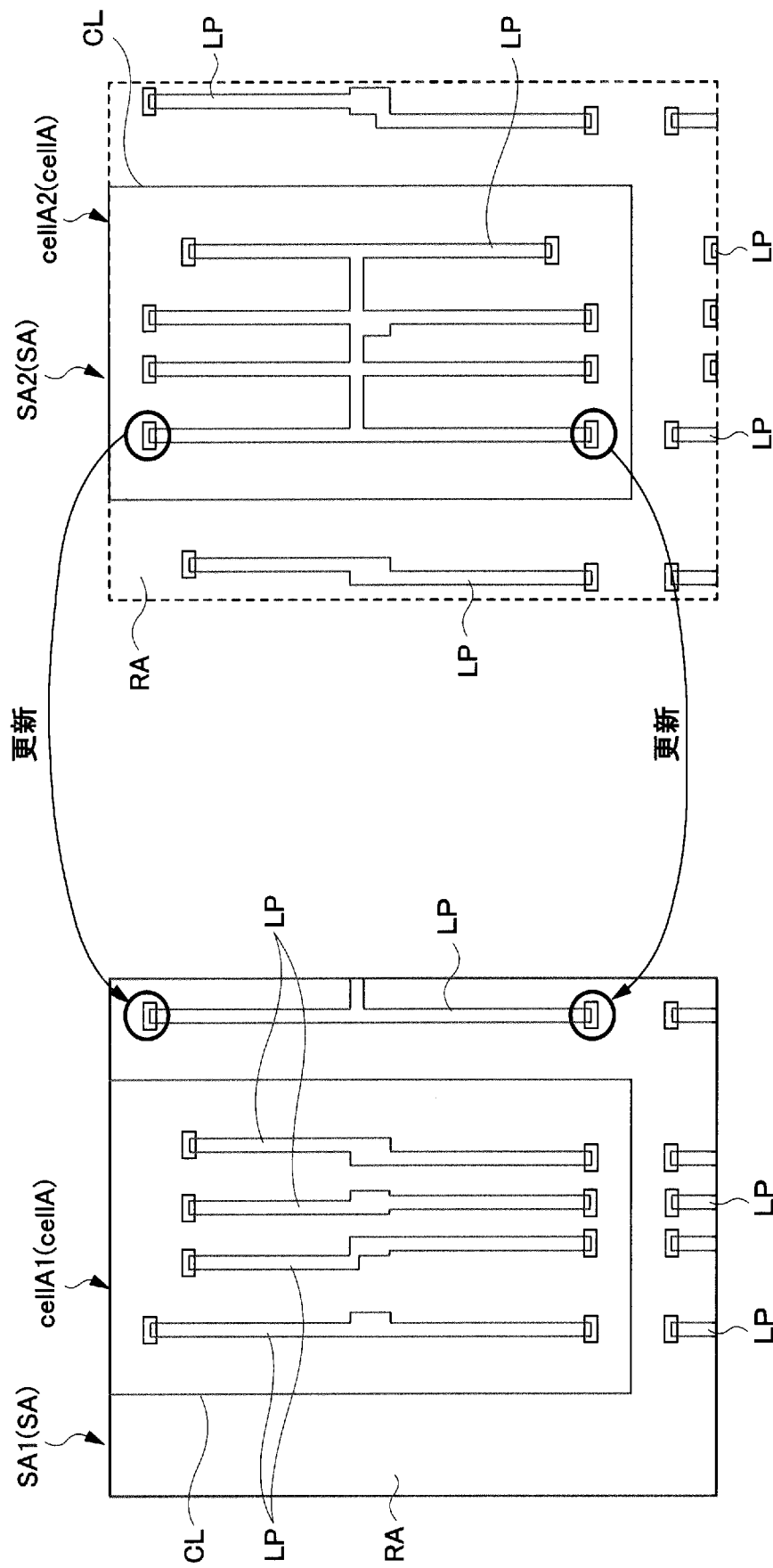
[図57]



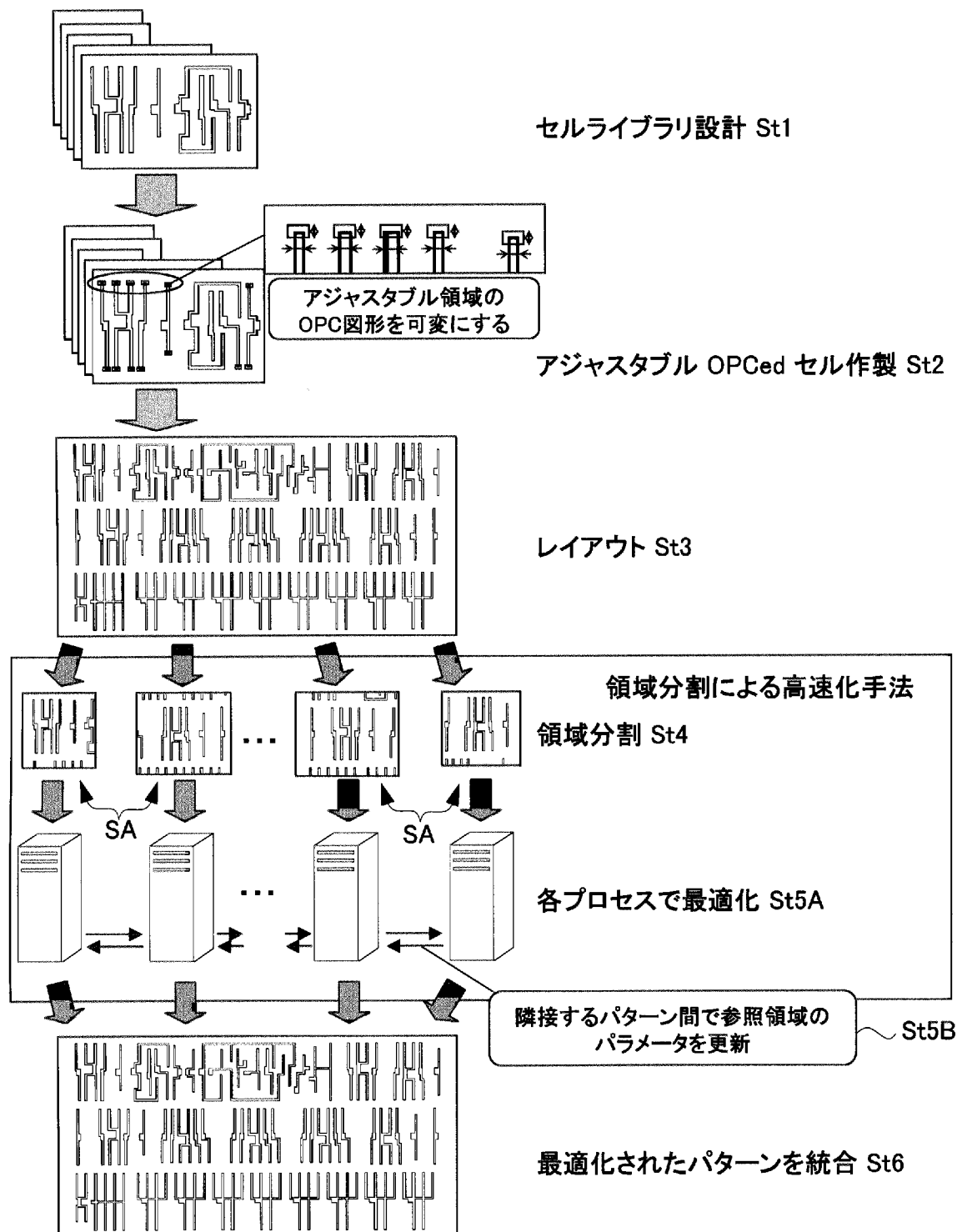
[図58]



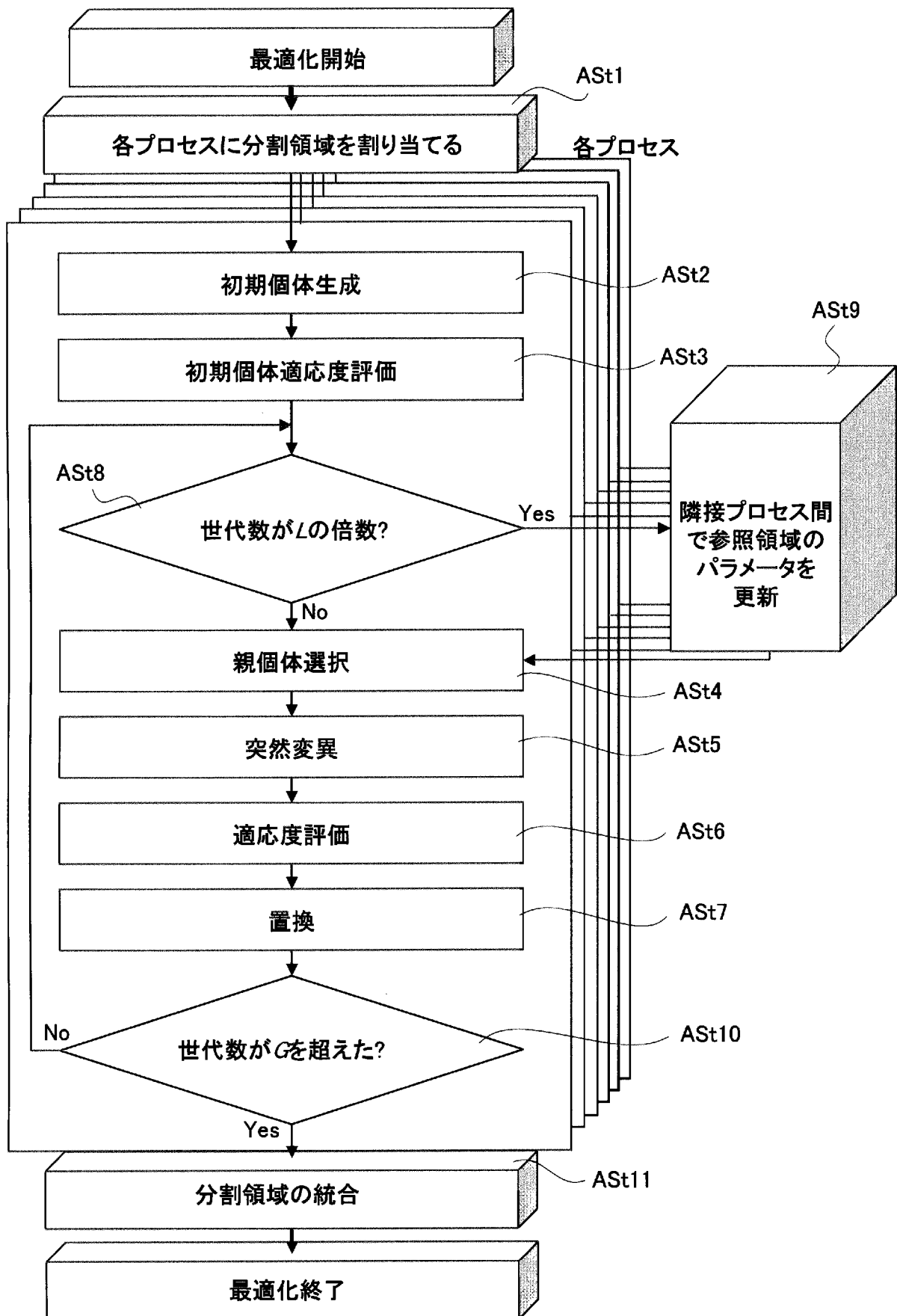
[図59]



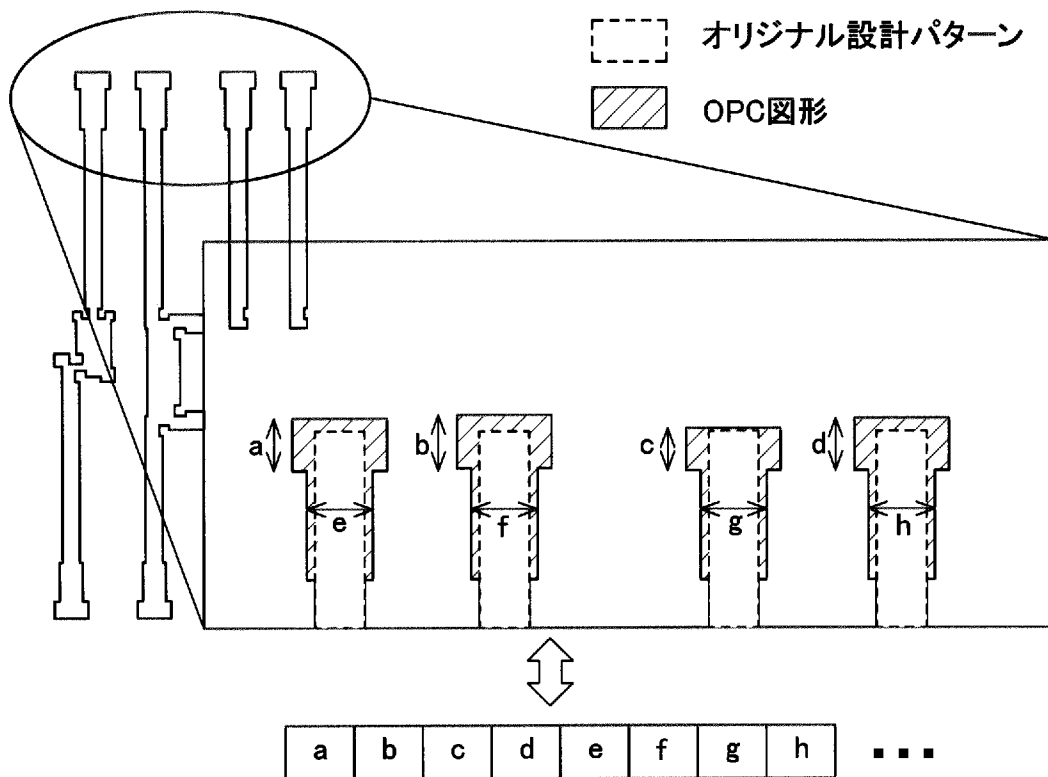
[図60]



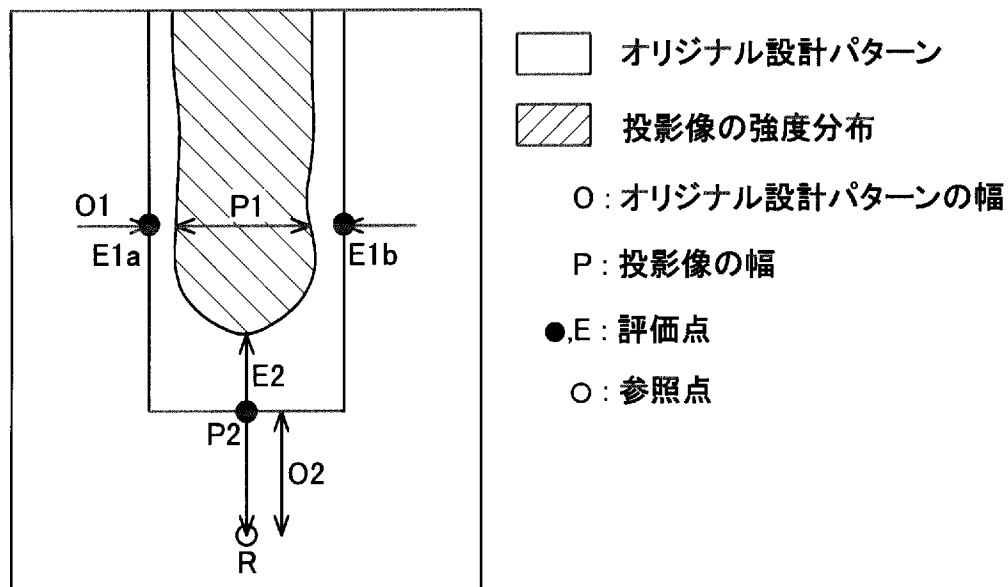
[図61]



[図62]



[図63]

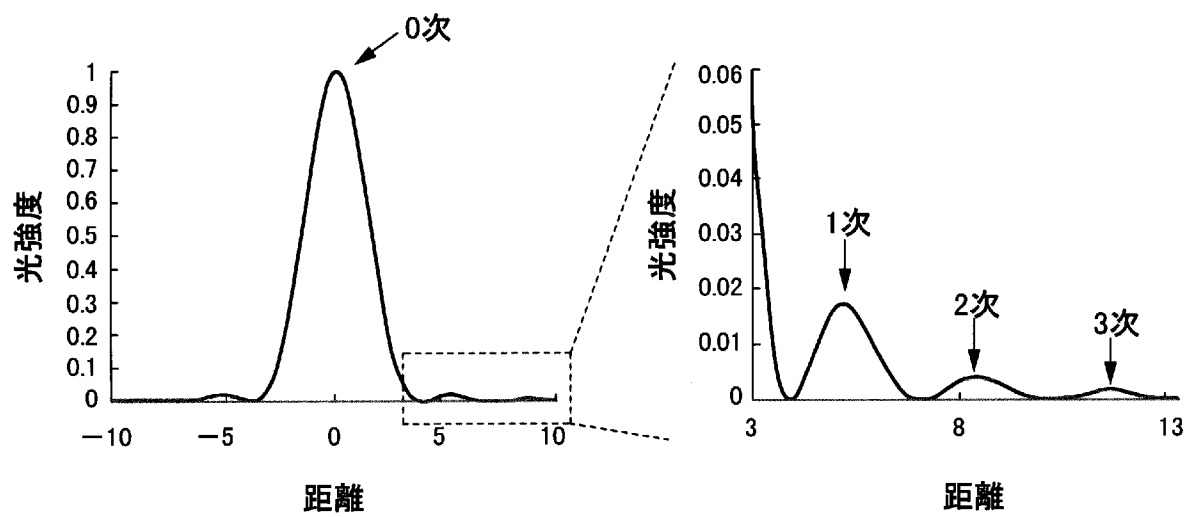


[図64]

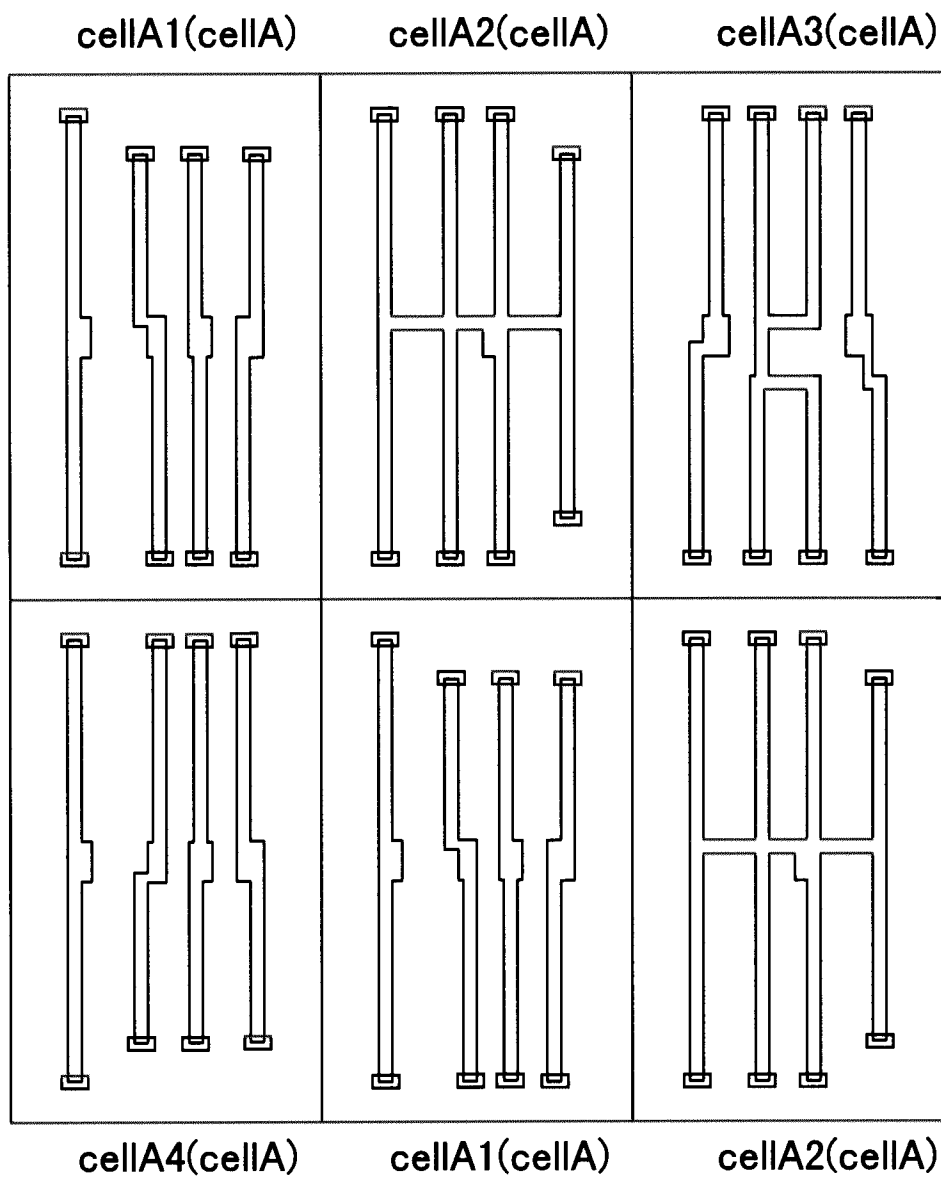
実験条件	従来手法	マスタースレーブ	提案手法
並列CPU数	1	6	6
1CPUあたりの計算面積(nm ²)	9186 × 9186	9186 × 9186	4096 × 4096
1CPUあたりの調整図形数	96	96	16
1CPUあたりの評価回数	1050	約175*	1050

*各スレーブの処理速度により異なる

[図65]



[図66]



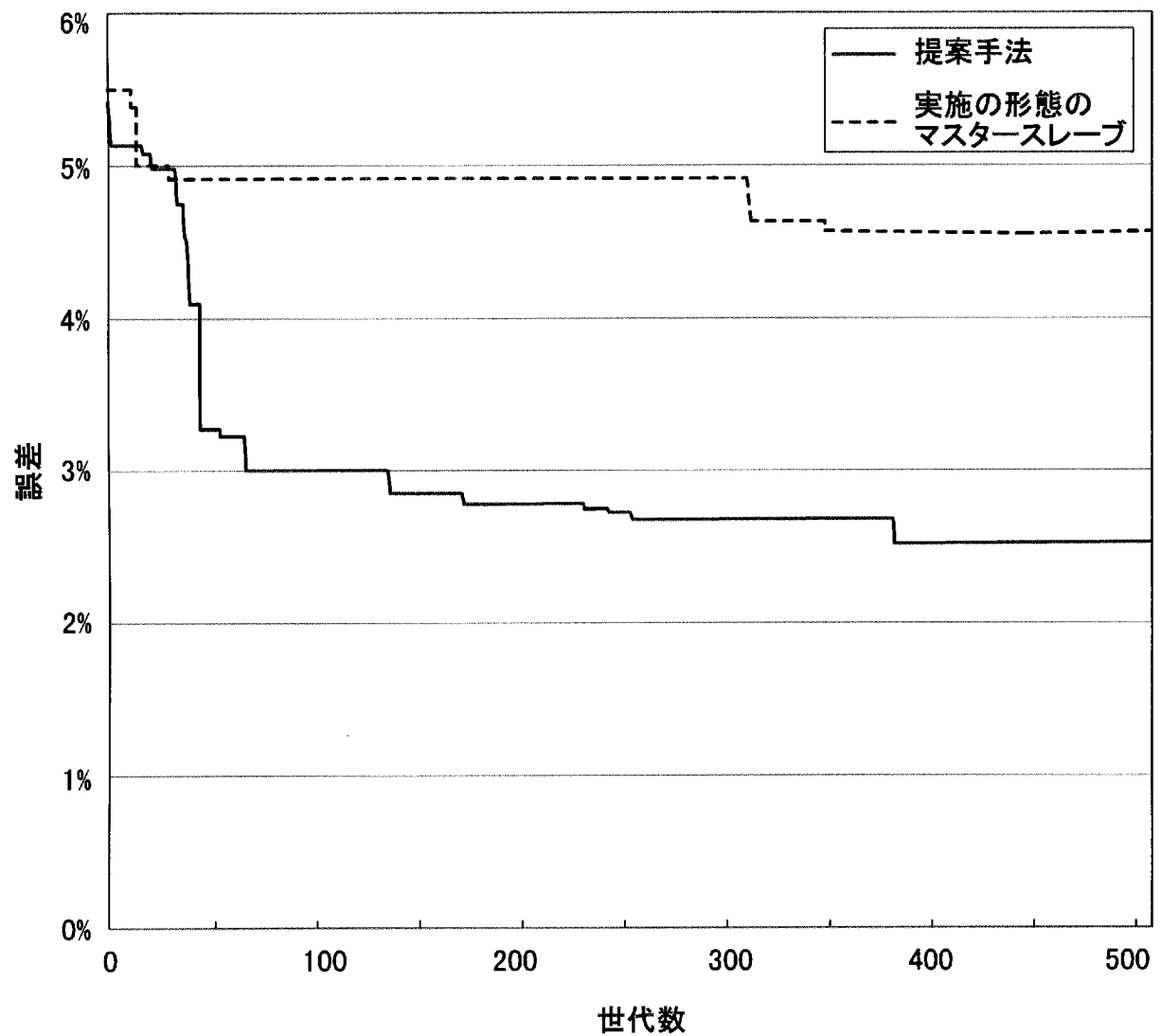
[図67]

	調整時間	調整後誤差値
提案手法	11h38m21s	2.45%
マスタースレーブ	22h14m06s	4.42%
従来手法	5d13h09m06s	4.84%

[図68]

	光学シミュレーション時間/1評価
提案手法	36.08s
マスタースレーブ	453.99s
従来手法	453.99s

[図69]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/066111

A. CLASSIFICATION OF SUBJECT MATTER

G03F1/08(2006.01)i, H01L21/027(2006.01)i, H01L21/82(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G03F1/08, H01L21/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-084101 A (Toshiba Corp.), 31 March, 2005 (31.03.05), Par. Nos. [0015] to [0028]; Figs. 1 to 4 & US 2005/064302 A1	1-16
A	JP 2002-055431 A (Hitachi, Ltd.), 20 February, 2002 (20.02.02), Claims; Fig. 1 (Family: none)	1-16
A	JP 10-032253 A (Toshiba Corp.), 03 February, 1998 (03.02.98), Claims; all drawings & EP 820100 A2 & US 5847421 A & KR 98011725 A & US 6194252 B1 & TW 434829 A & KR 284104 B	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 September, 2007 (11.09.07)

Date of mailing of the international search report
13 November, 2007 (13.11.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/066111

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-314954 A (Matsushita Electric Industrial Co., Ltd.), 14 November, 2000 (14.11.00), Claims & US 6691297 B1 & US 2004/107410 A1 & US 2005/289500 A1 & US 7103870 B2	1-16
A	JP 08-254812 A (Fujitsu Ltd.), 01 October, 1996 (01.10.96), Full text; all drawings (Family: none)	2-3, 6-7, 10, 16
P, A	WO 2006/104244 A1 (National Institute of Advanced Industrial Science and Technology), 05 October, 2006 (05.10.06), Claims & JP 2006-276079 A	1-16
P, A	JP 2006-276279 A (Fujitsu Ltd.), 12 October, 2006 (12.10.06), Par. Nos. [0038] to [0045] & US 2006/214119 A1 & KR 2006103804 A & CN 1841387 A	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. G03F1/08(2006.01)i, H01L21/027(2006.01)i, H01L21/82(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. G03F1/08, H01L21/027

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-084101 A（株式会社東芝）2005.03.31, 段落[0015]-[0028], 図 1-4 & US 2005/064302 A1	1-16
A	JP 2002-055431 A（株式会社日立製作所）2002.02.20, 特許請求の範囲, 図 1（ファミリーなし）	1-16
A	JP 10-032253 A（株式会社東芝）1998.02.03, 特許請求の範囲, 全図 & EP 820100 A2 & US 5847421 A & KR 98011725 A & US 6194252 B1 & TW 434829 A & KR 284104 B	1-16

☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日 1 1 . 0 9 . 2 0 0 7	国際調査報告の発送日 1 3 . 1 1 . 2 0 0 7		
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 渡戸 正義	2 M	9 0 2 3
	電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 4		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-314954 A (松下電器産業株式会社) 2000. 11. 14, 特許請求の範囲 & US 6691297 B1 & US 2004/107410 A1 & US 2005/289500 A1 & US 7103870 B2	1-16
A	JP 08-254812 A (富士通株式会社) 1996. 10. 01, 全文, 全図 (ファミリーなし)	2-3, 6-7, 10, 16
P, A	WO 2006/104244 A1 (独立行政法人産業技術総合研究所) 2006. 10. 05, 特許請求の範囲 & JP 2006-276079 A	1-16
P, A	JP 2006-276279 A (富士通株式会社) 2006. 10. 12, 段落[0038]-[0045] & US 2006/214119 A1 & KR 2006103804 A & CN 1841387 A	1-16