



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I624950 B

(45)公告日：中華民國 107 (2018) 年 05 月 21 日

(21)申請案號：106111409

(22)申請日：中華民國 101 (2012) 年 07 月 02 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2011/07/08 日本

2011-152190

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；篠原聰始 SHINOHARA, SATOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2009321732A1

US 2010163866A1

US 2011127523A1

審查人員：吳松屏

申請專利範圍項數：16 項 圖式數：17 共 98 頁

(54)名稱

半導體裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR
DEVICE

(57)摘要

本發明提供如下電晶體及具有該電晶體的半導體裝置，上述電晶體使用具有根據用途被要求的電特性的氧化物半導體層的電晶體。使用如下氧化物半導體疊層構成電晶體，該氧化物半導體疊層至少包括：接觸於源極電極層或汲極電極層的第一氧化物半導體層；及設置在第一氧化物半導體層上並具有與第一氧化物半導體層不同的能隙的第二氧化物半導體層。第一氧化物半導體層和第二氧化物半導體層具有彼此不同的能隙即可，並且對其疊層順序沒有限制。

指定代表圖：

FIG. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 400, a thin layer 436, a central region 101, a side region 103, a top layer 402, a central protrusion 401, and side regions 405a and 405b. A dashed line 510 indicates a cross-section through the device. The X and Y axes are shown at the bottom.

510 · · · 電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

Semiconductor device and method for manufacturing semiconductor device

【技術領域】

本發明係關於一種半導體裝置及半導體裝置的製造方法。

另外，本說明書中的半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置，因此電光裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體（也稱為薄膜電晶體（TFT））的技術引人注目。該電晶體被廣泛地應用於如積體電路（IC）或影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料是眾所周知的。作為其他材料，氧化物半導體受到關注。

例如，公開了作為電晶體的活性層使用包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物的電晶體（參照專利文獻1）。

[專利文獻 1] 日本專利申請公開第 2006-165528 號公報

當提高電晶體的導通特性（例如，導通電流及場效應遷移率）時，在半導體裝置中對輸入信號能夠進行高速回應及高速驅動，從而可以實現更高性能的半導體裝置。另一方面，爲了實現半導體裝置的低耗電量化，要求電晶體的截止電流充分低。像這樣，電晶體被要求的電特性根據用途及目的變化，而更準確地控制該電特性是有益的。

【發明內容】

於是，本發明的一個方式的課題之一是一種電晶體結構及其製造方法，在該電晶體結構中可以使將氧化物半導體用於通道形成區域的電晶體的電特性的臨界電壓設定爲正值，實現所謂常截止型的切換元件。

較佳的是，在電晶體中，在閘極電壓爲儘量近於 0V 的正值的臨界電壓的狀態下形成通道。當電晶體的臨界電壓值是負值時，容易成爲所謂常導通型，也就是說即使閘極電壓爲 0V，在源極電極和汲極電極之間也有電流流過。在 LSI、CPU 或記憶體中，構成電路的電晶體的電特性很重要，該電特性影響到半導體裝置的耗電量。尤其是，在電晶體的電特性中臨界電壓（ V_{th} ）很重要。即使在場效應遷移率高的情況下，當臨界電壓值是負時，電路

的控制很困難。在負的電壓狀態下也形成通道而汲極電流流過的電晶體不適合用作用於半導體裝置的積體電路的電晶體。

另外，重要的是，即使在因材料或製造條件而所製造的電晶體不成爲常截止的情況下也使電晶體的特性接近於常截止。因此，本發明的課題之一也是提供如下結構及其製造方法，即，即使在電晶體的特性爲臨界電壓值是負的所謂常導通的情況下也使電晶體的閾值接近於 0 的結構。

另外，本發明的課題之一也是提供如下結構及其製造方法，即，爲了實現更高性能的二導體裝置，提高電晶體的導通特性（例如，導通電流及場效應遷移率）來實現二導體裝置的高速回應、高速驅動的結構。

如上所述，本發明的課題之一是提供如下電晶體及具有該電晶體的二導體裝置，上述電晶體使用具有根據用途被要求的電特性的氧化物二導體層。

在依次層疊有源極電極層或汲極電極層、二導體層、閘極絕緣膜及閘極電極層的電晶體中，作爲二導體層使用層疊有具有彼此不同的能隙的至少兩層的氧化物二導體的氧化物二導體層（以下，也稱爲氧化物二導體疊層）。

例如，使用如下氧化物二導體疊層構成電晶體，該氧化物二導體疊層包括：接觸於源極電極層及汲極電極層的第一氧化物二導體層；以及設置在第一氧化物二導體層上並具有與第一氧化物二導體層不同的能隙的第二氧化物二導體層。在此，第一氧化物二導體層和第二氧化物二導體

層具有彼此不同的能隙即可，並且對其疊層順序沒有限制。更明確而言，將一方的氧化物半導體層的能隙設定為 3eV 以上並將另一方的氧化物半導體層的能隙設定為小於 3eV ，即可。

另外，在本說明書等中，“能隙”的意思與“能隙”或“禁止帶寬度”相同。

另外，也可以採用氧化物半導體疊層包括三層以上的氧化物半導體層的結構。當採用氧化物半導體疊層具有三層以上的氧化物半導體層的結構時，既可以採用所有氧化物半導體層具有彼此不同的能隙的結構，又可以將具有同等的能隙的多個氧化物半導體層用於氧化物半導體疊層中。

例如，可以採用如下結構，該結構包括：接觸於源極電極層或汲極電極層的第一氧化物半導體層；設置在第一氧化物半導體層上，且電子親和力比第一氧化物半導體層的電子親和力大或者能隙比第一氧化物半導體層的能隙小的第二氧化物半導體層；以及設置在第二氧化物半導體層上的第三氧化物半導體層。另外，較佳的是第三氧化物半導體層的電子親和力及能隙與第一氧化物半導體層的電子親和力及能隙同等。在此，電子親和力是指真空能階與氧化物半導體的傳導帶底之間的能量差。藉由採用在能隙大的第一氧化物半導體層和第三氧化物半導體層之間夾著能隙小的第二氧化物半導體層的結構，可以得到進一步減少電晶體的截止電流（洩漏電流）的效果。

明確而言，將第一氧化物半導體層及第三氧化物半導體層的能隙設定為 3eV 以上，並且將第二氧化物半導體層的能隙設定為小於 3eV 。在使用氧化物半導體層的電晶體中，該氧化物半導體層的能隙影響到電晶體的電特性。例如，在使用氧化物半導體層的電晶體中，當氧化物半導體層的能隙小時，可以提高導通特性（例如，導通電流及場效應遷移率）。另一方面，當氧化物半導體層的能隙大時，可以減少截止電流。

當採用單層的氧化物半導體層時，電晶體的電特性基本由該氧化物半導體層的能隙的大小而決定，所以難以對電晶體賦予所希望的電特性。但是，在有關本發明的一個方式的電晶體中，利用使用具有彼此不同的能隙的多個氧化物半導體層的氧化物半導體疊層來可以以更高精度控制其電特性，從而可以對電晶體賦予所希望的電特性。

因此，可以提供實現高性能、高可靠性或低耗電量等各種目的的半導體裝置。

本發明的一個方式是一種半導體裝置，包括：形成在絕緣表面上的源極電極層或汲極電極層；設置在源極電極層或汲極電極層上，且包括第一氧化物半導體層及具有與第一氧化物半導體層不同的能隙的第二氧化物半導體層的氧化物半導體疊層；設置在氧化物半導體疊層上的閘極絕緣膜；以及隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層。

另外，本發明的另一個方式是一種半導體裝置，包

括：形成在絕緣表面上的源極電極層或汲極電極層；設置在源極電極層或汲極電極層上的氧化物半導體疊層，該氧化物半導體疊層包括第一氧化物半導體層、接觸於第一氧化物半導體層且具有比第一氧化物半導體層的能隙小的能隙的第二氧化物半導體層以及接觸於第二氧化物半導體層且具有比第二氧化物半導體層的能隙大的能隙的第三氧化物半導體層；設置在氧化物半導體疊層上的閘極絕緣膜；以及隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層。

在上述半導體裝置中，也可以將第三氧化物半導體層以覆蓋第一氧化物半導體層的側面及第二氧化物半導體層的側面的方式設置在第二氧化物半導體層上。

另外，在上述半導體裝置的任一個中，較佳的是氧化物半導體疊層中的不與閘極電極層重疊的區域包含摻雜劑。當採用這種結構時，氧化物半導體疊層具有隔著閘極絕緣膜重疊於閘極電極層的通道形成區域，並具有如下一對低電阻區域，該一對低電阻區域在通道長度方向上夾著上述通道形成區域。

藉由形成包括在通道長度方向上夾著通道形成區域的低電阻區域的氧化物半導體層，使該電晶體的導通特性（例如，導通電流及場效應遷移率）高，從而可以實現高速工作、高速回應。另外，因為低電阻區域自對準地形成並不與閘極電極層重疊，所以可以減少寄生電容。藉由減少寄生電容，可以降低整個半導體裝置的耗電量。

較佳的是低電阻區域中的摻雜劑的濃度為 $5 \times 10^{18}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

另外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在氧化物絕緣膜上形成源極電極層及汲極電極層；在源極電極層及汲極電極層上形成包括第一氧化物半導體層及具有與第一氧化物半導體層不同的能隙的第二氧化物半導體層的氧化物半導體疊層；在源極電極層、汲極電極層及氧化物半導體疊層上形成閘極絕緣膜；以及形成隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層。

另外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在氧化物絕緣膜上形成源極電極層及汲極電極層；在源極電極層及汲極電極層上形成包括第一氧化物半導體層、具有比第一氧化物半導體層的能隙小的能隙的第二氧化物半導體層以及具有比第二氧化物半導體層的能隙大的能隙的第三氧化物半導體層的氧化物半導體疊層；在源極電極層、汲極電極層及氧化物半導體疊層上形成閘極絕緣膜；以及形成隔著閘極絕緣膜重疊於氧化物半導體疊層的閘極電極層。

在上述半導體裝置的製造方法中，也可以以覆蓋第一氧化物半導體層的側面及第二氧化物半導體層的側面的方式層疊第三氧化物半導體層。

在上述半導體裝置的製造方法的任一個中，也可以在形成閘極絕緣膜之後，從閘極絕緣膜上對氧化物半導體疊

層引入氧。

在上述半導體裝置的製造方法的任一個中，也可以在形成閘極電極層之後，將閘極電極層用作掩模對氧化物半導體疊層自對準地引入摻雜劑。

藉由應用包括具有彼此不同的能隙的多個氧化物半導體層的氧化物半導體疊層，可以以更高精度控制電晶體的電特性，從而可以對電晶體賦予所希望的電特性。

因此，可以提供實現高性能、高可靠性或低耗電量等各種目的的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A 至圖 1C 是說明本發明的一個方式的半導體裝置的平面圖及剖面圖；

圖 2A 至圖 2D 是說明本發明的一個方式的半導體裝置的製造方法的圖；

圖 3A 至圖 3D 是說明本發明的一個方式的半導體裝置的平面圖、剖面圖及能帶圖；

圖 4A 至圖 4D 是說明本發明的一個方式的半導體裝置的製造方法的圖；

圖 5A 和圖 5B 是說明本發明的一個方式的半導體裝置的剖面圖；

圖 6A 至圖 6C 是說明本發明的一個方式的半導體裝置的圖；

圖 7A 和圖 7B 是說明本發明的一個方式的半導體裝置的圖；

圖 8A 和圖 8B 是說明本發明的一個方式的半導體裝置的圖；

圖 9A 至圖 9D 是示出電子裝置的圖；

圖 10A 至圖 10C 是實施例樣本的 TEM 照片圖及其示意圖；

圖 11A 至圖 11C 是實施例樣本的 TEM 照片圖及其示意圖；

圖 12 是示出電離電位的測量結果的圖；

圖 13 是能帶圖；

圖 14 是示出電離電位的測量結果的圖；

圖 15 是能帶圖；

圖 16A 和圖 16B 是示出藉由計算求出的電晶體的截止電流特性的圖；

圖 17 是示出藉由計算求出的電晶體的場效應遷移率的圖。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式及詳細內容可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容

中。

注意，在以下說明的本發明的結構中，在不同的圖式之間共同使用同一元件符號來表示相同部分或具有相同功能的部分，而省略其重複說明。另外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

另外，在本說明書等所說明的各圖式中的各元件的大小、膜的厚度或區域有時爲了清晰可見而被誇大。因此，比例不一定受限於圖式中的比例。

注意，在本說明書等中，爲了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。另外，本說明書等中的序數詞並不表示特定本發明的固有名稱。

實施方式 1

在本實施方式中，參照圖 1A 至圖 2D 對半導體裝置及半導體裝置的製造方法的一個方式進行說明。在本實施方式中示出作爲半導體裝置的一個例子的具有氧化物半導體疊層的電晶體。

圖 1A、圖 1B 及圖 1C 所示的電晶體 510 是頂閘極結構的電晶體的一個例子。圖 1A 是平面圖，在圖 1A 中的虛線 XY 處進行切斷而成的剖面相當於圖 1B，並且在圖 1A 中的虛線 VW 處進行切斷而成的剖面相當於圖 1C。

如作爲通道長度方向上的剖面圖的圖 1B 所示，電晶

體 510 在設置有氧化物絕緣膜 436 的具有絕緣表面的基板 400 上包括：源極電極層 405a；汲極電極層 405b；設置在源極電極層 405a 及汲極電極層 405b 上且包括第一氧化物半導體層 101 及第二氧化物半導體層 102 的氧化物半導體疊層 403；閘極絕緣膜 402；以及閘極電極層 401。在電晶體 510 上形成有絕緣膜 407。

此外，在圖 1B 及圖 1C 中以虛線示意性地示出包括在氧化物半導體疊層 403 中的各氧化物半導體層之間的介面。這示意性地示出包括在氧化物半導體疊層中的各氧化物半導體層的介面不明確（不清楚）的情況，在本說明書的其他圖式中也是同樣的。注意，介面不明確是指如下情況，即，在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）獲得的氧化物半導體疊層的剖面觀察影像（TEM 影像）中確認不到氧化物半導體層之間的連續的邊界。

在氧化物半導體疊層 403 中第一氧化物半導體層 101 所具有的能隙與第二氧化物半導體層 102 所具有的能隙不同即可，而不以能隙的大小限制疊層順序。

明確而言，在氧化物半導體疊層 403 中，一方的氧化物半導體層的能隙為 3eV 以上，並且另一方的氧化物半導體層的能隙小於 3eV。作為能隙為 3eV 以上的氧化物半導體，例如可以使用 In-Ga-Zn 類氧化物半導體（能隙為 3.0eV 至 3.4eV，典型的是 3.2eV）。此外，作為能隙小於 3eV 的氧化物半導體，例如可以使用 In-Sn-Zn 類氧化物半

導體（能隙為 2.6eV 至 2.9eV ，典型的是 2.8eV ）。

圖 2A 至圖 2D 示出電晶體 510 的製造方法的一個例子。

首先，在具有絕緣表面的基板 400 上形成氧化物絕緣膜 436。

對可以用於具有絕緣表面的基板 400 的基板沒有大限制，但是該基板需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用鋇硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃等玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，也可以採用矽或碳化矽等單晶半導體基板、多晶半導體基板、矽鍺等化合物半導體基板、SOI 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 400。

此外，也可以使用撓性基板作為基板 400 來製造半導體裝置。當製造具有撓性的半導體裝置時，既可以在撓性基板上直接形成包括氧化物半導體疊層的電晶體，又可以在其他製造基板上形成包括氧化物半導體疊層的電晶體並然後從製造基板將其剝離、轉置到撓性基板上。另外，為了從製造基板將其剝離、轉置到撓性基板上，較佳的是在製造基板與包括氧化物半導體疊層的電晶體之間設置剝離層。

氧化物絕緣膜 436 可以藉由電漿 CVD 法或濺射法等並使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎘、氮氧化矽、氮氧化鋁或這些材料的混合材料來形

成。在本實施方式中，作為氧化物絕緣膜 436 使用利用濺射法形成的氧化矽膜。

氧化物絕緣膜 436 可以是單層或疊層。例如，既可在基板 400 上依次層疊氧化矽膜、In-Hf-Zn 類氧化物膜，又可在基板 400 上依次層疊氧化矽膜、原子數比為 In : Zr : Zn=1 : 1 : 1 的 In-Zr-Zn 類氧化物膜，還可在基板 400 上依次層疊氧化矽膜、原子數比為 In : Gd : Zn=1 : 1 : 1 的 In-Gd-Zn 類氧化物膜。

在電晶體 510 中，因為氧化物絕緣膜 436 與氧化物半導體疊層 403 的最下層接觸，所以較佳的是在氧化物絕緣膜 436 中（塊（bulk）中）至少存在超過化學計量成分比的含量的氧。例如，當作為氧化物絕緣膜 436 使用氧化矽膜時，滿足 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）。藉由使用這種氧化物絕緣膜 436，可以向形成在其上方的氧化物半導體疊層供應氧，從而可以實現良好特性。藉由向氧化物半導體疊層供應氧，可以填補膜中的氧缺損。

接著，在氧化物絕緣膜 436 上形成成為源極電極層及汲極電極層（包括使用與其相同的層形成的佈線）的導電膜並對其選擇性地進行蝕刻來形成源極電極層 405a、汲極電極層 405b。作為用於源極電極層 405a 及汲極電極層 405b 的導電膜，使用能夠承受後面進行的加熱處理的材料，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以在

Al、Cu 等的金屬膜的下側和上側中的一者或兩者上層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。此外，也可以使用導電金屬氧化物形成用於源極電極層 405a 及汲極電極層 405b 的導電膜。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者使這些金屬氧化物材料包含氧化矽的材料。

在本實施方式中，作為源極電極層 405a、汲極電極層 405b 形成厚度為 10nm 的鎢膜。像這樣，當源極電極層 405a、汲極電極層 405b 的厚度薄時，可以使在其上形成的氧化物半導體疊層 403 具有高覆蓋性。

接著，在源極電極層 405a 及汲極電極層 405b 上形成成為第一氧化物半導體層 101 及第二氧化物半導體層 102 的第一氧化物半導體膜 191 及第二氧化物半導體膜 192（參照圖 2A）。

第一氧化物半導體膜 191 和第二氧化物半導體膜 192 是具有彼此不同的能隙的氧化物半導體膜。例如，一方的氧化物半導體膜的能隙為 3eV 以上，而另一方的氧化物半導體膜的能隙小於 3eV。

在第一氧化物半導體膜 191 及第二氧化物半導體膜 192 的製程中，為了儘量不使該氧化物半導體膜中包含氫或水分，作為成膜的預處理，較佳的是在濺射裝置的預熱

室內對形成有氧化物絕緣膜 436、源極電極層 405a 及汲極電極層 405b 的基板進行預熱，來使吸附到基板及氧化物絕緣膜 436 等的氫、水分等雜質脫離並進行排氣。另外，設置在預熱室中的排氣單元較佳為低溫泵。

較佳為用於第一氧化物半導體膜 191 及第二氧化物半導體膜 192 的氧化物半導體至少包含銦 (In) 或鋅 (Zn)。尤其是，較佳為包含 In 和 Zn。此外，除了上述元素以外，較佳的是還具有鎵 (Ga) 作為穩定劑 (stabilizer)，該穩定劑用來減小上述使用氧化物的電晶體的電特性的不均勻。此外，作為穩定劑較佳為具有錫 (Sn)。另外，作為穩定劑較佳為具有鈦 (Hf)。此外，作為穩定劑較佳為具有鋁 (Al)。此外，作為穩定劑較佳為具有鋯 (Zr)。

此外，作為其他穩定劑，也可以具有鑷系元素的鑷 (La)、鈰 (Ce)、鐮 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、銩 (Tm)、鐳 (Yb)、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-

Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

氧化物半導體既可以為單晶又可以為非單晶。在後一種的情況下，可以為非晶或多晶。另外，既可以為在非晶中包括具有結晶性的部分的結構又可以為非非晶。注意，因為即使使用相同材料，有時單晶和非單晶的能隙不同，所以適當地選擇材料的結晶狀態是重要的。

另外，作為氧化物半導體疊層，可以使用包括結晶並具有結晶性的氧化物半導體膜（結晶氧化物半導體膜）。結晶氧化物半導體膜中的結晶狀態既可以為結晶軸的方向沒有秩序的狀態又可以為具有固定的配向性的狀態。

例如，作為結晶氧化物半導體膜，可以使用 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：C 軸配向結晶氧化物半導體）膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部的

尺寸為能夠容納在一邊短於 100nm 的立方體內的尺寸。另外，在使用 TEM 觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85°以上且 95°以下的範圍。另外，在只記載“平行”時，也包括 -5°以上且 5°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區域中結晶部產生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成

面的剖面形狀或表面的剖面形狀) 朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。藉由進行成膜或在成膜之後進行加熱處理等的晶化處理來形成結晶部。

由於包括 CAAC-OS 膜的電晶體可以進一步抑制因照射可見光或紫外光而產生的電特性變化，所以可以使包括該電晶體的半導體裝置具有高可靠性。

CAAC-OS 膜例如使用作為多晶的氧化物半導體濺射靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，為了形成 CAAC-OS 膜，較佳為應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質濃度（氫、水、二氧化碳及氮等）。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C

以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol% 以上，較佳為 100vol%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到作為多晶的 In-Ga-Zn-O 化合物靶材。另外， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及混合粉末時的莫耳數比例可以根據所製造的濺射靶材適當地改變。

將第一氧化物半導體膜 191 及第二氧化物半導體膜 192 的厚度設定為 5nm 以上且 10nm 以下（較佳為 5nm 以上且 30nm 以下），並且可以適當地使用濺射法、MBE（Molecular Beam Epitaxy：分子束外延）法、CVD 法、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等。另外，還可以使用如下裝置形成第一氧化物半導體膜 191 及第二氧化物半導體膜 192，該裝置是：在與濺射靶材表面大致垂直地設置有多個基板表面的狀態

下進行成膜的濺射裝置。

此外，較佳的是以包含多量的氧的條件（例如，在氧 100% 的氛圍下利用濺射法進行成膜等）下形成第一氧化物半導體膜 191 及第二氧化物半導體膜 192，來使第一氧化物半導體膜 191 及第二氧化物半導體膜 192 為包含多量的氧（較佳為包括氧含量超過氧化物半導體處於結晶狀態時的化學計量成分比的區域）的膜。

另外，在本實施方式中，作為用於藉由濺射法形成第一氧化物半導體膜 191 的靶材，例如使用成分比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比] 的金屬氧化物靶材，從而形成 In-Ga-Zn 類氧化物膜。此外，不侷限於上述靶材的材料和組成，例如也可以使用成分比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比] 的金屬氧化物靶材。

作為在形成第一氧化物半導體膜 191 及第二氧化物半導體膜 192 時使用的濺射氣體，較佳為使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

另外，較佳的是以不暴露於大氣的方式連續形成氧化物絕緣膜 436 和氧化物半導體疊層。藉由以不暴露於大氣的方式連續形成氧化物絕緣膜 436 和氧化物半導體疊層，可以防止氫或水分等雜質附著於氧化物絕緣膜 436 的表面。

接著，藉由光微影製程將第一氧化物半導體膜 191 及第二氧化物半導體膜 192 加工為島狀，來形成包括第一氧化物半導體層 101 及第二氧化物半導體層 102 的氧化物半

導體疊層 403。

也可以藉由噴墨法形成用來形成氧化物半導體疊層 403（第一氧化物半導體層 101 及第二氧化物半導體層 102）的光阻掩罩。在藉由噴墨法形成光阻掩罩時不需要光掩模，由此可以縮減製造成本。

另外，第一氧化物半導體膜 191 及第二氧化物半導體膜 192 的蝕刻可以為乾蝕刻和濕蝕刻中的一者或兩者。

在本實施方式中，由於使用同一掩模對第一氧化物半導體膜 191 及第二氧化物半導體膜 192 進行蝕刻加工，所以加工後的第一氧化物半導體層 101 和第二氧化物半導體層 102 成為其側面的端部一致的相同形狀的氧化物半導體層。在加工為島狀之後的氧化物半導體疊層 403 中第一氧化物半導體層 101 及第二氧化物半導體層 102 的側面（端部）露出。

也可以對氧化物半導體疊層 403 進行用於去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300℃ 以上且 700℃ 以下或低於基板的應變點的溫度。加熱處理可以在減壓下或氮氛圍下等進行。例如，將基板放在加熱處理裝置之一的電爐中，並且在氮氛圍下以 450℃ 的溫度對氧化物半導體疊層 403 進行 1 小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，也可以使用利用來自電阻發熱體等的發熱體的熱傳導或熱輻射對處理目標進行加熱的裝置。例如，可以使用如 GRTA（Gas Rapid

Thermal Anneal，即氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，即燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal，即快速熱退火）裝置。LRTA 裝置是利用鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈所發出的光（電磁波）的輻射對處理目標進行加熱的裝置。GRTA 裝置是利用高溫氣體進行加熱處理的裝置。作為高溫氣體，使用如氬等的稀有氣體或氮等即使進行加熱處理也不與處理目標起反應的惰性氣體。

例如，作為加熱處理可以進行 GRTA，其中將基板放在加熱到 650℃ 至 700℃ 的高溫的惰性氣體中，加熱幾分鐘，然後將基板從惰性氣體中取出。

另外，在加熱處理中，氮或諸如氦、氖、氬等的稀有氣體較佳的是不包含水、氫等。或者，較佳的是將引入到加熱處理裝置中的氮或諸如氦、氖、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，更佳的是設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳的是設定為 0.1ppm 以下）。

此外，也可以在藉由加熱處理加熱氧化物半導體疊層 403 之後，在維持加熱溫度或從該加熱溫度進行緩冷的狀態下，對相同的爐中引入高純度的氧氣體、高純度的二氮化氧氣體或超乾燥氣體（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點儀進行測定時的水分量是 20ppm（露點換算，-55℃）以下，較

佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）。氧氣體或二氮化氧氣體較佳的是不包含水、氫等。或者，較佳的是將引入到加熱處理裝置中的氧氣體或二氮化氧氣體的純度設定為 6N 以上，較佳的是設定為 7N 以上（即，將氧氣體或二氮化氧氣體中的雜質濃度設定為 1ppm 以下，較佳的是設定為 0.1ppm 以下）。藉由利用氧氣體或二氮化氧氣體的作用供應當進行在脫水化或脫氫化處理中的雜質的排除製程時同時減少的構成氧化物半導體的主要成分材料之一的氧，可以使氧化物半導體疊層 403 高純度化及 i 型（本質）化。

另外，只要在形成氧化物半導體膜之後且在後面形成絕緣膜 407 之前，在電晶體 510 的製程中就可以隨時進行用於脫水化或脫氫化的加熱處理。例如，在形成第二氧化物半導體膜 192 之後且在將其加工為島狀之前或在形成閘極絕緣膜 402 之後進行用於脫水化或脫氫化的加熱處理。

此外，既可以多次進行用於脫水化或脫氫化的加熱處理，也可以兼作其他加熱處理進行用於脫水化或脫氫化的加熱處理。例如，也可以進行兩次加熱處理，即在形成第一氧化物半導體膜 191 之後及在形成第二氧化物半導體膜 192 之後進行加熱處理。

另外，藉由在將第一氧化物半導體膜 191 及第二氧化物半導體膜 192 加工為島狀之前進行用於脫水化或脫氫化的加熱處理，可以防止因加熱處理而釋放出包含在氧化物絕緣膜 436 中的氧，所以是較佳的。

此外，藉由在與作為包含氧的絕緣膜的氧化物絕緣膜 436 的至少一部分接觸的狀態下進行用於脫水化或脫氫化的加熱處理，可以將氧從氧化物絕緣膜 436 供應到氧化物半導體疊層 403。或者，也可以在作為閘極絕緣膜 402 形成包含氧的絕緣膜之後進行用於脫水化或脫氫化的加熱處理，而將氧從閘極絕緣膜 402 供應到氧化物半導體疊層 403。藉由從與氧化物半導體疊層 403 接觸的絕緣膜供應氧，填補氧化物半導體疊層 403 的氧缺陷，從而可以使氧化物半導體疊層 403 高純度化及 i 型（本質）化。此外，當進行用於脫水化或脫氫化的加熱處理時，較佳的是在與氧化物半導體疊層 403 接觸的絕緣膜中（塊中）至少有超過化學計量成分比的量的氧。

接著，形成覆蓋氧化物半導體疊層 403、源極電極層 405a 及汲極電極層 405b 的閘極絕緣膜 402（參照圖 2B）。

將閘極絕緣膜 402 的厚度設定為 1nm 以上且 20nm 以下，並可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等。另外，也可以使用在與濺射靶材表面大致垂直地設置有多個基板表面的狀態下進行成膜的濺射裝置形成閘極絕緣膜 402。

閘極絕緣膜 402 可以使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜形成。

此外，藉由作為閘極絕緣膜 402 的材料使用氧化鉛、

氧化釔、矽酸鉛 (HfSi_xO_y ($x>0$, $y>0$))、添加了氮的矽酸鉛 (HfSiO_xN_y ($x>0$, $y>0$))、鋁酸鉛 (HfAl_xO_y ($x>0$, $y>0$)) 以及氧化釧等 high-k 材料，可以降低閘極漏電流。而且，閘極絕緣膜 402 既可以是單層結構，又可以是疊層結構。

接著，藉由電漿 CVD 法或濺射法等，在閘極絕緣膜 402 上形成閘極電極層 401 (參照圖 2C)。由此，製造本實施方式的電晶體 510。

閘極電極層 401 可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、銦等金屬材料或以它們為主要成分的合金材料形成。此外，作為閘極電極層 401，也可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。閘極電極層 401 既可以是單層結構，又可以是疊層結構。

另外，閘極電極層 401 的材料也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，作為與閘極絕緣膜 402 接觸的閘極電極層 401 中的一層，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn 類氧化物膜、包含氮的 In-Sn 類氧化物膜、包含氮的 In-Ga 類氧化物膜、包含氮的 In-Zn 類氧化物膜、包含氮的 Sn 類氧化物膜、包含氮的 In 類氧化物

膜、金屬氮化膜（ InN 、 SnN 等）。這些膜具有 5eV ，較佳為具有 5.5eV 以上的功函數，而當將它們用作閘極電極層時，可以使電晶體的電特性的臨界電壓成為正值，而可以實現所謂的常截止的切換元件。

另外，也可以以覆蓋電晶體 510 的方式在閘極絕緣膜 402 及閘極電極層 401 上形成絕緣膜 407（參照圖 2D）。

絕緣膜 407 除了氧化矽膜以外，典型地可以使用氧化鋁膜、氧氮化矽膜、氧氮化鋁膜或氧化鎵膜等無機絕緣膜。例如，作為絕緣膜 407 可以使用氧化矽膜和氧化鋁膜的疊層。

可用於絕緣膜 407 的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧的兩者透過膜的效果。

另外，作為絕緣膜 407 也可以使用平坦化絕緣膜。作為平坦化絕緣膜，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等有機材料。除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。另外，也可以層疊多個由這些材料形成的絕緣膜形成平坦化絕緣膜。

本實施方式所示的電晶體 510 使用包括具有彼此不同的能隙的兩層氧化物半導體層的氧化物半導體疊層 403 構成。在使用氧化物半導體層的電晶體中，該氧化物半導體層的能隙影響到電晶體的電特性。例如，在使用氧化物半導體層的電晶體中，當氧化物半導體層的能隙小時，可以提高導通特性（例如，導通電流及場效應遷移率）。另一

方面，當氧化物半導體層的能隙大時，可以減少截止電流。在電晶體 510 中，藉由使用包括具有彼此不同的能隙的多個氧化物半導體層的氧化物半導體疊層 403，可以以更高精度控制電晶體的電特性，從而可以對電晶體 510 賦予所希望的電特性。

此外，藉由脫水化或脫氫化以及此後的氧供應，用於電晶體 510 的氧化物半導體疊層 403 可以成為高純度化了且減少了氧缺陷的氧化物半導體疊層。氧化物半導體疊層 403 充分去除了氫、水等雜質，氧化物半導體疊層 403 中的氫濃度可以為 $5 \times 10^{19}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下。此外，氧化物半導體疊層 403 中的氫濃度使用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）而測量。

在使用高純度化了並包含填補氧缺損的過剩的氧的氧化物半導體疊層 403 的電晶體中，可以使截止狀態下的室溫下的每通道寬度 $1\mu\text{m}$ 的電流值（截止電流值）降低到 $100\text{zA}/\mu\text{m}$ （ 1zA （仄普托介安培）為 $1 \times 10^{-21}\text{A}$ ）以下，較佳為降低到 $10\text{zA}/\mu\text{m}$ 以下，更佳為降低到 $1\text{zA}/\mu\text{m}$ 以下，進一步佳為降低到 $100\text{yA}/\mu\text{m}$ 以下的水準。

藉由使用如上所述得到的電特性高的電晶體，可以提供高性能及高可靠性的半導體裝置。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 2

在本實施方式中參照圖 3A 至圖 5B 說明改變實施方式 1 的製程的一部分獲得的電晶體的例子。注意，在本實施方式中與實施方式 1 相同部分或具有同樣功能的部分以及製程可以與實施方式 1 相同，而省略反復說明。

圖 3A、圖 3B 及圖 3C 所示的電晶體 520 是頂閘極結構的電晶體的一個例子。圖 3A 是平面圖，在圖 3A 中的虛線 XY 處進行切斷而成的剖面相當於圖 3B，並且在圖 3A 中的虛線 VW 處進行切斷而成的剖面相當於圖 3C。

如作為通道長度方向上的剖面圖的圖 3B 所示，電晶體 520 在設置有氧化物絕緣膜 436 的具有絕緣表面的基板 400 上包括：源極電極層 405a；汲極電極層 405b；包括第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層的氧化物半導體疊層 403；閘極絕緣膜 402；以及閘極電極層 401。在電晶體 520 上形成有絕緣膜 407。

在電晶體 520 中第一氧化物半導體層在氧化物絕緣膜 436、源極電極層 405a 及汲極電極層 405b 上且與其接觸地形成，而第二氧化物半導體層形成在第一氧化物半導體層上。此外，在電晶體 520 中，氧化物半導體疊層 403 具有第三氧化物半導體層，第三氧化物半導體層以覆蓋第一氧化物半導體層的側面及第二氧化物半導體層的側面的方式設置。此外，第三氧化物半導體層的通道長度方向上的周邊部與源極電極層 405a 及汲極電極層 405b 接觸。

在氧化物半導體疊層 403 中，隔著閘極絕緣膜 402 重

疊於閘極電極層 401 的通道形成區域包括三個層，即從基板 400 一側依次層疊有第一通道形成區域 121c、第二通道形成區域 122c 及第三通道形成區域 123c。

另外，具有在通道長度方向上夾著第一通道形成區域 121c 的第一低電阻區域 121a、121b。另外，具有在通道長度方向上夾著第二通道形成區域 122c 的第二低電阻區域 122a、122b。另外，具有在通道長度方向上夾著第三通道形成區域 123c 的第三低電阻區域 123a、123b。

在圖 3A 至圖 3D 所示的電晶體 520 中，氧化物半導體層 403 依次層疊有：包括第一低電阻區域 121a、121b 及第一通道形成區域 121c 的第一氧化物半導體層；包括第二低電阻區域 122a、122b 及第二通道形成區域 122c 的第二氧化物半導體層；以及包括第三低電阻區域 123a、123b 及第三通道形成區域 123c 的第三氧化物半導體層。

另外，在電晶體 520 中，第二氧化物半導體層的能隙比第一氧化物半導體層的能隙小，並且第三氧化物半導體層的能隙比第二氧化物半導體層的能隙大。另外，較佳的是第一氧化物半導體層的能隙與第三氧化物半導體層的能隙同等。

圖 3C 是通道寬度方向上的剖面圖，與圖 3B 同樣地第二氧化物半導體層的端部，即第二低電阻區域 122a、122b 的側面較佳的是被第三氧化物半導體層的端部，即第三低電阻區域 123a、123b 覆蓋。藉由採用上述結構，

可以抑制電晶體的源極電極層 405a 及汲極電極層 405b 的洩漏電流（寄生通道）的產生。在圖 3C 中，第三氧化物半導體層的通道寬度方向上的周邊部與氧化物絕緣膜 436 接觸。

另外，圖 3D 是示出圖 3B 中的厚度方向（D-D'間）上的能帶圖。在本實施方式中，以實現圖 3D 所示的能帶圖的方式選擇第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層的材料。但是，因為當在傳導帶中形成埋入通道時能夠得到充分效果，所以不需要必須限定於如圖 3D 所示的能帶圖那樣的傳導帶和價電子帶的兩者都具有凹部的能帶圖。例如，也可以採用能夠得到只有傳導帶具有凹部的能帶圖的結構。

例如，作為電晶體 520 中的第一氧化物半導體層 101 可以使用 In-Ga-Zn 類氧化物膜（能隙為 3.2eV），作為第二氧化物半導體層 102 可以使用 In-Sn-Zn 類氧化物膜（能隙為 2.8eV），而作為第三氧化物半導體層 103 可以使用 In-Ga-Zn 類氧化物膜（能隙為 3.2eV）。

此外，作為電晶體 520 中的三層疊層的氧化物半導體疊層 403，可以使用如下結構：層疊作為第一氧化物半導體層 101 的 In-Ga-Zn 類氧化物膜、作為第二氧化物半導體層 102 的 In-Zn 類氧化物膜及作為第三氧化物半導體層 103 的 In-Ga-Zn 類氧化物膜的結構；層疊作為第一氧化物半導體層 101 的 Ga-Zn 類氧化物膜、作為第二氧化物半導體層 102 的 In-Sn-Zn 類氧化物膜及作為第三氧化物半導體

體層 103 的 Ga-Zn 類氧化物膜的結構；層疊作為第一氧化物半導體層 101 的 Ga-Zn 類氧化物膜、作為第二氧化物半導體層 102 的 In-Zn 類氧化物膜及作為第三氧化物半導體層 103 的 Ga-Zn 類氧化物膜的結構；層疊作為第一氧化物半導體層 101 的 In-Ga 類氧化物膜、作為第二氧化物半導體層 102 的 In-Ga-Zn 類氧化物膜及作為第三氧化物半導體層 103 的 In-Ga 類氧化物膜的結構；或者層疊作為第一氧化物半導體層 101 的 In-Ga-Zn 類氧化物膜、作為第二氧化物半導體層 102 的氧化銦（In 類氧化物）膜及作為第三氧化物半導體層 103 的 In-Ga-Zn 類氧化物膜的結構等。

藉由採用在能隙大的第一氧化物半導體層 101 和第三氧化物半導體層 103 之間夾著能隙小的第二氧化物半導體層 102 的結構，可以得到進一步減少電晶體 520 的截止電流（洩漏電流）的效果。

圖 4A 至圖 4D 示出電晶體 520 的製造方法的一個例子。

首先，與實施方式 1 同樣，在具有絕緣表面的基板 400 上形成氧化物絕緣膜 436、源極電極層 405a 及汲極電極層 405b。在源極電極層 405a 及汲極電極層 405b 上形成第一氧化物半導體膜及第二氧化物半導體膜，而藉由第一光微影製程將其加工為島狀，而形成第一氧化物半導體層 101 及第二氧化物半導體層 102。

接著，以覆蓋第一氧化物半導體層 101 及第二氧化物

半導體層 102 的側面的方式在第二氧化物半導體層 102 上形成第三氧化物半導體膜，藉由第二光微影製程將該第三氧化物半導體膜加工為島狀，而形成第三氧化物半導體層 103（參照圖 4A）。由此，形成包括第一氧化物半導體層 101、第二氧化物半導體層 102 及第三氧化物半導體層 103 的氧化物半導體疊層 403。

第三氧化物半導體層 103 較佳為使用與第一氧化物半導體層 101 同一靶材形成。第三氧化物半導體層 103 的形成條件由於與第一氧化物半導體層 101 相同，所以在此省略說明。此外，藉由第二光微影製程形成與第二氧化物半導體層 102 重疊且上表面形狀比第二氧化物半導體層 102 的平面面積大的第三氧化物半導體層 103。

接著，也可以對氧化物半導體疊層 403 進行用於去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。用於脫水化或脫氫化的加熱處理的條件與電晶體 510 相同，所以在此省略說明。

接著，形成覆蓋源極電極層 405a、汲極電極層 405b 及氧化物半導體疊層 403 的閘極絕緣膜 402。然後，從閘極絕緣膜 402 上對氧化物半導體疊層 403 引入氧 431（至少包含氧自由基、氧原子、氧離子中的任一種），至少向第三氧化物半導體層 103 中供應氧（參照圖 4B）。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法、電漿處理等。

藉由向氧化物半導體疊層 403 引入氧，較佳的是使氧

化物半導體疊層 403 中的氧的含量實質上超過其化學計量成分比。例如，較佳的是將藉由氧引入處理引入的氧濃度的峰值設定為 $1 \times 10^{18}/\text{cm}^3$ 以上且 $5 \times 10^{21}/\text{cm}^3$ 以下。

氧 431 只要包含在第三氧化物半導體層 103 與閘極絕緣膜 402 的介面中即可。因此，在第一氧化物半導體層 101 及第二氧化物半導體層 102 中，根據氧 431 的引入深度，氧濃度有時與化學計量成分比的氧濃度同等。適當地設定加速電壓、劑量等注入條件或所穿過的閘極絕緣膜 402 的厚度來控制對氧化物半導體疊層 403 引入氧的深度，即可。

另外，引入氧 431 的時機不侷限於形成閘極絕緣膜 402 之後。但是，當穿過層疊在氧化物半導體疊層 403 上的膜引入氧時，更容易控制引入氧的深度（引入區域），而有可以高效地對氧化物半導體疊層 403 注入氧的優點。

另外，在進行引入氧 431 的處理之後，也可以進行加熱處理。較佳的是在氧氛圍下以 250°C 以上且 700°C 以下，較佳為 300°C 以上且 450°C 以下的溫度進行加熱處理。另外，也可以在氮氛圍下、減壓下、大氣（超乾燥空氣）下進行加熱處理。

當作爲氧化物半導體疊層 403 的至少一層採用結晶氧化物半導體膜時，有時引入氧 431 使其一部分非晶化。在此情況下，藉由在引入氧 431 之後進行加熱處理，恢復結晶性，即可。

另外，藉由在氧化物半導體疊層 403 中形成氧過剩區

域，可以填補氧缺損，從而可以降低氧化物半導體疊層 403 中的電荷俘獲中心。在氧化物半導體疊層 403 中，在氧脫離的部分中存在氧缺損，並且因該氧缺損而產生導致電晶體的電特性變動的施體能階。藉由引入氧，可以填補膜中的氧缺損。因此，藉由將這種氧化物半導體疊層用於電晶體，可以降低起因於氧缺損的電晶體的臨界電壓 V_{th} 的不均勻、臨界電壓的漂移 ΔV_{th} 。另外，也可以使臨界電壓向正方向漂移來實現電晶體的常關閉化。

接著，藉由電漿 CVD 法或濺射法等，在閘極絕緣膜 402 上形成閘極電極層 401。

接著，較佳為進行選擇性地引入摻雜劑 421 的處理。藉由該處理，以閘極電極層 401 為掩模並穿過閘極絕緣膜 402 引入摻雜劑 421 來形成第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b（參照圖 4C）。利用該處理，在通道長度方向上夾著第一通道形成區域 121c 自對準地形成第一低電阻區域 121a、121b。另外，在通道長度方向上夾著第二通道形成區域 122c 自對準地形成第二低電阻區域 122a、122b。另外，在通道長度方向上夾著第三通道形成區域 123c 自對準地形成第三低電阻區域 123a、123b。

在本實施方式的電晶體 520 中，第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 成為包含摻雜劑和過剩的氧的區域。

藉由引入摻雜劑 421 形成包括在通道長度方向上夾著

通道形成區域的低電阻區域的氧化物半導體疊層 403，可以提高電晶體 520 的導通特性，從而可以實現能夠進行高速工作、高速回應的電晶體。另外，因為低電阻區域自對準地形成而不與閘極電極層重疊，所以可以減少寄生電容。藉由減少寄生電容，可以降低半導體裝置整體的耗電量。

適當地設定加速電壓、劑量等注入條件或所穿過的閘極絕緣膜 402 的厚度來控制摻雜劑 421 的引入處理，即可。例如，當使用硼並藉由離子植入法注入硼離子時，將劑量設定為 $1 \times 10^{13} \text{ ions/cm}^2$ 以上且 $5 \times 10^{16} \text{ ions/cm}^2$ 以下，即可。

第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 中的摻雜劑 421 的濃度較佳為 $5 \times 10^{18} / \text{cm}^3$ 以上且 $1 \times 10^{22} / \text{cm}^3$ 以下。

也可以一邊加熱基板 400 一邊引入摻雜劑。

另外，當形成第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 時進行的引入摻雜劑 421 的處理可以多次進行，並且也可以使用多種摻雜劑。

另外，在引入摻雜劑 421 之後，也可以進行加熱處理。較佳的是在氧氛圍下以 300°C 以上且 700°C 以下，較佳為 300°C 以上且 450°C 以下的溫度進行 1 小時的加熱處理。另外，也可以在氮氛圍下、減壓下、大氣（超乾燥空氣）下進行加熱處理。

當作爲氧化物半導體疊層的至少一層採用結晶氧化物半導體膜時，有時引入摻雜劑 421 來使其一部分非晶化。在此情況下，藉由在引入摻雜劑 421 之後進行加熱處理，可以恢復氧化物半導體疊層的結晶性。

在本實施方式中，作為摻雜劑使用硼。因此，第一低電阻區域 121a、121b、第二低電阻區域 122a、122b、第三低電阻區域 123a、123b 包含硼和過剩的氧。

藉由上述製程形成本實施方式的電晶體 520。

另外，也可以以覆蓋電晶體 520 的方式形成絕緣膜 407（參照圖 4D）。

在本實施方式所示的電晶體 520 中，以覆蓋第一氧化物半導體層 101 的側面及第二氧化物半導體層 102 的側面的方式形成有第三氧化物半導體層 103。藉由採用這種結構，可以抑制在第二氧化物半導體層 102 中氧缺損增加，從而可以使電晶體的臨界電壓接近於 0。再者，藉由使第二氧化物半導體層 102 成為埋入通道，減少載子的散射，從而可以實現高場效應遷移率。

另外，藉由採用在能隙大的第一氧化物半導體層 101 和第三氧化物半導體層 103 之間夾著能隙小的第二氧化物半導體層 102 的結構，可以得到進一步減少電晶體的截止電流（洩漏電流）的效果。

另外，如上所述，有時包括在氧化物半導體疊層中的各氧化物半導體層之間的介面不明確。此外，在介面不明確的情況下，有時形成可稱為不同的多個氧化物半導體層

的混合區域的部分。圖 5A 及圖 5B 示出具有包含混合區域的氧化物半導體疊層 403 的電晶體 530 及電晶體 540。

圖 5A 所示的電晶體 530 在設置有氧化物絕緣膜 436 的具有絕緣表面的基板 400 上包括：源極電極層 405a；汲極電極層 405b；設置在源極電極層 405a 及汲極電極層 405b 上的氧化物半導體疊層 403；閘極絕緣膜 402；以及閘極電極層 401。在電晶體 530 上形成有絕緣膜 407。

在電晶體 530 中，氧化物半導體疊層 403 包括第一氧化物半導體層 101 及第二氧化物半導體層 102，並在第一氧化物半導體層 101 與第二氧化物半導體層 102 之間具有混合區域 201。

混合區域 201 是包含在所層疊的第一氧化物半導體層 101 及第二氧化物半導體層 102 中的元素混合的區域，並且構成混合區域 201 的元素的組成至少與第一氧化物半導體層 101 和第二氧化物半導體層 102 的元素的組成不同。例如，當使氧化物半導體疊層 403 具有包含銦、錫及鋅的氧化物半導體層及包含銦、鎳及鋅的氧化物半導體層的疊層結構時，可以在第一氧化物半導體層 101 與第二氧化物半導體層 102 之間形成包含銦、錫、鎳及鋅的混合區域 201。此外，可以形成其元素與在第一氧化物半導體層 101 及第二氧化物半導體層 102 中包含的元素相同且其組成（成分比）與它們不同的混合區域 201。因此，混合區域 201 所具有的能隙也與第一氧化物半導體層 101 及第二氧化物半導體層 102 的能隙不同，混合區域 201 的能隙為

第一氧化物半導體層 101 的能隙與第二氧化物半導體層 102 的能隙之間的值。

因此，藉由設置混合區域 201，第一氧化物半導體層 101 及第二氧化物半導體層 102 的邊界不明確，而可以抑制氧化物半導體疊層 403 中的介面散射。換言之，使用設置有混合區域 201 的氧化物半導體疊層 403 的電晶體可以提高場效應遷移率。

藉由設置混合區域 201，在能帶圖中可以在第一氧化物半導體層 101 與第二氧化物半導體層 102 之間形成梯度。該梯度也可以為具有多個階段的步階狀。

在形成第一氧化物半導體層 101 及第二氧化物半導體層 102 之後（或在形成第一氧化物半導體膜 191 及第二氧化物半導體膜 192 之後），藉由對氧化物半導體疊層進行加熱處理，可以形成混合區域 201。加熱處理是如下條件，即溫度是第一氧化物半導體層 101 及第二氧化物半導體層 102 中的元素能夠由熱擴散的溫度，且不使第一氧化物半導體層 101 及第二氧化物半導體層 102 在氧化物半導體疊層 403 的整個區域中成為組成均勻的混合區域。

可以在減壓下、氮氛圍下、氧氛圍下或大氣（超乾燥空氣）下、稀有氣體氛圍下等進行加熱處理。此外，也可以改變條件（溫度、氛圍、時間等）多次進行加熱處理。例如，在氮氛圍下以 650℃ 的溫度加熱 1 小時第一氧化物半導體層 101 及第二氧化物半導體層 102 之後，在氧氛圍下加熱 1 小時，可以形成包括混合區域 201 的氧化物半導體

體疊層 403。

對進行用來形成混合區域 201 的加熱處理的製程只要在形成第一氧化物半導體膜 191 及第二氧化物半導體膜 192 之後進行就沒有特別的限制，既可以對膜狀的第一氧化物半導體膜 191 及第二氧化物半導體膜 192 進行，又可以對島狀的第一氧化物半導體層 101 及第二氧化物半導體層 102 進行。此外，也可以將加熱處理兼作在電晶體的製程中進行的其他加熱處理（例如，用於脫水化或脫氫化的加熱處理或用於晶化的加熱處理等）。

此外，在電晶體 530 中，藉由使第二氧化物半導體層 102 與第一氧化物半導體層 101 重疊，並使其具有比第一氧化物半導體層 101 的面積大的面積，可以實現第二氧化物半導體層 102 覆蓋第一氧化物半導體層 101 的結構。藉由採用這種結構，可以抑制在第一氧化物半導體層 101 中氧缺損增加，從而可以使電晶體的臨界電壓接近於 0。另外，藉由採用在電晶體 530 中作為氧化物絕緣膜 436 包括氧化鋁膜的結構，可以防止氧從與第一氧化物半導體層 101 接觸的絕緣膜脫離，所以是較佳的。

此外，圖 5B 所示的電晶體 540 在設置有氧化物絕緣膜 436 的具有絕緣表面的基板 400 上包括：源極電極層 405a；汲極電極層 405b；設置在源極電極層 405a 及汲極電極層 405b 上的氧化物半導體疊層 403；閘極絕緣膜 402；以及閘極電極層 401。在電晶體 540 上形成有絕緣膜 407。

在電晶體 540 中，氧化物半導體疊層 403 包括第一氧化物半導體層 101、第二氧化物半導體層 102 及第三氧化物半導體層 103，在第一氧化物半導體層 101 與第二氧化物半導體層 102 之間具有混合區域 201，並在第二氧化物半導體層 102 與第三氧化物半導體層 103 之間具有混合區域 202。

與混合區域 201 同樣，混合區域 202 是包含在所層疊的第二氧化物半導體層 102 及第三氧化物半導體層 103 中的元素混合的區域，並且構成混合區域 202 的元素的組成至少與第二氧化物半導體層 102 和第三氧化物半導體層 103 的元素的組成不同。此外，混合區域 202 的能隙為第二氧化物半導體層 102 的能隙與第三氧化物半導體層 103 的能隙之間的值。

與混合區域 201 同樣地可以藉由進行加熱處理形成混合區域 202。此外，也可以將用來形成混合區域 202 的加熱處理兼作用來形成混合區域 201 的加熱處理。此外，在電晶體 540 中示出在第一氧化物半導體層 101 與第二氧化物半導體層 102 之間以及在第二氧化物半導體層 102 與第三氧化物半導體層 103 之間的兩者具有混合區域的結構，但是不侷限於此。例如，也可以採用在包括第一至第三氧化物半導體層的氧化物半導體疊層 403 中只在第一氧化物半導體層 101 與第二氧化物半導體層 102 之間具有混合區域 201 的結構。

此外，圖 5B 所示的電晶體 540 具有如下結構，即藉

由使用同一掩模對第一氧化物半導體層 101、第二氧化物半導體層 102 及第三氧化物半導體層 103 進行一次光微影製程來形成氧化物半導體疊層 403。在包括於電晶體 540 中的氧化物半導體疊層 403 中，第一氧化物半導體層 101、第二氧化物半導體層 102 及第三氧化物半導體層 103 為端部一致的同形狀的氧化物半導體層。換言之，在氧化物半導體疊層 403 中第一氧化物半導體層 101 及第二氧化物半導體層 102 的側面（端部）露出。

藉由一次光微影製程形成氧化物半導體疊層 403，可以減少製程數，從而可以減少半導體裝置的成本。

此外，如圖 3B 所示的電晶體 520 那樣，當採用第三氧化物半導體層 103 覆蓋第一氧化物半導體層 101 及第二氧化物半導體層 102 的側面的結構時，藉由用來形成混合區域的加熱處理，有時在第一氧化物半導體層 101 的側面與第三氧化物半導體層 103 之間形成混合區域（包含在第一氧化物半導體層 101 及第三氧化物半導體層 103 中的元素混合的區域）。

本實施方式所示的電晶體 520、530、540 包括氧化物半導體疊層 403，該氧化物半導體疊層 403 包括具有彼此不同的能隙的多個氧化物半導體層，因此可以以更高精度控制電晶體的電特性。因此，可以獲得能夠賦予所希望的電特性的電晶體。藉由應用該電晶體，可以提供實現高性能、高可靠性或低耗電量等各種目的的半導體裝置。

本實施方式所示的結構、方法等可以與其他實施方式

所示的結構、方法等適當地組合而使用。

實施方式 3

藉由使用實施方式 1 或實施方式 2 所示的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一體地形成在相同的基板上，可以形成面板上系統（system-on-panel）。

在圖 6A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，使用第二基板 4006 進行密封。在圖 6A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，藉由信號線驅動電路 4003、掃描線驅動電路 4004 供給到像素部 4002 的各種信號及電位從 FPC（Flexible printed circuit：撓性印刷電路）4018a、4018b 供給。

在圖 6B 和圖 6C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由第一基板 4001、密封材料 4005 以及第二基板 4006 密封。在圖 6B 和圖 6C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區

域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。在圖 6B 和圖 6C 中，藉由信號線驅動電路 4003、掃描線驅動電路 4004 供給到像素部 4002 的各種信號及電位從 FPC4018 供給。

此外，雖然圖 6B 和圖 6C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板 4001 的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass, 玻璃上晶片) 方法、引線接合方法或者 TAB (Tape Automated Bonding, 卷帶式自動接合) 方法等。圖 6A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 6B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 6C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括顯示元件處於密封狀態的面板和在該面板中安裝有包括控制器的 IC 等狀態的模組。

換言之，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。另外，顯示裝置除了顯示元件處於密封狀態的面板以外還包括：安裝有諸如 FPC、TAB 膠帶或 TCP 的連接器的模組；在 TAB 膠帶或 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方

式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路具有多個電晶體，並且可以應用實施方式 1 或實施方式 2 所例示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence，電致發光）、有機 EL 等。此外，也可以應用電子墨水顯示裝置（電子紙）等由於電作用而改變對比度的顯示媒介。

參照圖 6A 至圖 7B 對半導體裝置的一種方式進行說明。圖 7A 及圖 7B 相當於沿著圖 6B 的線 M-N 的剖面圖。

如圖 7A 和圖 7B 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4010、電晶體 4011 的源極電極層及汲極電極層相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 具有多個電晶體，在圖 7A 中例示像素部 4002 所包括的電晶體 4010、掃描線驅動電路 4004 所包括

的電晶體 4011。另外，在圖 7B 中例示像素部 4002 所包括的電晶體 4010 和掃描線驅動電路 4004 所包括的電晶體 4011。在圖 7A 中，在電晶體 4010、電晶體 4011 上設置有絕緣膜 4020，在圖 7B 中，在電晶體 4010 上設置有絕緣膜 4020 及絕緣膜 4021，在電晶體 4011 上設置有絕緣膜 4020。另外，絕緣膜 4023 是用作基底膜的絕緣膜。

作為電晶體 4010 及電晶體 4011，可以使用實施方式 1 或實施方式 2 所示的電晶體。在本實施方式中，示出使用具有與實施方式 2 所示的電晶體 520 相同的結構的電晶體的例子。

電晶體 4010 及電晶體 4011 是包括具有彼此不同的能隙的至少兩層的氧化物半導體疊層的電晶體。藉由將上述氧化物半導體疊層應用於電晶體，可以以更高精度控制電晶體的電特性，可以對電晶體 4010 及電晶體 4011 賦予所希望的電特性。

因此，作為圖 6A 至圖 6C 及圖 7A 和圖 7B 所示的本實施方式的半導體裝置，可以提供實現高性能、高可靠性或低耗電量等各種目的的半導體裝置。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，而構成顯示面板。顯示元件只要能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 7A 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 7A 中，液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。另外，以夾持

液晶層 4008 的方式設置有用作配向膜的絕緣膜 4032、絕緣膜 4033。第二電極層 4031 設置在第二基板 4006 一側，第一電極層 4030 和第二電極層 4031 夾著液晶層 4008 而層疊。

此外，元件符號 4035 是藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制液晶層 4008 的膜厚（液晶盒間隙（cell gap））而設置的。另外，也可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、鐵電液晶、反鐵電液晶等。這些液晶也可以為低分子化合物或高分子。上述液晶材料（液晶組成物）根據條件而呈現膽固醇相、近晶相、立方相、手征向列相、均質相等。

另外，作為液晶層 4008 也可以使用不使用配向膜的呈現藍相的液晶組成物。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。藍相可以使用將液晶和手性試劑混合的液晶組成物呈現。另外，為了擴大呈現藍相的溫度範圍，對呈現藍相的液晶組成物添加聚合性單體及聚合引發劑等，進行高分子穩定化的處理來可以形成液晶層。由於呈現藍相的液晶組成物的回應時間短，並且其具有光學各向同性，所以不需要配向處理，因此視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶

顯示裝置的故障、破損。因此，可以提高液晶顯示裝置的生產率。

此外，液晶材料的固有電阻為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外，本說明書中的固有電阻值為在 20°C 下測量的值。

考慮到配置在像素部中的電晶體的洩漏電流等而設定設置在液晶顯示裝置中的儲存電容器的大小使得能夠在所定的期間中保持電荷。可以考慮到電晶體的截止電流等設定儲存電容器的大小。藉由使用本說明書所公開的具有氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的 $1/3$ 以下，較佳為 $1/5$ 以下的電容大小的儲存電容器，就足夠了。

在本說明書所公開的使用氧化物半導體膜的電晶體可以抑制截止狀態下的電流值（截止電流值）。因此，可以延長影像信號等電信號的保持時間，也可以延長寫入間隔。因此，可以降低更新工作的頻率，所以可以達到抑制耗電量的效果。

此外，因為本說明書所公開的使用氧化物半導體膜的電晶體可以得到較高的場效應遷移率，所以可以進行掃描線驅動電路 4004 的高速驅動。根據本實施方式，可以在同一基板上形成像素部的開關電晶體及用於驅動電路部的驅動電晶體。也就是說，因為不需要另行使用利用矽晶片等形成的半導體裝置作為驅動電路，所以可以縮減半導體裝置的部件數。

液晶顯示裝置可以採用 TN (Twisted Nematic , 扭曲向列) 模式、IPS (In-Plane-Switching , 平面內轉換) 模式、FFS (Fringe Field Switching , 邊緣電場轉換) 模式、ASM (Axially Symmetric aligned Micro-cell , 軸對稱排列微單元) 模式、OCB (Optical Compensated Birefringence , 光學補償彎曲) 模式、FLC (Ferroelectric Liquid Crystal , 鐵電性液晶) 模式、AFLC (Anti Ferroelectric Liquid Crystal , 反鐵電性液晶) 模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向 (VA) 模式的透過型液晶顯示裝置。作為垂直配向模式，可以舉出幾個例子，例如可以使用 MVA (Multi-Domain Vertical Alignment : 多象限垂直配向) 模式、PVA (Patterned Vertical Alignment : 垂直配向構型) 模式、ASV (Advanced Super View) 模式等。另外，也可以用於 VA 型液晶顯示裝置。VA 型液晶顯示裝置是控制液晶顯示面板的液晶分子的排列的一種方式。VA 型液晶顯示裝置是在不被施加電壓時液晶分子朝向垂直於面板的方向的方式。此外，也可以使用將像素 (pixel) 分成幾個區域 (子像素) 且使分子分別倒向不同方向的被稱為多疇化或多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣 (遮光層)、偏振構件、相位差構件、抗反射構件等光學構件 (光學基板) 等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、

側光燈等。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色因素，不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，也可以採用 RGBW（W 表示白色）或對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種顏色以上的顏色。另外，也可以按每個顏色因素的點使其顯示區域的大小不同。但是，所公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區分，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層，以使電流流過。並且，藉由這些載子（電子及電洞）重新結合，具有發光性的有機化合物形成激發態，當從該激發態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。另外，這裏作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有：從與基板相反一側的表面取出發光的

頂部發射；從基板一側的表面取出發光的底部發射；以及從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 7B 示出作為顯示元件使用發光元件的發光裝置的例子。發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。另外，圖 7B 所示的發光元件 4513 的結構是第一電極層 4030、電致發光層 4511、第二電極層 4031 的疊層結構，但是，不侷限於所示的結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

分隔壁 4510 使用有機絕緣材料或無機絕緣材料形成。尤其是，較佳為使用感光樹脂材料，在第一電極層 4030 上形成開口部，並且將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入到發光元件 4513 中，也可以在第二電極層 4031 及分隔壁 4510 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，為了不使氧、氫、水分、二氧化碳等侵入到發光元件 4513，也可以藉由蒸鍍法形成覆蓋發光元件 4513 的包含有機化合物的層。

此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，爲了不暴露於外部氣體，較佳爲使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封入）。

作爲填充材料 4514，除了氮或氬等惰性氣體以外，也可以使用紫外線固化樹脂、熱固性樹脂，可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯共聚物）。

另外，如果需要，則也可以在發光元件的射出表面上適當地設置諸如偏光板、或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、濾色片等光學薄膜。此外，也可以在偏光板或者圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作爲顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱爲電泳顯示裝置（電泳顯示器），並具有如下優勢：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作爲電泳顯示裝置，可以想到各種各樣的形式，但是它是包括具有正電荷的第一粒子和具有負電荷的第二粒子的多個微膠囊分散在溶劑中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子彼此移動到相對方向，以只顯示集

合在一側的粒子的顏色的裝置。另外，第一粒子或第二粒子包括染料，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

分散有上述微囊的溶劑被稱為電子墨水。還可以藉由使用濾色片、具有色素的粒子來進行彩色顯示。

此外，作為電子紙，也可以應用使用旋轉球（twisting ball）顯示方式的顯示裝置。旋轉球顯示方式是如下方法，即將分別塗為白色和黑色的球形粒子配置在作為用於顯示元件的電極層的第一電極層與第二電極層之間，使第一電極層與第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

另外，在圖 6A 至圖 7B 中，作為第一基板 4001、第二基板 4006，除了玻璃基板以外，也可以使用撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；玻璃纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，若不需要透光性，則也可以使用鋁或不鏽鋼等的金屬基板（金屬薄膜）。例如，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的薄片。

在本實施方式中，作為絕緣膜 4020 使用氧化鋁膜。在本實施方式中，在氧化物半導體膜上作為絕緣膜 4020 設置的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧這兩者透過膜的效果。因此，氧化鋁膜用作保護膜，而防止在製程中及之後成為變動的主要原

因的氫、水分等雜質混入到氧化物半導體膜，並防止從氧化物半導體膜放出作為構成氧化物半導體的主要成分材料的氧。

另外，作為用作平坦化絕緣膜的絕緣膜 4021，可以使用丙烯酸樹脂、聚醯亞胺、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等具有耐熱性的有機材料。此外，除了上述有機材料以外，也可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣膜。

作為對顯示元件施加電壓的第一電極層及第二電極層（也稱為像素電極層、共用電極層、反電極層等），可以根據取出光的方向、設置電極層的地方以及電極層的圖案結構選擇透光性、反射性。

作為第一電極層 4030、第二電極層 4031，可以使用含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、ITO、銦鋅氧化物、添加有氧化矽的銦錫氧化物、石墨烯等具有透光性的導電材料。

此外，第一電極層 4030、第二電極層 4031 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等金屬、其合金或其金屬氮化物中的一種或多種來

形成。

此外，也可以設置用來保護驅動電路的保護電路。保護電路較佳為使用非線性元件構成。

如上所述，藉由應用實施方式 1 或實施方式 2 所示的電晶體，可以提供具有各種各樣的功能的半導體裝置。

實施方式 4

藉由使用實施方式 1 或實施方式 2 所示的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 8A 示出具有影像感測器功能的半導體裝置的一個例子。圖 8A 是光電感測器的等效電路，而圖 8B 是示出光電感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器參考信號線 672，而電晶體 640 的源極和汲極中的另一個電連接到電晶體 656 的源極和汲極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

另外，在本說明書的電路圖中，為了使包括氧化物半導體膜的電晶體一目了然，將使用氧化物半導體膜的電晶體的符號表示為“OS”。在圖 8A 中，電晶體 640 和電晶體

656 可以使用如實施方式 1 或實施方式 2 所示的電晶體，並是使用氧化物半導體疊層的電晶體。在本實施方式中，示出使用具有與實施方式 2 所示的電晶體 520 相同的結構的電晶體的例子。

圖 8B 是示出光電感測器中的光電二極體 602 和電晶體 640 的剖面圖，其中在具有絕緣表面的基板 601（TFT 基板）上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置有基板 613。

在電晶體 640 上設置有絕緣膜 632、層間絕緣膜 633 以及層間絕緣膜 634。光電二極體 602 設置在層間絕緣膜 633 上，並且光電二極體 602 具有如下結構：在形成於層間絕緣膜 633 上的電極層 641a 及電極層 641b 和設置在層間絕緣膜 634 上的電極層 642 之間從層間絕緣膜 633 一側按順序層疊有第一半導體膜 606a、第二半導體膜 606b 及第三半導體膜 606c。

電極層 641b 與形成在層間絕緣膜 634 中的導電層 643 電連接，並且電極層 642 藉由電極層 641a 與電極層 645 電連接。電極層 645 與電晶體 640 的閘極電極層電連接，光電二極體 602 與電晶體 640 電連接。

在此，例示一種 pin 型光電二極體，其中層疊有用作第一半導體膜 606a 的具有 p 型導電型的半導體膜、用作第二半導體膜 606b 的高電阻的半導體膜（i 型半導體膜）、用作第三半導體膜 606c 的具有 n 型導電型的半導

體膜。

第一半導體膜 606a 是 p 型半導體膜，可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼（B））的半導體材料氣體藉由電漿 CVD 法來形成第一半導體膜 606a。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。另外，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽膜。較佳的是在利用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是將第一半導體膜 606a 的膜厚設定為 10nm 以上且 50nm 以下。

第二半導體膜 606b 是 i 型半導體膜（本質半導體膜），可以由非晶矽膜形成。為了形成第二半導體膜 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽膜。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以藉由 LPCVD 法、氣相生長法、濺射法等形成第二半導體膜 606b。較佳的是將第二半導體膜 606b 的膜厚設定為 200nm 以上且 1000nm 以下。

第三半導體膜 606c 是 n 型半導體膜，可以由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期表

中的第 15 族的雜質元素（例如，磷（P））的半導體材料氣體藉由電漿 CVD 法形成第三半導體膜 606c。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽膜。可以在使用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是將第三半導體膜 606c 的膜厚設定為 20nm 以上且 200nm 以下。

此外，第一半導體膜 606a、第二半導體膜 606b 以及第三半導體膜 606c 也可以使用多晶半導體或微晶半導體（半非晶半導體，Semi Amorphous Semiconductor：SAS）形成，而不使用非晶半導體。

此外，由於光電效應生成的電洞的遷移率低於電子的遷移率，因此當 p 型半導體膜側用作光接收面時，pin 型光電二極體具有較好的特性。這裏示出將光電二極體 602 從形成有 pin 型光電二極體的基板 601 的面接收的光轉換為電信號的例子。此外，來自導電型與用作光接收面的半導體膜一側相反的半導體膜一側的光是干擾光，因此，電極層較佳為使用具有遮光性的導電膜。另外，也可以將 n 型半導體膜側用作光接收面。

藉由使用絕緣材料並根據材料使用濺射法、電漿

CVD 法、SOG 法、旋塗法、浸漬法、噴塗法、液滴噴出法（噴墨法等）、絲網印刷、膠版印刷等，可以形成絕緣膜 632、層間絕緣膜 633、層間絕緣膜 634。

在本實施方式中，作為絕緣膜 631 使用氧化鋁膜。絕緣膜 631 可以藉由濺射法或電漿 CVD 法形成。

在氧化物半導體膜上作為絕緣膜 631 設置的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧這兩者透過膜的效果。

因此，氧化鋁膜用作保護膜，而防止在製程中及之後成為變動的主要原因的氫、水分等雜質混入到氧化物半導體膜，並防止從氧化物半導體膜放出作為構成氧化物半導體的主要成分材料的氧。

作為絕緣膜 632，可以使用無機絕緣材料，即氧化矽層、氧氮化矽層、氧化鋁層、或者氧氮化鋁層等氧化物絕緣膜、氮化矽層、氮氧化矽層、氮化鋁層、或者氮氧化鋁層等氮化物絕緣膜的單層或疊層。

作為層間絕緣膜 633、層間絕緣膜 634，較佳為採用用作減少表面凹凸的平坦化絕緣膜的絕緣膜。作為層間絕緣膜 633、層間絕緣膜 634，例如可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等具有耐熱性的有機絕緣材料。除了上述有機絕緣材料之外，也可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的單層或疊層。

藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

如上所述，藉由作為半導體層使用包括具有彼此不同的能隙的多個氧化物半導體層的氧化物半導體疊層，可以以高精度控制電晶體的電特性，從而可以對電晶體賦予所希望的電特性。因此，藉由使用該電晶體，可以提供實現高性能、高可靠性或低耗電量等各種目的的半導體裝置。

本實施方式可以與其他實施方式所示的結構適當地組合而實施。

實施方式 5

本說明書所公開的半導體裝置可以應用於各種電子裝置（也包括遊戲機）。作為電子裝置，可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數位攝像機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機（彈珠機或投幣機（slot machine）等）、外殼遊戲機。圖 9A 至圖 9D 示出上述電子裝置的具體例子。

圖 9A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003。使用本發明的一個方式製造的半導體裝置可以用於顯示部，並且利用顯示部 9003 可以顯示影像。另外，示出利用四個腿部 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的

電源供應線 9005。

顯示部 9003 具有觸屏輸入功能，而藉由用手指等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行屏面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通訊的功能或能夠控制其他家電產品的功能，而藉由屏面操作控制其他家電產品。例如，藉由使用實施方式 4 所示的具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以垂直於地板的方式立起來，從而也可以將桌子 9000 用作電視機。雖然當在小房間裏設置大屏面的電視機時自由使用的空間變小，但是若桌子安裝有顯示部則可以有效地利用房間的空間。

圖 9B 示出電視機 9100 的一個例子。在電視機 9100 中，外殼 9101 組裝有顯示部 9103。使用本發明的一個方式製造的半導體裝置可以用於顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

可以藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110 進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器

9110 輸出的資訊的顯示部 9107 的結構。

圖 9B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

當使用上述實施方式所示的具有埋入通道的半導體裝置時，藉由將該半導體裝置用於電視機的顯示部 9103 來可以製造顯示品質比習知的電視機高的電視機。

圖 9C 示出電腦，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。該電腦藉由將利用本發明的一個方式製造的半導體裝置用於顯示部 9203 來製造。

另外，當使用上述實施方式所示的半導體裝置，藉由將該半導體裝置用於電腦的顯示部 9203，可以製造顯示品質比習知的顯示部高的顯示部。

圖 9D 示出行動電話機的一個例子。行動電話機 9500 除了安裝在外殼 9501 的顯示部 9502 之外還具備操作按鈕 9503、操作按鈕 9507、外部連接埠 9504、揚聲器 9505、麥克風 9506 等。行動電話機 9500 藉由將利用本發明的一個方式製造的半導體裝置用於顯示部 9502 來製造。

圖 9D 所示的行動電話機 9500 可以用手指等觸摸顯示部 9502 來進行輸入資訊、進行打電話或製作電子郵件等操作。

顯示部 9502 的屏面主要有三種模式。第一是以影像的顯示爲主的顯示模式，第二是以文字等的資訊的輸入爲主的輸入模式，第三是將顯示模式和輸入模式的兩種模式混合的模式。

例如，在打電話或製作電子郵件的情況下，將顯示部 9502 設定爲以文字輸入爲主的輸入模式，來進行在屏面上顯示的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 9502 的屏面的大部分中顯示鍵盤或號碼按鈕。

此外，藉由在行動電話機 9500 的內部設置具有陀螺儀、加速度感測器等檢測傾斜度的感測器的檢測裝置，來判斷行動電話機 9500 的方向（豎向還是橫向），從而可以對顯示部 9502 的屏面顯示進行自動切換。

藉由觸摸顯示部 9502 或利用外殼 9501 的操作按鈕 9503 進行操作，來切換屏面模式。另外，也可以根據顯示在顯示部 9502 上的影像種類切換屏面模式。例如，當顯示在顯示部上的影像信號爲動態影像的資料時，將屏面模式切換成顯示模式，而當顯示在顯示部上的影像信號爲文字資料時，將屏面模式切換成輸入模式。

另外，在輸入模式中，當藉由檢測出顯示部 9502 的光感測器所檢測的信號而得知在一定期間中沒有顯示部 9502 的觸摸操作輸入時，也可以將屏面模式控制爲從輸入模式切換成顯示模式。

另外，還可以將顯示部 9502 用作影像感測器。例

如，藉由用手掌或手指觸摸顯示部 9502，來拍攝掌紋、指紋等，而可以進行身份識別。此外，藉由在顯示部中使用發射近紅外光的背光或發射近紅外光的感測光源，也可以拍攝手指靜脈、手掌靜脈等。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施例 1

在本實施例中，藉由如下步驟製造樣本（樣本 1A、樣本 1B、樣本 2A 及樣本 2B），該步驟是：在第一氧化物半導體層上形成能隙比第一氧化物半導體層的能隙小的第二氧化物半導體層；並且在第二氧化物半導體層上形成第三氧化物半導體層，而對樣本 1A、樣本 1B、樣本 2A 及樣本 2B 的剖面結構進行觀察。此外，進行樣本 1A 及樣本 2A 的電離電位的測量，根據其結果計算出能帶圖。在本說明書中，電離電位值是藉由對能隙加上電子親和力得到的值，並且作為能隙值使用利用光譜橢偏儀測量材料的單膜而得到的值。

作為樣本 1A，在作為基板 1000 的石英基板上層疊形成作為第一氧化物半導體層 1001 的厚度為 5nm 的 In-Ga-Zn-O 膜、作為第二氧化物半導體層 1002 的厚度為 5nm 的 In-Sn-Zn-O 膜、作為第三氧化物半導體層 1003 的厚度為 5nm 的 In-Ga-Zn-O 膜。各膜的形成條件為；在氧氛圍（氧 100%）下以 300℃ 的基板溫度利用濺射法進行成

膜。作為靶材使用 $\text{In:Ga:Zn}=1:1:1$ [原子數比]的氧化物靶材來形成 In-Ga-Zn-O 膜。另外， In-Sn-Zn-O 膜使用 $\text{In:Sn:Zn}=2:1:3$ [原子數比]的氧化物靶材。

對與樣本 1A 同樣地形成的氧化物半導體疊層進行加熱處理，形成具有混合區域的氧化物半導體疊層，而形成樣本 1B。加熱處理的條件為：在氮氛圍下以 650°C 的溫度進行 1 小時的加熱處理之後，在氧氛圍下以 650°C 的溫度進行 1 小時的加熱處理。

作為樣本 2A，在作為基板 1000 的石英基板上層疊形成作為第一氧化物半導體層 1001 的厚度為 5nm 的 In-Ga-Zn-O 膜、作為第二氧化物半導體層 1002 的厚度為 5nm 的 In-Zn-O 膜、作為第三氧化物半導體層 1003 的厚度為 5nm 的 In-Ga-Zn-O 膜。各膜的形成條件為：在氧氛圍（氧 100% ）下以 300°C 的基板溫度利用濺射法進行成膜。作為靶材使用 $\text{In:Ga:Zn}=1:1:1$ [原子數比]的氧化物靶材來形成 In-Ga-Zn-O 膜。另外， In-Zn-O 膜使用 $\text{In:Zn}=2:1$ [原子數比]的氧化物靶材。

對與樣本 2A 同樣地形成的氧化物半導體疊層進行加熱處理，形成具有混合區域的氧化物半導體疊層，而形成樣本 2B。加熱處理的條件為：在氮氛圍下以 650°C 的溫度進行 1 小時的加熱處理之後，在氧氛圍下以 650°C 的溫度進行 1 小時的加熱處理。

在樣本 1A、樣本 1B、樣本 2A 及樣本 2B 中，切出端面，使用高分辨透射電子顯微鏡（由株式會社日立高新技

術 (Hitachi High-Technologies Corporation) 製造的 'H9000-NAR' : TEM) 將加速電壓設定為 300kV, 而觀察樣本 1A、樣本 1B、樣本 2A 及樣本 2B 的剖面。圖 10B 示出樣本 1A 的 TEM 影像, 圖 10C 示出樣本 1B 的 TEM 影像, 圖 11B 示出樣本 2A 的 TEM 影像, 圖 11C 示出樣本 2B 的 TEM 影像。另外, 圖 10A 及圖 11A 示出樣本 1A 及樣本 2A 的示意圖。在圖 10A 及圖 11A 中, 以虛線示意性地表示所層疊的氧化物半導體層的介面。

圖 10B 及圖 10C 所示的樣本 1A 及樣本 1B 的 TEM 影像示出在基板 1000 上層疊形成作為第一氧化物半導體層 1001 的厚度為 5nm 的第一 In-Ga-Zn-O 膜、作為第二氧化物半導體層 1002 的厚度為 5nm 的 In-Sn-Zn-O 膜、作為第三氧化物半導體層 1003 的厚度為 5nm 的第二 In-Ga-Zn-O 膜的氧化物半導體疊層。在圖 10B 的樣本 1A 的 TEM 影像中在所層疊的氧化物半導體層之間可以確認到介面。另一方面, 在形成氧化物半導體疊層之後進行加熱處理的樣本 1B 的 TEM 影像中, 如圖 10C 所示在所層疊的氧化物半導體層之間確認不到明確的介面, 而形成有混合區域。

圖 11B 及圖 11C 所示的樣本 2A 及樣本 2B 的 TEM 影像示出在基板 1000 上層疊形成作為第一氧化物半導體層 1001 的厚度為 5nm 的第一 In-Ga-Zn-O 膜、作為第二氧化物半導體層 1002 的厚度為 5nm 的 In-Zn-O 膜、作為第三氧化物半導體層 1003 的厚度為 5nm 的第二 In-Ga-Zn-O 膜的氧化物半導體疊層。在圖 11B 的樣本 2A 的 TEM 影像

中在所層疊的氧化物半導體層之間可以確認到介面。另一方面，在形成氧化物半導體疊層之後進行加熱處理的樣本 2B 的 TEM 影像中，如圖 11C 所示在所層疊的氧化物半導體層之間確認不到明確的介面，而形成有混合區域。

另外，如圖 10B、圖 10C、圖 11B 及圖 11C 所示，在樣本 1A、樣本 1B、樣本 2A 及樣本 2B 中作為第一氧化物半導體層 1001 的第一 In-Ga-Zn-O 膜、作為第二氧化物半導體層 1002 的 In-Sn-Zn-O 膜及 In-Zn-O 膜以及作為第三氧化物半導體層 1003 的第二 In-Ga-Zn-O 膜包含結晶，由此可確認到 CAAC-OS 膜。此外，作為第一氧化物半導體層 1001 的第一 In-Ga-Zn-O 膜也包含非晶結構。

此外，在氧化物半導體疊層中，對各氧化物半導體層的結晶狀態沒有特別的限制，所有氧化物半導體層都可以具有結晶結構或非晶結構，或者也可以混有具有結晶結構的氧化物半導體層和具有非晶結構的氧化物半導體層。

此外，圖 12 及圖 14 示出：作為基板使用單晶矽基板，邊從在同一形成條件下層疊形成而獲得的樣本 1A 及樣本 2A 的表面進行濺射邊利用紫外線光電子能譜（UPS：Ultra violet Photoelectron Spectroscopy）測量電離電位而得到的結果。

在圖 12 及圖 14 中橫軸表示從樣本表面進行濺射的時間，而縱軸表示電離電位。此外，假設 In-Ga-Zn-O 膜的濺射速率與 In-Sn-Zn-O 膜的濺射速率同等且 In-Ga-Zn-O 膜的濺射速率與 In-Zn-O 膜的濺射速率同等而表示樣本的

邊界。

從圖 12 可知，在由 In-Ga-Zn-O 膜夾持的 In-Sn-Zn-O 膜中電離電位降低。另外，電離電位表示從真空能階到價電子帶的能量差。

從電離電位值扣除利用光譜橢偏儀測量的能隙來算出傳導帶的能量，而製造該疊層膜的帶結構。但是，In-Ga-Zn-O 膜和 In-Sn-Zn-O 膜的能隙分別為 3.2eV 和 2.8eV。圖 13 示出其結果。可知在圖 13 中如圖 3D 所示的能帶圖那樣形成有埋入通道。

從圖 14 可知，在由 In-Ga-Zn-O 膜夾持的 In-Zn-O 膜中電離電位降低。另外，電離電位表示從真空能階到價電子帶的能量差。

從電離電位值扣除利用光譜橢偏儀測量的能隙來算出傳導帶的能量，而製造該疊層膜的帶結構。但是，In-Ga-Zn-O 膜和 In-Zn-O 膜的能隙分別為 3.2eV 和 2.6eV。圖 15 示出其結果。可知在圖 15 中如圖 3D 所示的能帶圖那樣形成有埋入通道。

在本實施例中，確認到如下疊層可以用圖 13、圖 15 或圖 3D 所示的能帶圖表示，在該疊層中，作為第一氧化物半導體層及第三氧化物半導體層使用 In-Ga-Zn-O 膜，並且作為電離電位比第一氧化物半導體層及第三氧化物半導體層的電離電位小且具有小的能隙的第二氧化物半導體層使用 In-Sn-Zn-O 膜或 In-Zn-O 膜。對第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層的材料

組合沒有特別的限制。以實現圖 13、圖 15 或圖 3D 所示的能帶圖的方式考慮到實施者所使用的材料的能隙適當地選擇材料並組合即可。

實施例 2

在本實施例中，對如下電晶體的特性進行計算，該電晶體是在實施方式 1 中作為電晶體 510 所示的具有由第一氧化物半導體層及第二氧化物半導體層的疊層而成的氧化物半導體疊層的電晶體。

在本實施例的計算中使用 Synopsys 公司製造的模擬軟體 TCAD (Technology Computer-Aided Design)。

用於計算的電晶體是頂閘極型電晶體，該電晶體包括：由設置在源極電極層及汲極電極層上的第一氧化物半導體層及設置在第一氧化物半導體層上的第二氧化物半導體層的疊層而成的氧化物半導體疊層；以及設置在氧化物半導體疊層上的厚度為 100nm 的閘極絕緣膜。此外，將 L 長及 W 長都設定為 10 μ m，並且將汲極電壓 (Vd) 設定為 1V 來進行計算。

此外，包括在電晶體中的氧化物半導體疊層的結構是如下四個樣本的結構：作為第一氧化物半導體層具有厚度為 5nm 的 In-Sn-Zn-O 膜且作為第二氧化物半導體層具有厚度為 5nm 的 In-Ga-Zn-O 膜的電晶體 A；作為第一氧化物半導體層具有厚度為 5nm 的 In-Ga-Zn-O 膜且作為第二氧化物半導體層具有厚度為 5nm 的 In-Sn-Zn-O 膜的電晶

體 B；作為比較例子，作為第一氧化物半導體層具有厚度為 5nm 的 In-Ga-Zn-O 膜且作為第二氧化物半導體層具有厚度為 5nm 的 In-Ga-Zn-O 膜（換言之，氧化物半導體疊層是單層的 In-Ga-Zn-O 膜）的電晶體 C；以及作為第一氧化物半導體層具有厚度為 5nm 的 In-Sn-Zn-O 膜且作為第二氧化物半導體層具有厚度為 5nm 的 In-Sn-Zn-O 膜（換言之，氧化物半導體疊層是單層的 In-Sn-Zn-O 膜）的電晶體 D。

對包括在電晶體 A 至電晶體 C 中的 In-Ga-Zn-O 膜在如下條件下進行計算：能隙為 3.15eV；載子壽命為 1nsec；塊遷移率為 $10\text{cm}^2/\text{Vs}$ ；以及電子親和力為 4.6eV。此外，對包括在電晶體 A、電晶體 B 及電晶體 D 中的 In-Sn-Zn-O 膜在如下條件下進行計算：能隙為 2.8eV；載子壽命為 1nsec；塊遷移率為 $35\text{cm}^2/\text{Vs}$ ；以及電子親和力為 4.6eV。

圖 16A 及圖 16B 示出藉由計算獲得的截止電流值。此外，圖 16B 是放大圖 16A 中的汲極電流為 $1.0 \times 10^{-33}\text{A}$ 至 $1.0 \times 10^{-28}\text{A}$ 的範圍而示出的圖表。在圖 16A 及圖 16B 中，縱軸表示汲極電流（A），而橫軸表示閘極電壓（V）。

此外，圖 17 示出藉由計算獲得的電晶體的場效應遷移率。在圖 17 中，縱軸表示場效應遷移率（ cm^2/Vs ），而橫軸表示閘極電壓（V）。

從圖 16A 和圖 16B 以及圖 17 可知，比較例子的電晶

體 D 雖然具有高場效應遷移率，但是比其他三個樣本相比示出高截止電流值。此外，比較例子的電晶體 C 雖然具有優良的截止電流值特性，但是場效應遷移率低，並截止電流低。另一方面，作為本實施例的電晶體的電晶體 A 及電晶體 B 與電晶體 D 相比具有低截止電流值，且與電晶體 C 相比具有高場效應遷移率。

明確而言，電晶體 C 的截止電流值大約為 $1.3 \times 10^{-29} \text{A}$ 至 $2.0 \times 10^{-32} \text{A}$ ，針對於此，電晶體 A 的截止電流值大約為 $0.6 \times 10^{-29} \text{A}$ ，電晶體 B 的截止電流值大約為 $0.6 \times 10^{-29} \text{A}$ 。此外，電晶體 D 的場效應遷移率大約為 $35 \text{cm}^2/\text{Vs}$ ，針對於此，電晶體 A 的場效應遷移率大約為 $15 \text{cm}^2/\text{Vs}$ 至 $20 \text{cm}^2/\text{Vs}$ ，電晶體 B 的場效應遷移率大約為 $25 \text{cm}^2/\text{Vs}$ 至 $30 \text{cm}^2/\text{Vs}$ 。

此外，電晶體 B 的場效應遷移率比電晶體 A 的場效應遷移率高。這是因為在電晶體 B 中場效應遷移率高的 In-Sn-Zn-O 膜作為第二氧化物半導體層與閘極絕緣膜接觸，在 In-Sn-Zn-O 膜中形成通道。

如上所述，具有氧化物半導體疊層的電晶體根據其疊層狀態可以以各種各樣的方式改變特性（在本實施例中，場效應遷移率及截止電流特性）。因此，藉由使用氧化物半導體疊層，可以以更高精度控制電晶體的電特性，可以對電晶體賦予所希望的電特性。

【符號說明】

658：光電二極體重設信號線
 659：閘極信號線
 671：光電感測器輸出信號線
 672：光電感測器參考信號線
 1000：基板
 1001：氧化物半導體層
 1002：氧化物半導體層
 1003：氧化物半導體層
 4001：基板
 4002：像素部
 4003：信號線驅動電路
 4004：掃描線驅動線路
 4005：密封材料
 4006：基板
 4008：液晶層
 4010：電晶體
 4011：電晶體
 4013：液晶元件
 4015：連接端子電極
 4016：端子電極
 4019：各向異性導電膜
 4020：絕緣膜
 4021：絕緣膜
 4023：絕緣膜

4030：電極層
4031：電極層
4032：絕緣膜
4033：絕緣膜
4510：分隔壁
4511：電致發光層
4513：發光元件
4514：填充材料
9000：桌子
9001：外殼
9002：腿部
9003：顯示部
9004：顯示按鈕
9005：電源供應線
9100：電視機
9101：外殼
9103：顯示部
9105：支架
9107：顯示部
9109：操作鍵
9110：遙控器
9201：主體
9202：外殼
9203：顯示部

9204 : 鍵盤

9205 : 外部連接埠

9206 : 指向裝置

9500 : 行動電話機

9501 : 外殼

9502 : 顯示部

9503 : 操作按鈕

9504 : 外部連接埠

9505 : 揚聲器

9506 : 麥克風

9507 : 操作按鈕

發明摘要

分割案

※申請案號：106111409（由105105941分割）

公告本

※申請日：101年07月02日

※IPC分類：**H01L 29/78** (2006.01)**H01L 23/52** (2006.01)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

Semiconductor device and method for manufacturing semiconductor device

【中文】

本發明提供如下電晶體及具有該電晶體的半導體裝置，上述電晶體使用具有根據用途被要求的電特性的氧化物半導體層的電晶體。使用如下氧化物半導體疊層構成電晶體，該氧化物半導體疊層至少包括：接觸於源極電極層或汲極電極層的第一氧化物半導體層；及設置在第一氧化物半導體層上並具有與第一氧化物半導體層不同的能隙的第二氧化物半導體層。第一氧化物半導體層和第二氧化物半導體層具有彼此不同的能隙即可，並且對其疊層順序沒有限制。

【英文】

申請專利範圍

1. 一種半導體裝置，包含：

第一氧化物半導體層，該第一氧化物半導體層包含銦、鋅和鎵；

第二氧化物半導體層，該第二氧化物半導體層包含銦和鋅；

閘極絕緣層；以及

閘極電極層，其至少與該第二氧化物半導體層重疊且有該閘極絕緣層插入其間，

其中該第二氧化物半導體層係在該第一氧化物半導體層和該閘極絕緣層之間，以及

其中該第二氧化物半導體層中鎵相對於銦的比例小於該第一氧化物半導體層中鎵相對於銦的比例。

2. 如申請專利範圍第 1 項所述之半導體裝置，

其中該第二氧化物半導體層之能隙小於該第一氧化物半導體層之能隙。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中該第二氧化物半導體層之電子親和力大於該第一氧化物半導體層之電子親和力。

4. 如申請專利範圍第 1 項所述之半導體裝置，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一者為非單晶氧化物半導體層。

5. 如申請專利範圍第 1 項所述之半導體裝置，

其中該第一氧化物半導體層和該第二氧化物半導體層

中的至少一者包含包括 c 軸配向的結晶。

6. 如申請專利範圍第 1 項所述之半導體裝置，
更包含第三氧化物半導體層，其在該閘極絕緣層和該第二氧化物半導體層之間，

其中該第三氧化物半導體層包含銦、鋅和鎵，以及
其中該第二氧化物半導體層中鎵相對於銦的該比例小於該第三氧化物半導體層中鎵相對於銦的比例。

7. 一種半導體裝置，其包含：

第一氧化物半導體層，該第一氧化物半導體層包含銦、鋅和鎵；

第二氧化物半導體層，其在該第一氧化物半導體層之上，該第二氧化物半導體層包含銦和鋅；

第三氧化物半導體層，其在該第二氧化物半導體層之上，該第三氧化物半導體層包含銦、鋅和鎵；

閘極絕緣層；以及

閘極電極層，其至少與該第二氧化物半導體層重疊且有該閘極絕緣層插入其間，

其中該第二氧化物半導體層中鎵相對於銦的比例小於該第一氧化物半導體層中鎵相對於銦的比例和該第三氧化物半導體層中鎵相對於銦的比例。

8. 如申請專利範圍第 7 項所述之半導體裝置，

其中該第二氧化物半導體層之能隙小於該第一氧化物半導體層之能隙和該第三氧化物半導體層之能隙。

9. 如申請專利範圍第 7 項所述之半導體裝置，

其中該第一氧化物半導體層、該第二氧化物半導體層和該第三氧化物半導體層中的每一者為非單晶氧化物半導體層。

10. 如申請專利範圍第 7 項所述之半導體裝置，

其中該第一氧化物半導體層、該第二氧化物半導體層和該第三氧化物半導體層中的至少一者包含包括 c 軸配向的結晶。

11. 如申請專利範圍第 7 項所述之半導體裝置，

其中該第三氧化物半導體層包含結晶，以及

其中該結晶之 c 軸垂直於該第三氧化物半導體層之上表面。

12. 如申請專利範圍第 7 項所述之半導體裝置，其中該第二氧化物半導體層之電子親和力大於該第一氧化物半導體層之電子親和力和該第三氧化物半導體層之電子親和力。

13. 如申請專利範圍第 1 或 7 項所述之半導體裝置，其中該第二氧化物半導體層更包含錫。

14. 如申請專利範圍第 1 或 7 項所述之半導體裝置，更包含電性連接至該第二氧化物半導體層之源極電極層和汲極電極層。

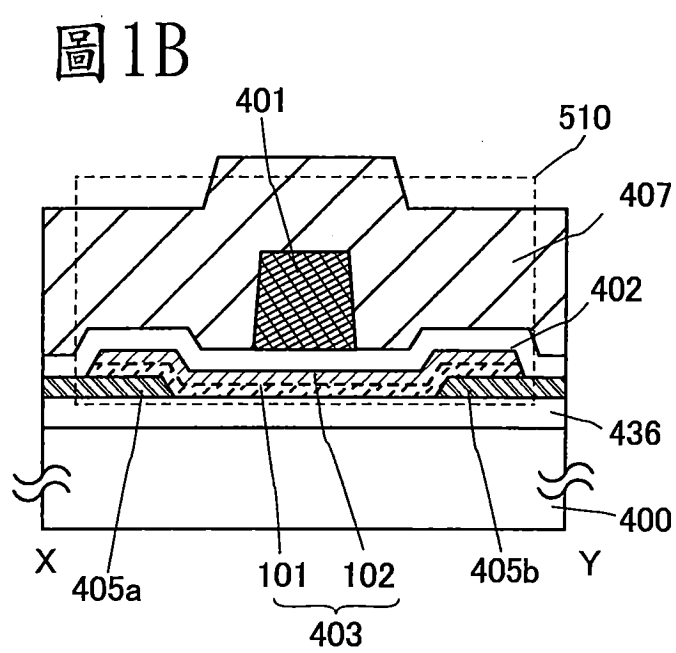
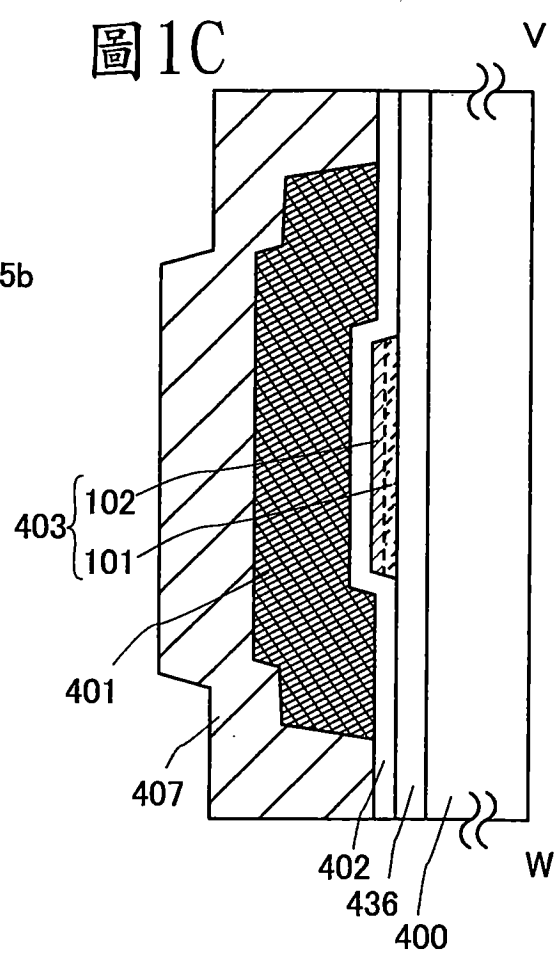
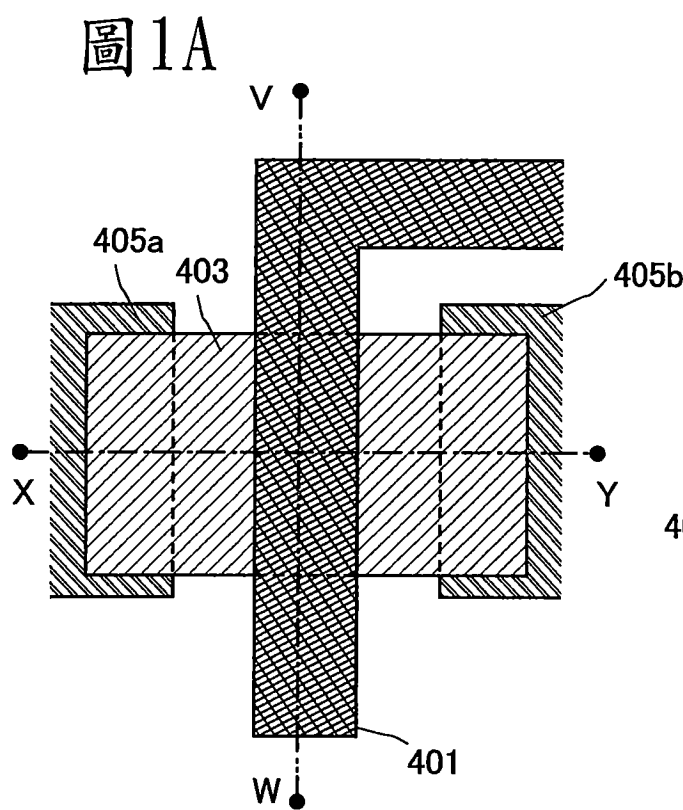
15. 如申請專利範圍第 14 項所述之半導體裝置，

其中該源極電極層和該汲極電極層中的每一者包含 Cu。

16. 如申請專利範圍第 14 項所述之半導體裝置，

其中該閘極電極層不重疊該源極電極層和該汲極電極層。

圖式



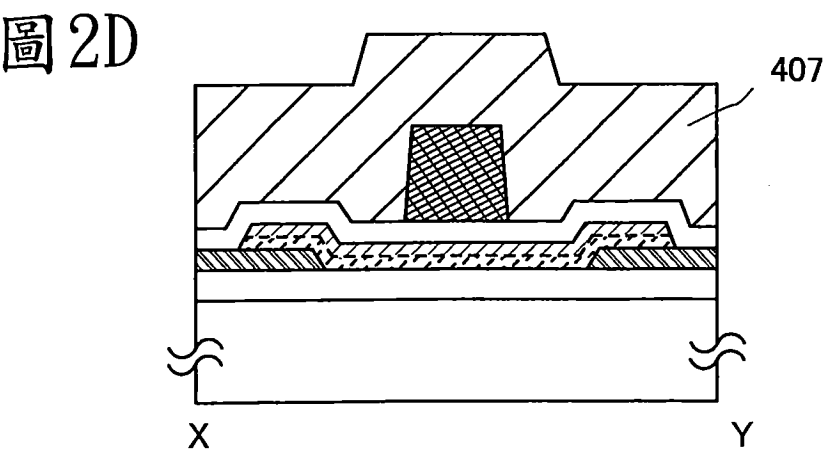
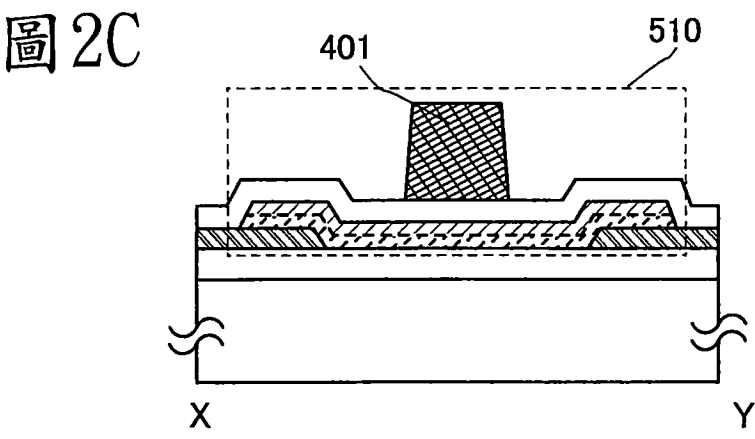
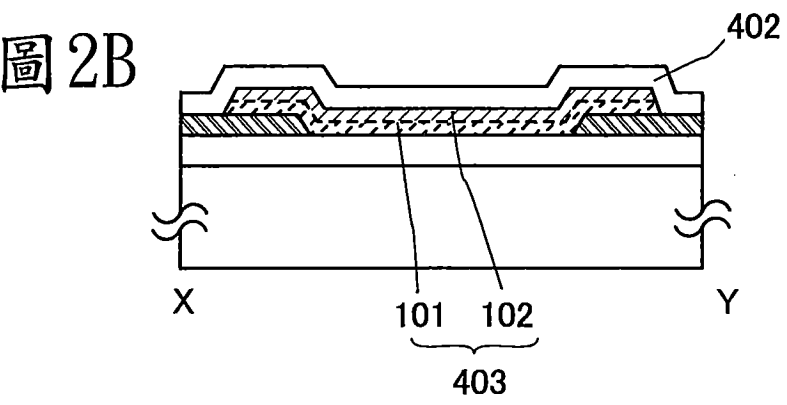
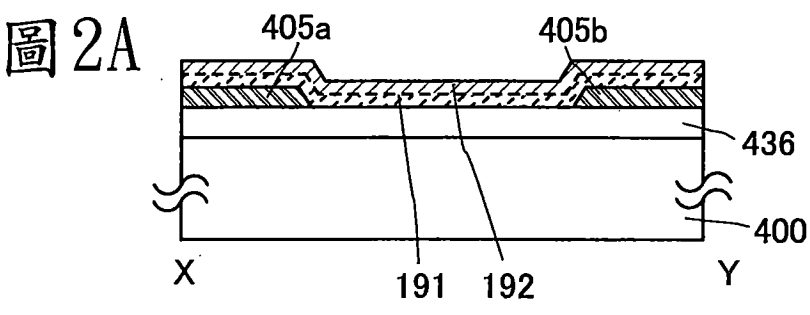


圖 3A

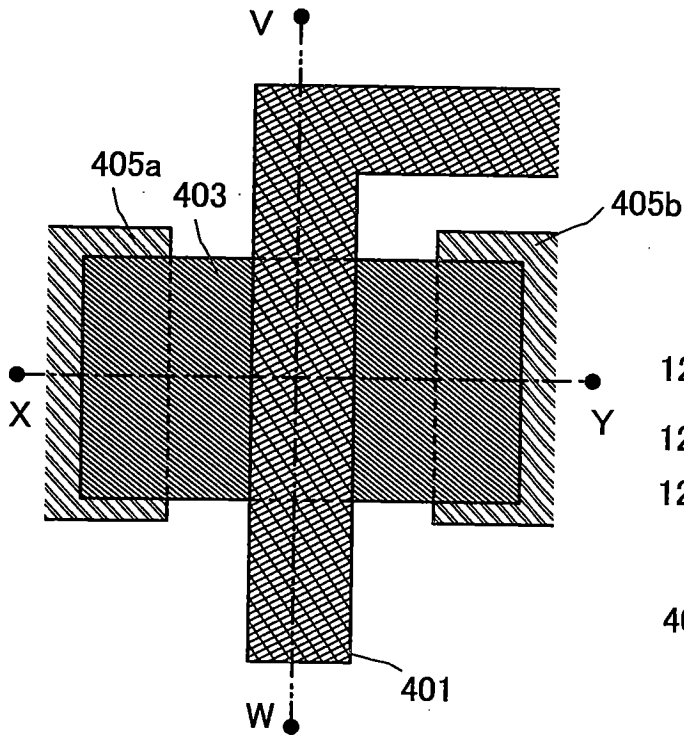


圖 3C

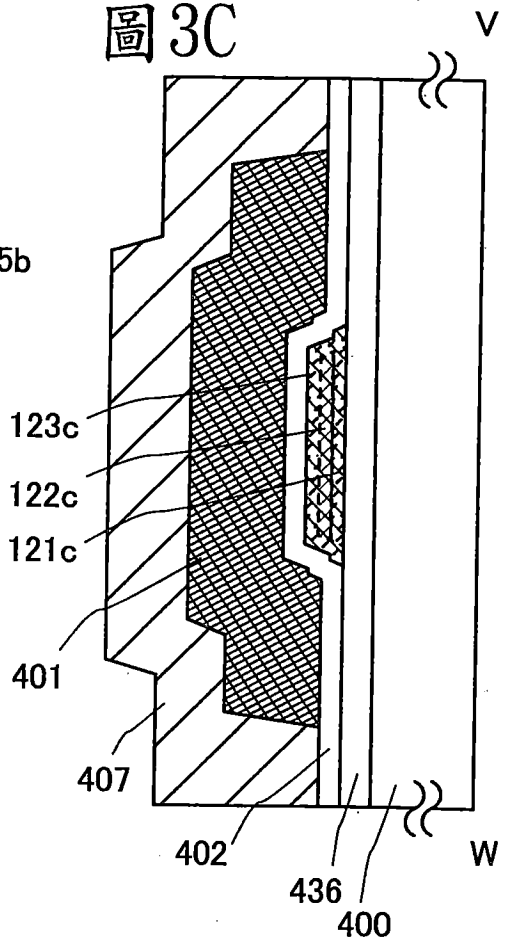


圖 3B

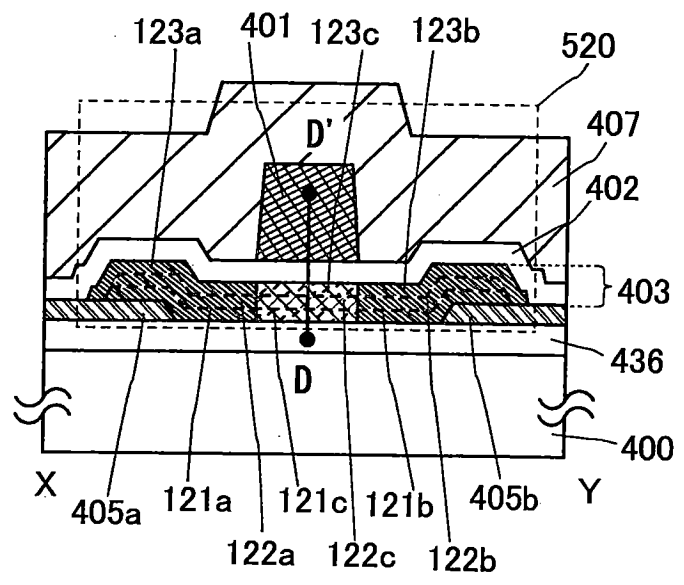


圖 3D

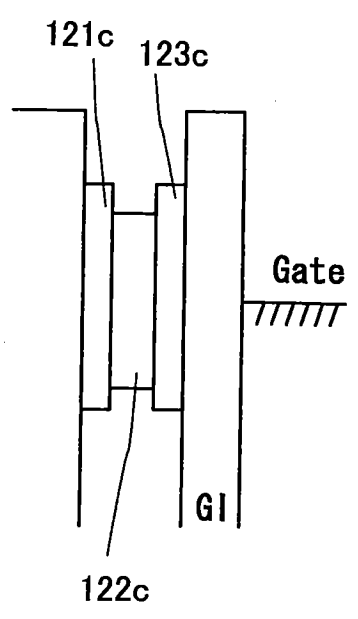


圖 4A

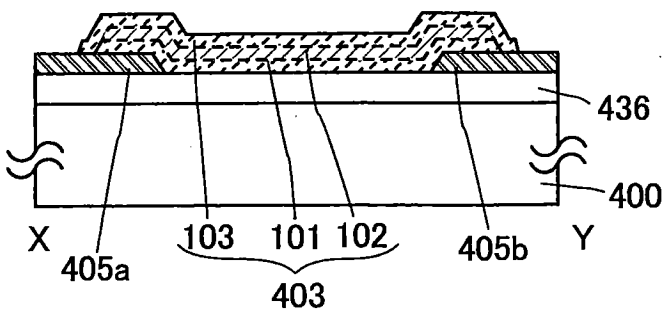


圖 4B

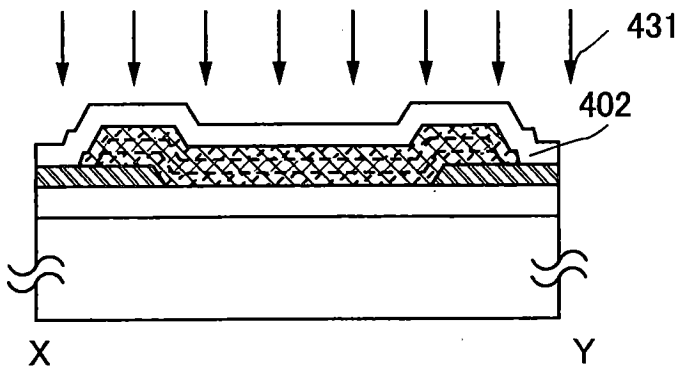


圖 4C

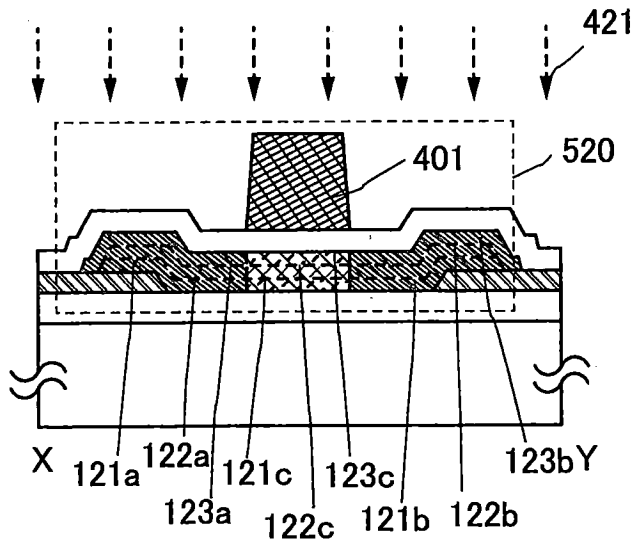


圖 4D

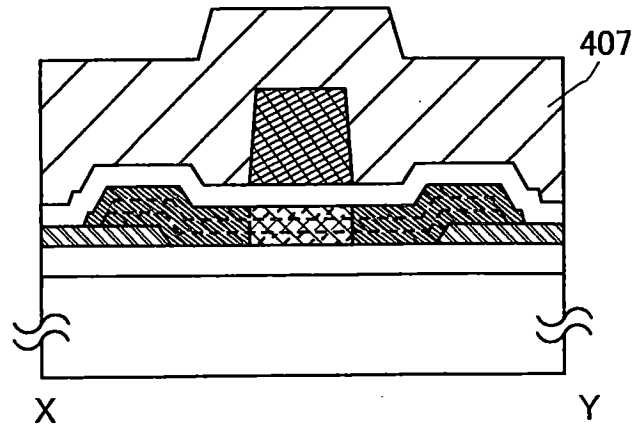


圖 5A

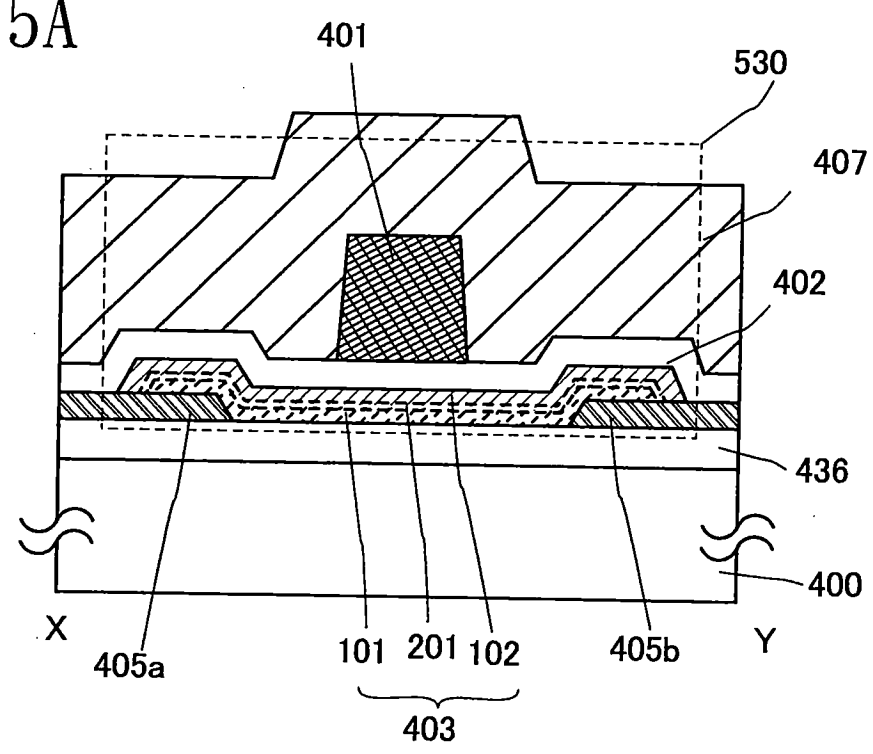


圖 5B

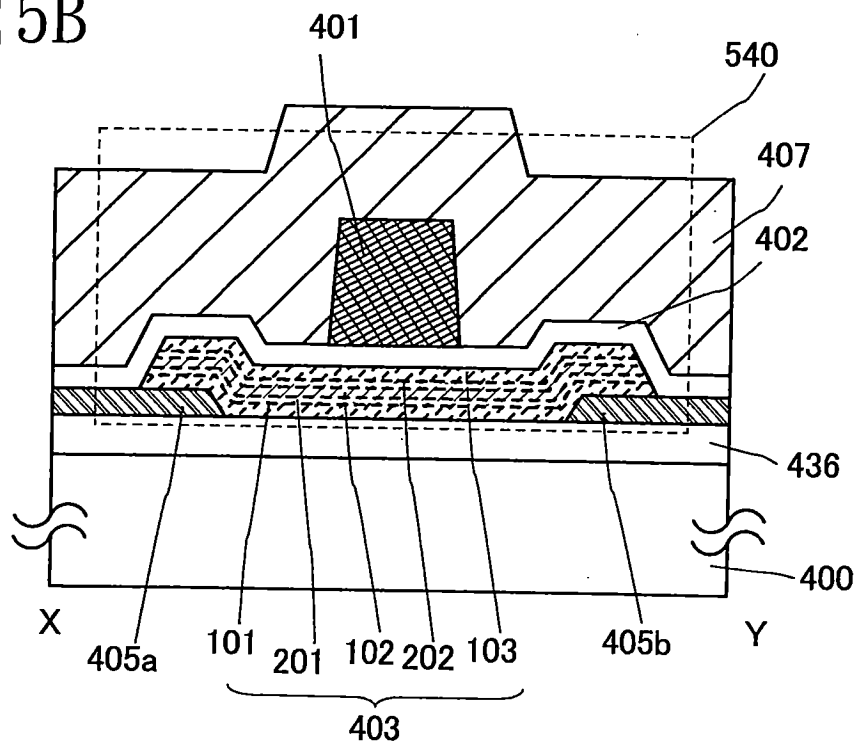


圖 6A

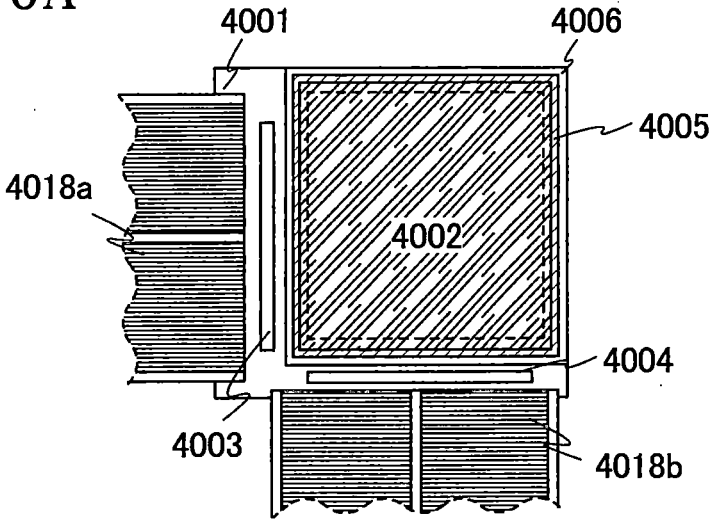


圖 6B

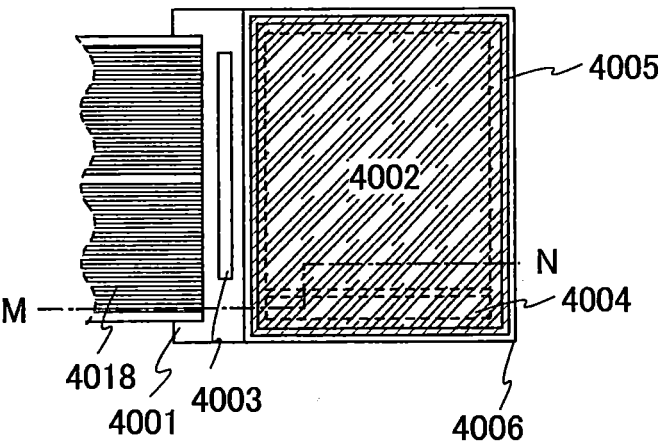


圖 6C

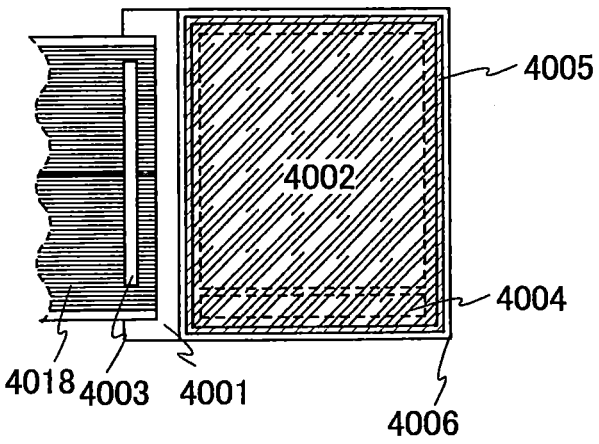


圖 7A

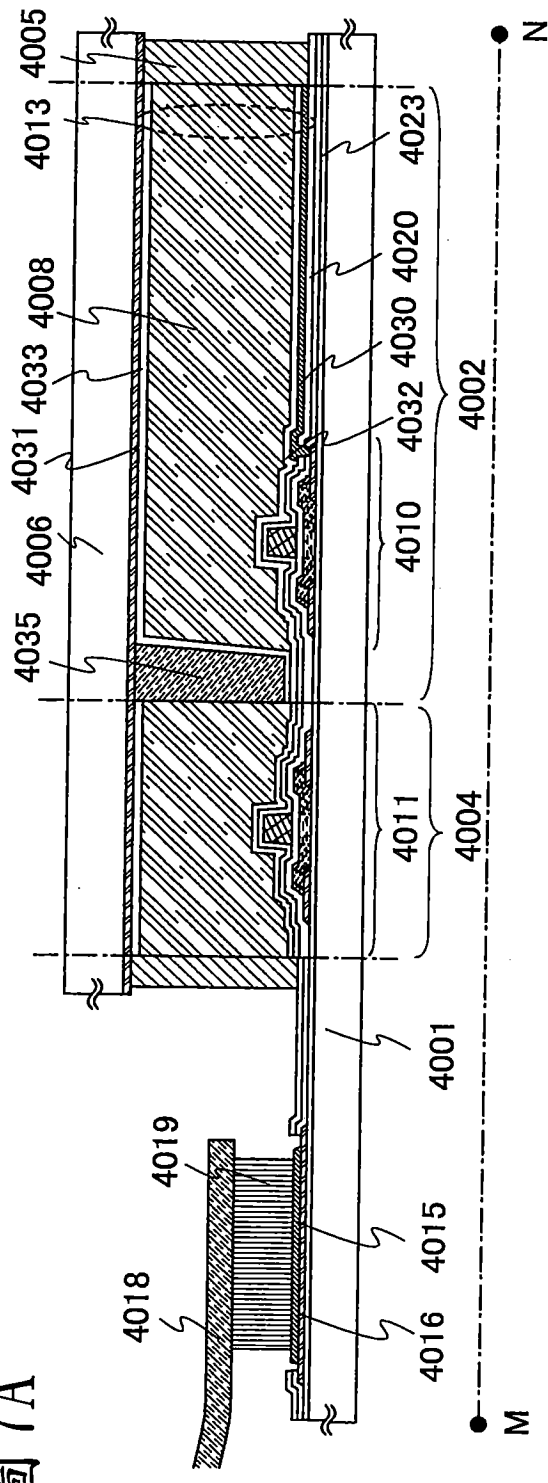
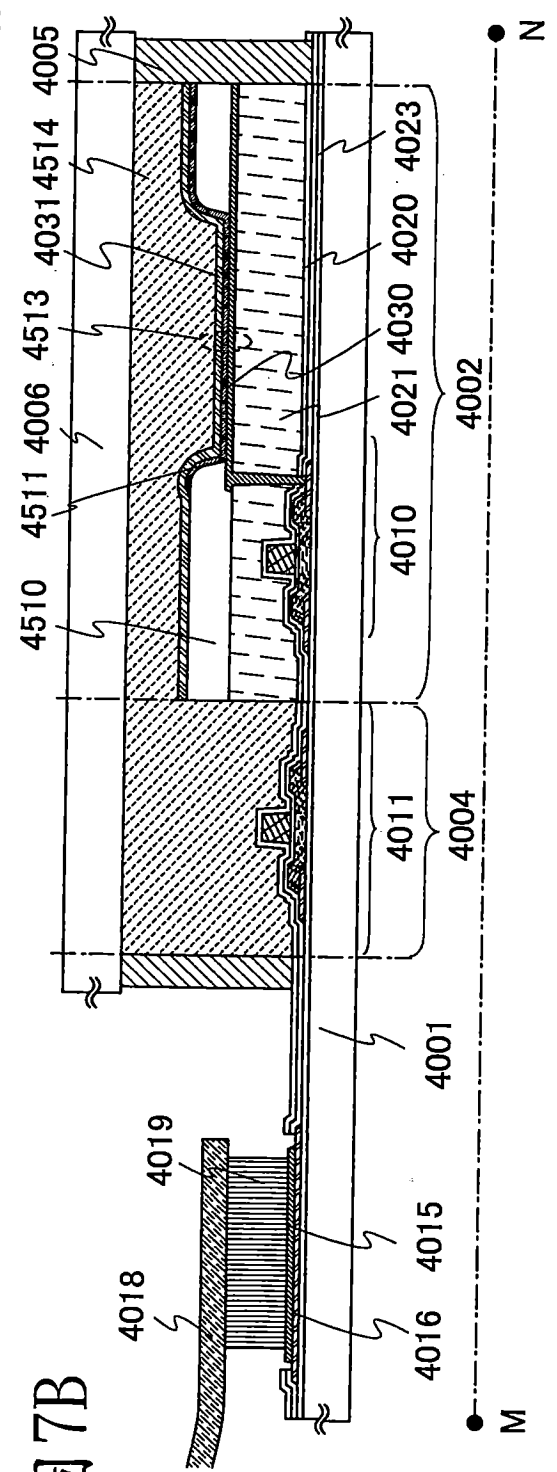


圖 7B



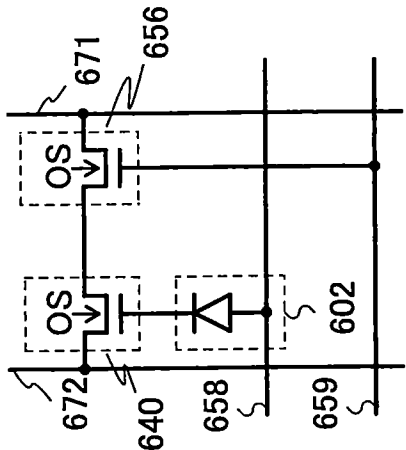


圖 8A

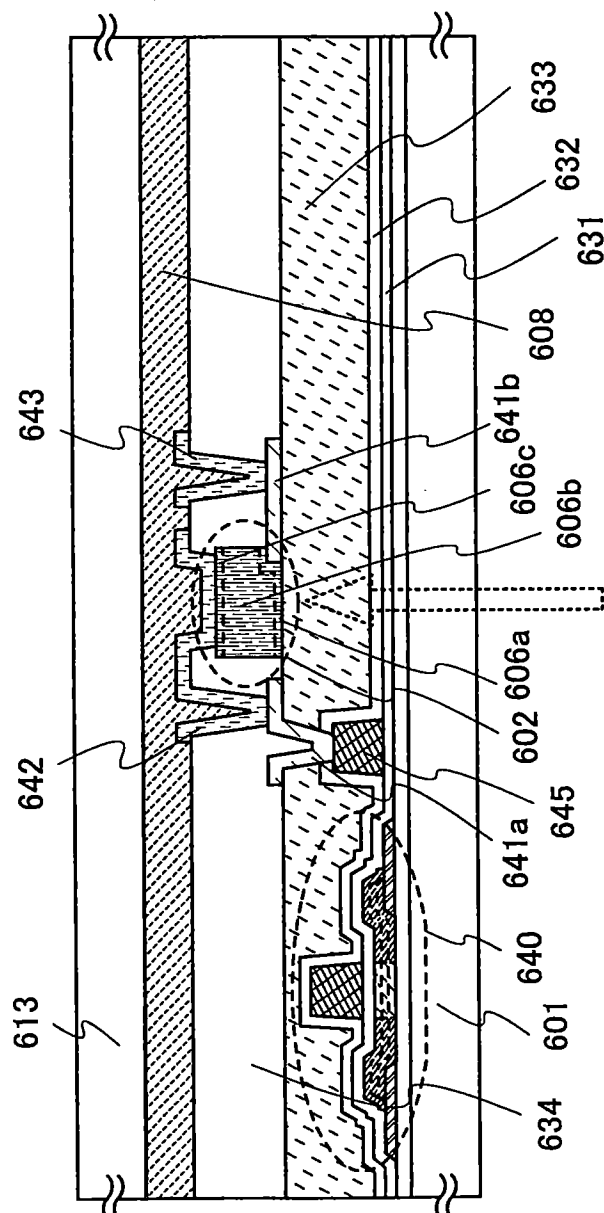


圖 8B

圖 9A

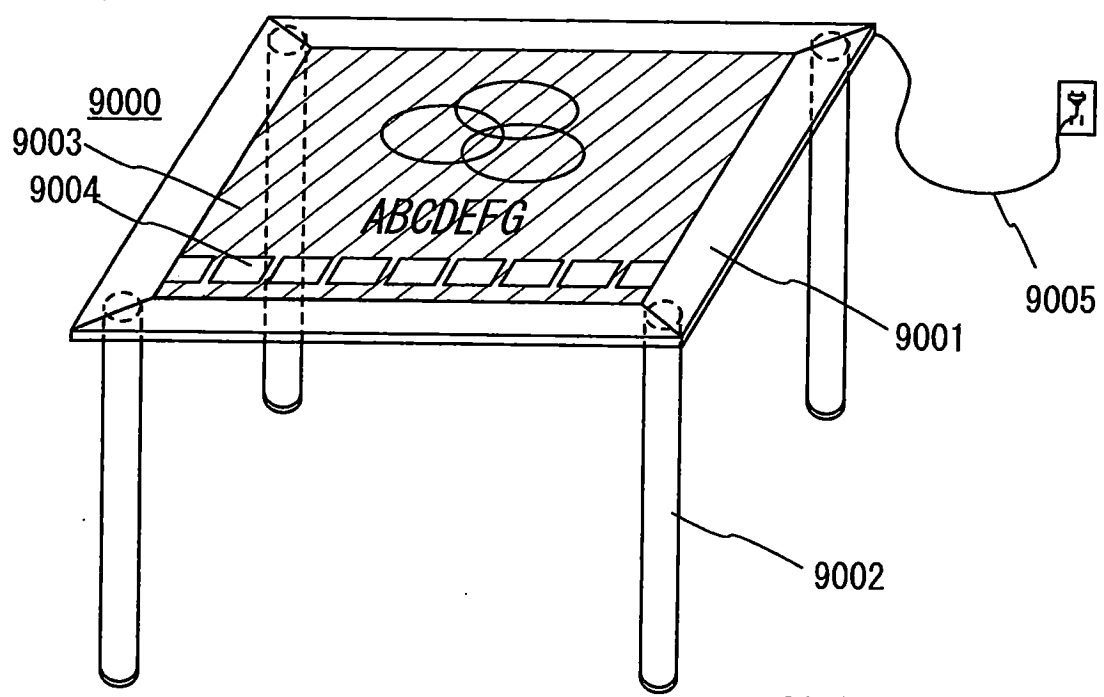


圖 9B

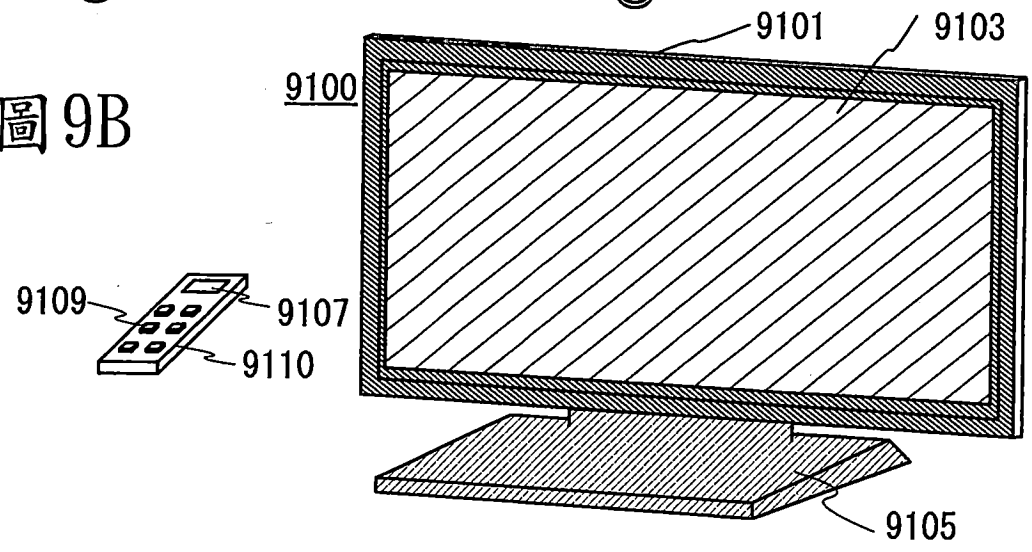


圖 9C

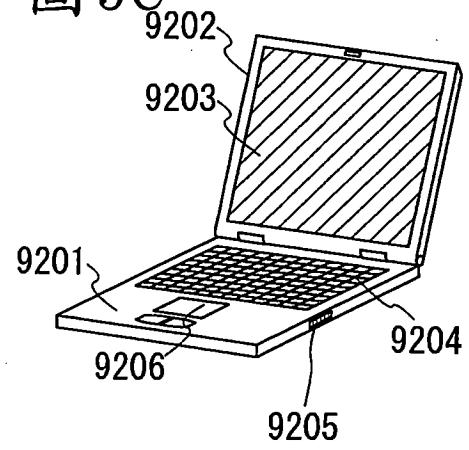


圖 9D

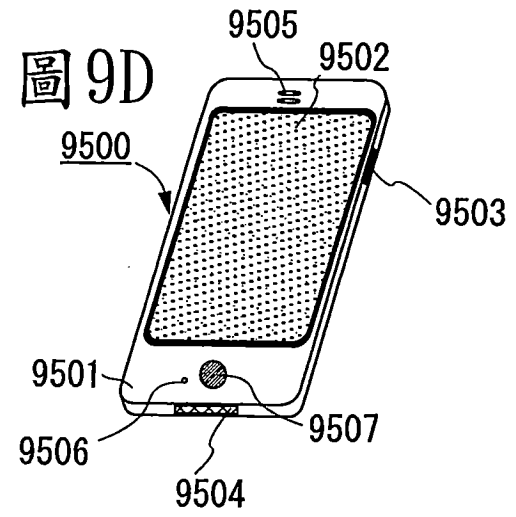


圖12

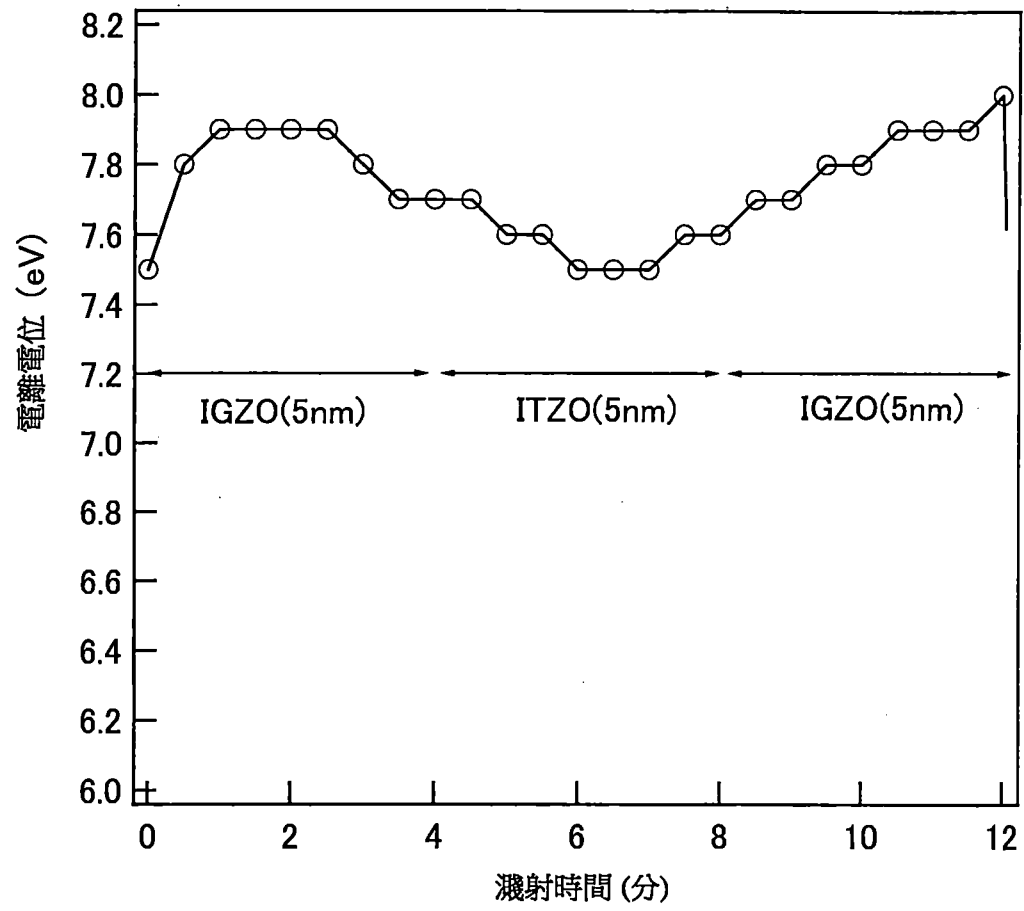


圖13

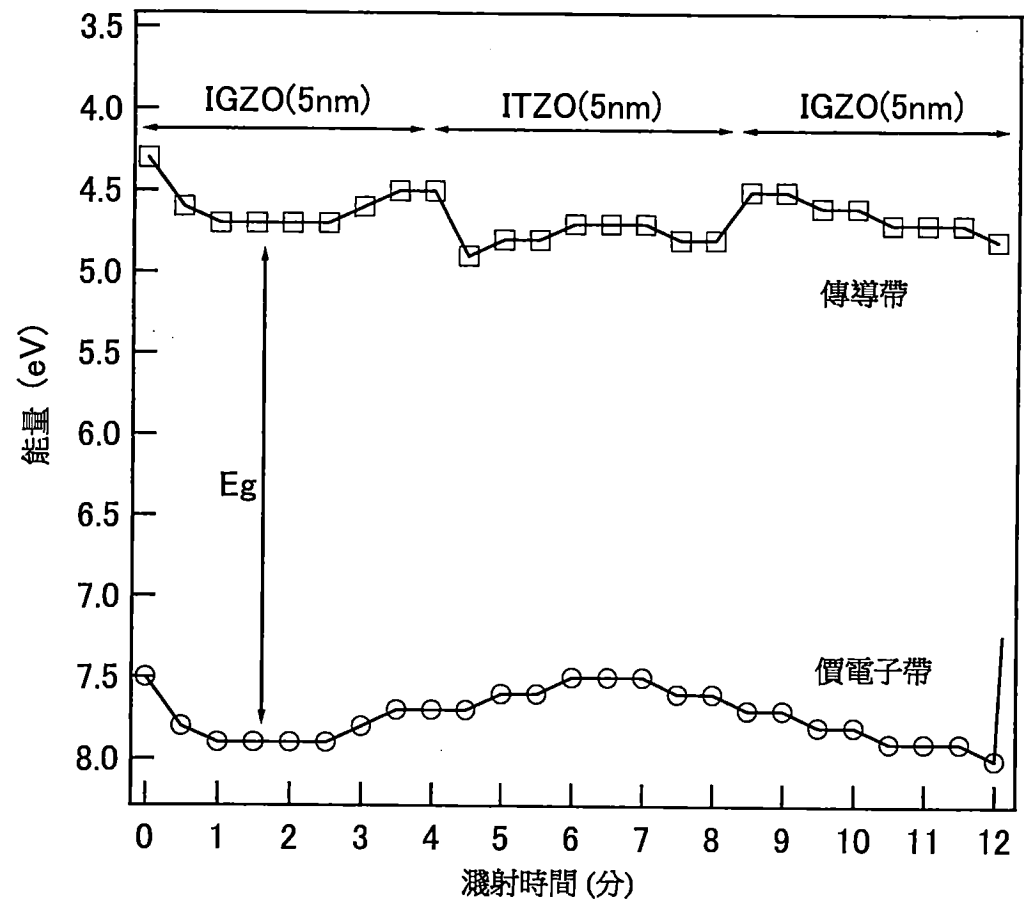


圖 14

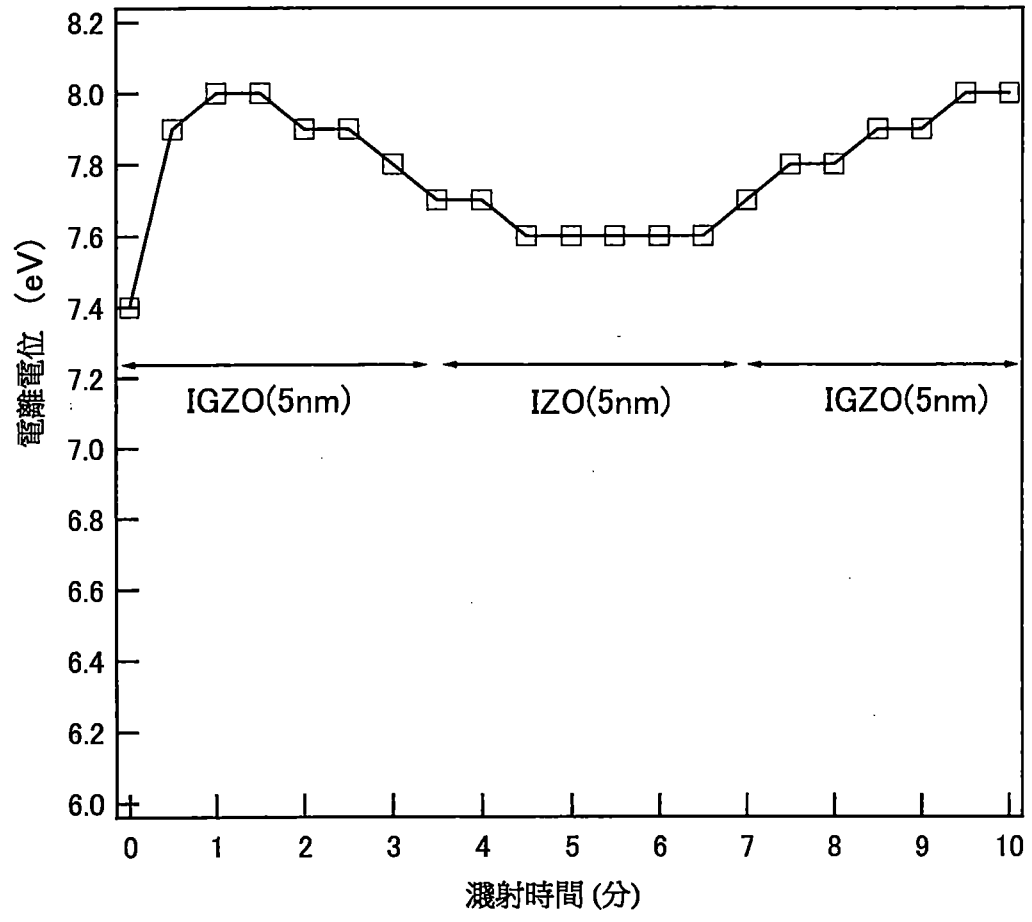


圖15

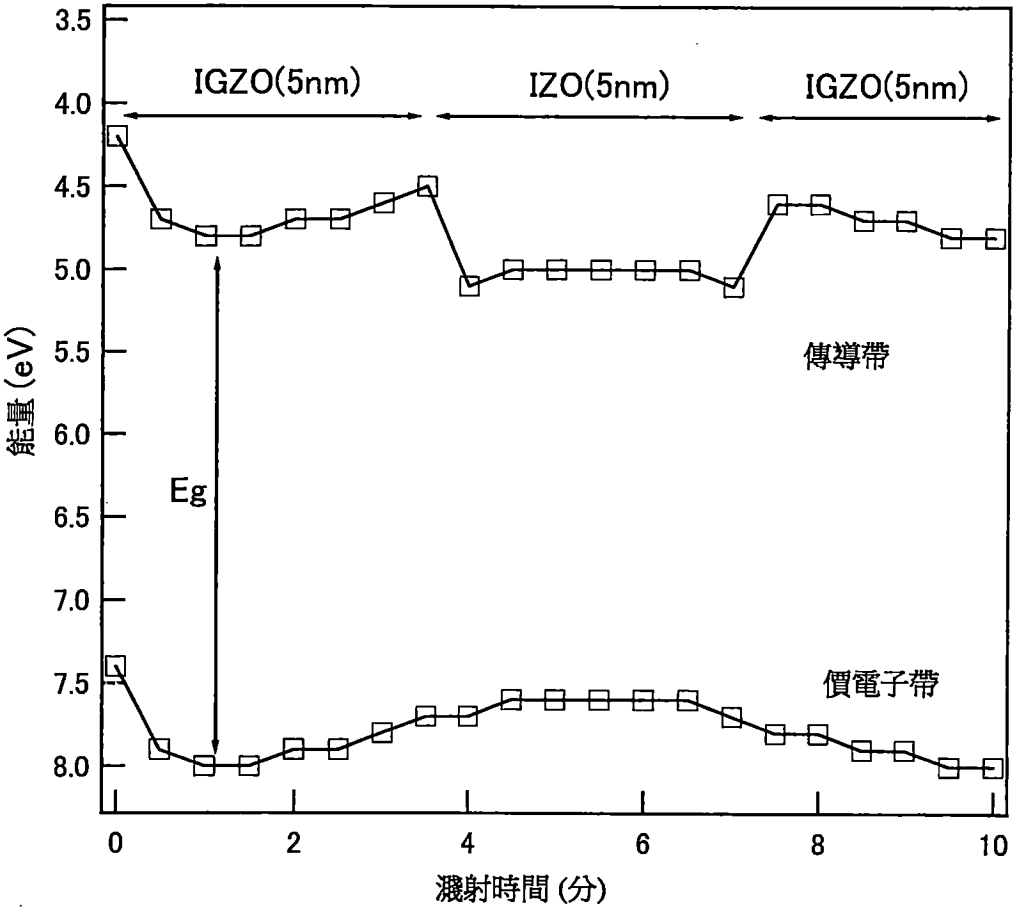


圖 16A

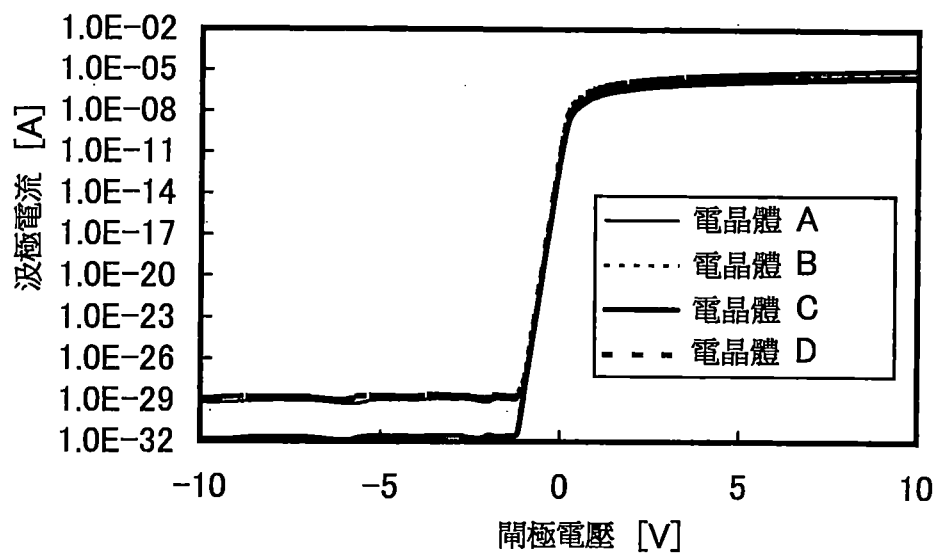


圖 16B

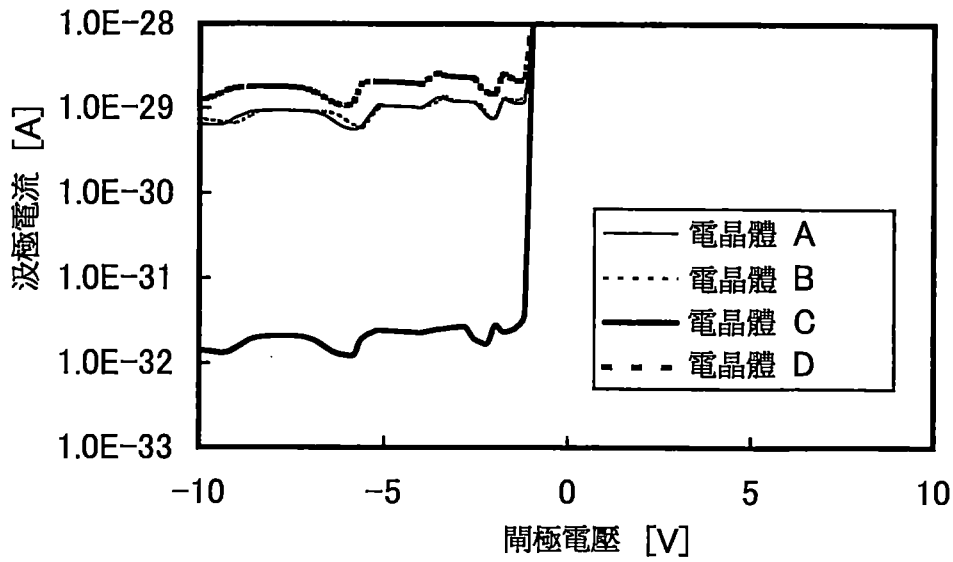
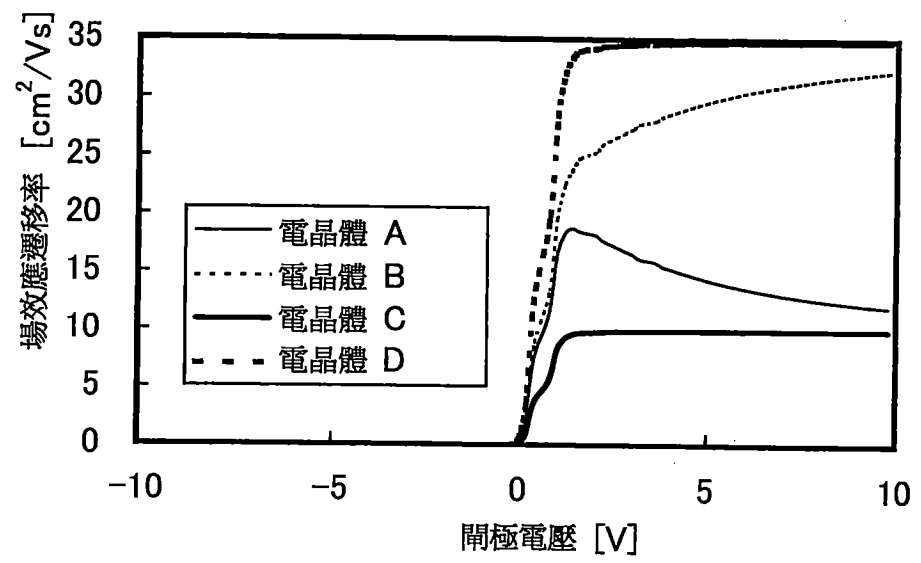


圖17



【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

101：氧化物半導體層

102：氧化物半導體層

400：基板

401：閘極電極層

402：閘極絕緣膜

403：氧化物半導體疊層

405a：源極電極層

405b：汲極電極層

407：絕緣膜

436：氧化物絕緣膜

510：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

101：氧化物半導體層
102：氧化物半導體層
103：氧化物半導體層
121a：第一低電阻區域
121b：第一低電阻區域
121c：第一通道形成區域
122a：第二低電阻區域
122b：第二低電阻區域
122c：第二通道形成區域
123a：第三低電阻區域
123b：第三低電阻區域
123c：第三通道形成區域
191：第一氧化物半導體膜
192：第二氧化物半導體膜
201：混合區域
202：混合區域
400：基板
401：閘極電極層
402：閘極絕緣膜
403：氧化物半導體疊層
405a：源極電極層
405b：汲極電極層
407：絕緣膜
421：摻雜劑

- 431：氧
- 436：氧化物絕緣膜
- 510：電晶體
- 520：電晶體
- 530：電晶體
- 540：電晶體
- 601：基板
- 602：光電二極體
- 606a：半導體膜
- 606b：半導體膜
- 606c：半導體膜
- 608：黏合層
- 613：基板
- 631：絕緣膜
- 632：絕緣膜
- 633：層間絕緣膜
- 634：層間絕緣膜
- 640：電晶體
- 641a：電極層
- 641b：電極層
- 642：電極層
- 643：導電層
- 645：電極層
- 656：電晶體