

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 8 月 6 日 (06.08.2020)



(10) 国际公布号
WO 2020/154876 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01) **H01L 29/786** (2006.01)

(21) 国际申请号: PCT/CN2019/073580

(22) 国际申请日: 2019 年 1 月 29 日 (29.01.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。鄂尔多斯市源盛光电有限责任
公司(**ORDOS YUANSHENG OPTOELECTRONICS
CO., LTD.**) [CN/CN]; 中国内蒙古自治区鄂尔
多斯市东胜区鄂尔多斯装备制造基地,
Inner Mongolia 017020 (CN)。

(72) 发明人: 闫雷(**YAN, Lei**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
李峰(**LI, Feng**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。方业周
(**FANG, Yezhou**); 中国北京市北京经济技术开

发区地泽路 9 号, Beijing 100176 (CN)。樊君(**FAN, Jun**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。李磊(**LI, Lei**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。孟艳艳(**MENG, Yanyan**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。姚磊(**YAO, Lei**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。薛进进(**XUE, Jinjin**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王成龙(**WANG, Chenglong**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王金锋(**WANG, Jinfeng**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。候林(**HOU, Lin**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。郭志轩(**GUO, Zhixuan**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中国国际贸易促进委员会专利商标
事务所(**CCPIT PATENT AND TRADEMARK LAW**

(54) **Title:** THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR, ARRAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 薄膜晶体管及其制造方法、阵列基板和显示装置

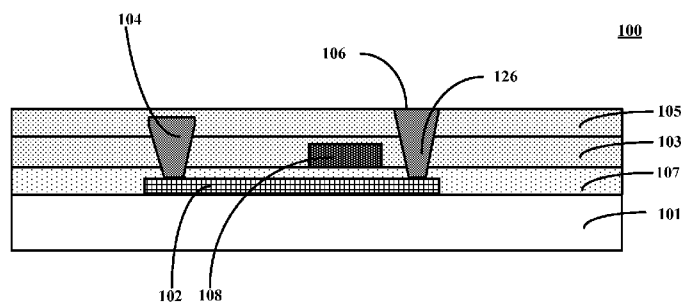


图 1

(57) **Abstract:** Disclosed are a thin-film transistor and a manufacturing method therefor, an array substrate and a display apparatus. The thin-film transistor comprises: an active layer located on a side of a substrate; a first interlayer dielectric layer located on a side of the active layer away from the substrate; a source electrode penetrating through the first interlayer dielectric layer and connected to the active layer; a second interlayer dielectric layer located on a side of the first interlayer dielectric layer away from the active layer, and covering the source electrode; and a drain electrode comprising a first portion that penetrates through the second interlayer dielectric layer and the first interlayer dielectric layer and is connected to the active layer.

(57) **摘要:** 本公开提供了一种薄膜晶体管及其制造方法、阵列基板和显示装置。所述薄膜晶体管包括: 位于衬底一侧的有源层; 第一层间电介质层, 位于所述有源层远离所述衬底的一侧; 源极, 贯穿所述第一层间电介质层、且连接到所述有源层; 第二层间电介质层, 位于所述第一层间电介质层远离所述有源层的一侧、且覆盖所述源极; 和漏极, 包括第一部分, 所述第一部分贯穿所述第二层间电介质层和所述第一层间电介质层、且连接到所述有源层。



WO 2020/154876 A1

OFFICE); 中国北京市西城区阜成门外大街2号
万通新世界广场8层, Beijing 100037 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

薄膜晶体管及其制造方法、阵列基板和显示装置

技术领域

本公开涉及显示技术领域，尤其涉及薄膜晶体管及其制造方法、阵列基板和显示
5 装置。

背景技术

为了满足高分辨率的显示需求，显示面板的 PPI (Pixels Per Inch, 每英寸所拥有的
的像素数目) 需要越来越高。尤其是基于 VR (Virtual Reality, 虚拟现实) 技术的显
10 示产品对分辨率的要求更加苛刻。

发明内容

根据本公开实施例的一方面，提供一种薄膜晶体管，包括：位于衬底一侧的有源
层；第一层间电介质层，位于所述有源层远离所述衬底的一侧；源极，贯穿所述第一层间
15 电介质层、且连接到所述有源层；第二层间电介质层，位于所述第一层间电介质层远离所
述有源层的一侧、且覆盖所述源极；和漏极，包括第一部分，所述第一部分贯穿所述第二
层间电介质层和所述第一层间电介质层、且连接到所述有源层。

在一些实施例中，所述漏极还包括：与所述第一部分连接的第二部分，位于所述第
二层间电介质层远离所述第一层间电介质层的一侧，所述第二部分被配置为与第一电极连
20 接。

在一些实施例中，所述漏极的第二部分在所述衬底上的正投影与所述源极在所述
衬底上的正投影部分重叠。

在一些实施例中，所述漏极的第二部分在所述第二层间电介质层的表面上向朝向
所述源极的方向延伸。

25 在一些实施例中，所述有源层具有第一凹陷和第二凹陷中的至少一个，其中：所
述源极与所述第一凹陷的底面和侧面接触，所述漏极的第一部分与所述第二凹陷的底
面和侧面接触。

在一些实施例中，所述薄膜晶体管还包括位于所述衬底与所述有源层之间的缓冲层，
其中，所述源极和所述漏极的第一部分中的至少一个延伸到所述缓冲层中。

30 在一些实施例中，所述薄膜晶体管还包括：遮光层，位于所述衬底与所述缓冲层之

间；其中，所述有源层在所述衬底上的正投影与所述遮光层在所述衬底上的正投影重叠。

在一些实施例中，所述薄膜晶体管包括栅极电介质层和栅极，其中：所述栅极电介质层位于所述有源层远离所述衬底的一侧；所述栅极位于所述栅极电介质层远离所述有源层的一侧；所述第一层间电介质层位于所述栅极电介质层远离所述衬底的一侧、且覆盖所述栅极。

在一些实施例中，所述有源层的材料包括多晶硅。

根据本公开实施例的另一方面，提供一种阵列基板，包括：上述任意一个实施例所述的薄膜晶体管。

在一些实施例中，所述阵列基板还包括：平坦化层，位于所述薄膜晶体管的第二层间电介质层远离第一层间电介质层的一侧，所述平坦化层具有延伸到所述薄膜晶体管的漏极的第二部分的开口；和第一电极，至少部分位于所述开口中、且与所述漏极的第二部分接触。

在一些实施例中，所述第一电极为像素阳极；所述阵列基板还包括：绝缘层，位于所述第一电极远离所述漏极的第二部分的一侧；和公共电极，位于所述绝缘层远离所述第一电极的一侧。

在一些实施例中，所述第一电极为阳极。

根据本公开实施例的又一方面，提供一种显示装置，包括：上述任意一个实施例所述的阵列基板。

根据本公开实施例的再一方面，提供一种薄膜晶体管的制造方法，包括：形成位于衬底一侧的有源层；形成位于所述有源层远离所述衬底的一侧的第一层间电介质层；形成贯穿所述第一层间电介质层、且连接到所述有源层的源极；形成位于所述第一层间电介质层远离所述有源层的一侧、且覆盖所述源极的第二层间电介质层；和形成漏极，所述漏极包括第一部分，所述第一部分贯穿所述第二层间电介质层和所述第一层间电介质层、且连接到所述有源层。

在一些实施例中，形成贯穿所述第一层间电介质层、且连接到所述有源层的源极包括：形成贯穿所述第一层间电介质层的第一开口，所述第一开口使得所述有源层的部分露出；形成至少部分位于所述第一开口中、且与所述有源层接触的所述源极。

在一些实施例中，形成漏极包括：形成贯穿所述第二层间电介质层和所述第一层间电介质层的第二开口，所述第二开口使得所述有源层的部分露出；形成所述漏极，其中，所述漏极的第一部分位于所述第二开口中、且与所述有源层接触。

在一些实施例中，形成位于所述衬底一侧的有源层包括：形成位于所述衬底的所述一侧的缓冲层；在所述缓冲层远离所述衬底的一侧形成所述有源层；其中，所述源极和所述漏极的第一部分中的至少一个延伸到所述缓冲层中。

5 在一些实施例中，形成位于所述衬底的所述一侧的缓冲层包括：形成位于所述衬底的所述一侧的遮光层；形成位于所述衬底的所述一侧、且覆盖所述遮光层的所述缓冲层；其中，所述有源层在所述衬底上的正投影与所述遮光层在所述衬底上的正投影至少部分重叠。

10 在一些实施例中，所述方法还包括：在形成位于所述衬底一侧的有源层后，在所述有源层远离所述衬底的一侧形成栅极电介质层；在所述栅极电介质层远离所述有源层的一侧形成栅极；其中，所述第一层间电介质层位于所述栅极电介质层远离所述衬底的一侧、且覆盖所述栅极。

附图说明

15 构成说明书的一部分的附图描述了本公开的实施例，并且连同说明书一起用于解释本公开的原理。

参照附图，根据下面的详细描述，可以更加清楚地理解本公开，其中：

图 1 是根据本公开一个实施例的薄膜晶体管的结构示意图；

图 2 是根据本公开另一个实施例的薄膜晶体管的结构示意图；

图 3 是根据本公开又一个实施例的薄膜晶体管的结构示意图；

20 图 4 是根据本公开再一个实施例的薄膜晶体管的结构示意图；

图 5 是根据本公开还一个实施例的薄膜晶体管的结构示意图；

图 6 是根据本公开一个实施例的阵列基板的结构示意图；

图 7 是根据本公开另一个实施例的阵列基板的结构示意图；

图 8 是根据本公开一个实施例的薄膜晶体管的制造方法的流程示意图；

25 图 9A-图 9G 示出了根据本公开一些实施例的形成薄膜晶体管的不同阶段得到的结构的截面示意图。

应当明白，附图中所示出的各个部分的尺寸并不是按照实际的比例关系绘制的。此外，相同或类似的参考标号表示相同或类似的构件。

30 具体实施方式

现在将参照附图来详细描述本公开的各种示例性实施例。对示例性实施例的描述仅仅是说明性的，决不作为对本公开及其应用或使用的任何限制。本公开可以以许多不同的形式实现，不限于这里所述的实施例。提供这些实施例是为了使本公开透彻且完整，并且向本领域技术人员充分表达本公开的范围。应注意到：除非另外具体说明，
5 否则在这些实施例中阐述的部件和步骤的相对布置、材料的组分、数字表达式和数值应被解释为仅仅是示例性的，而不是作为限制。

本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的部分。“包括”或者“包含”等类似的词语意指在该词前的要素涵盖在该词后列举的要素，并不排除也涵盖其他要素的可能。“上”、“下”
10 等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

在本公开中，当描述到特定部件位于第一部件和第二部件之间时，在该特定部件与第一部件或第二部件之间可以存在居间部件，也可以不存在居间部件。当描述到特定部件连接其它部件时，该特定部件可以与所述其它部件直接连接而不具有居间部件，
15 也可以不与所述其它部件直接连接而具有居间部件。

本公开使用的所有术语（包括技术术语或者科学术语）与本公开所属领域的普通技术人员理解的含义相同，除非另外特别定义。还应当理解，在诸如通用字典中定义的术语应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义，而不应应用理想化或极度形式化的意义来解释，除非这里明确地这样定义。

20 对于相关领域普通技术人员已知的技术、方法和设备可能不作详细讨论，但在适当情况下，所述技术、方法和设备应当被视为说明书的一部分。

当 PPI 很大时，相邻亚像素之间的节距（Pitch）需要很小。发明人注意到，由于相邻亚像素之间的节距很小，因此在形成每个亚像素中的薄膜晶体管的源极和漏极时，源极和漏极很容易搭接，导致薄膜晶体管的可靠性较差，从而产生暗点等显示不良现象，影响显示效果。
25

为此，本公开实施例提出了如下技术方案。

图 1 是根据本公开一个实施例的薄膜晶体管的结构示意图。

如图 1 所示，薄膜晶体管 100 包括位于衬底 101 一侧的有源层 102、第一层间电介质层 103、源极 104、第二层间电介质层 105 和漏极 106。

30 衬底 101 例如可以为玻璃衬底。然而，本公开并不限于此。例如，在某些实施例

中，衬底 101 也可以为诸如聚酰亚胺（PI）衬底的柔性衬底。

有源层 102 位于衬底 101 的一侧，例如上侧。在一些实施例中，有源层 102 的材料可以包括多晶硅，例如低温多晶硅（Low Temperature Poly-silicon, LTPS）。在另一些实施例中，有源层 102 的材料可以包括氧化物半导体。

5 第一层间电介质层 103 位于有源层 102 远离衬底 101 的一侧。例如，第一层间电介质层 103 的材料可以包括硅的氧化物、硅的氮化物、硅的氮氧化物等。

源极 104 贯穿第一层间电介质层 103、且连接到有源层 102。源极 104 例如可以是 Ti/Al/Ti 的叠层。在一些实施例中，源极 104 可以与有源层 102 远离衬底 101 一侧的表面（也可以称为上表面）接触。

10 第二层间电介质层 105 位于第一层间电介质层 103 远离有源层 102 的一侧、且覆盖源极 104。第二层间电介质层 105 的材料与第一层间电介质层 103 的材料可以相同，也可以不同。例如，第二层间电介质层 105 的材料可以包括硅的氧化物、硅的氮化物、硅的氮氧化物等。

漏极 106 包括第一部分 116。第一部分 116 贯穿第二层间电介质层 105 和第一层间电
15 介质层 103、且连接到有源层 102。在一些实施例中，第一部分 116 可以与有源层 102 远离衬底 101 一侧的表面接触。作为示例，第一部分 116 例如可以是 Ti/Al/Ti 的叠层。应理解，薄膜晶体管 100 还包括栅极电介质层和栅极。在一些实施例中，薄膜晶体管 100 可以为顶栅型薄膜晶体管。在另一些实施例中，薄膜晶体管 100 可以为底栅型薄膜晶体管。在薄膜晶体管 100 为顶栅型薄膜晶体管的情况下，如图 1 所示，栅极电介质层 107 位于有
20 源层 102 远离衬底 101 的一侧，栅极 108 位于栅极电介质层 107 远离有源层 102 的一侧，第一层间电介质层 103 位于栅极电介质层 107 远离衬底 101 的一侧、且覆盖栅极 108。在一些实施例中，栅极电介质层 107 可以覆盖有源层 102。

上述实施例中，源极 104 贯穿第一层间电介质层 103，第二层间电介质层 105 覆盖源极 104，并且，漏极 106 的第一部分 116 贯穿第二层间电介质层 105。这样的薄膜晶体管
25 中，源极 104 和漏极 106 位于不同层，二者在平行于衬底 101 的表面方向上即便设置的很近也不会搭接，提高了薄膜晶体管的可靠性。在将薄膜晶体管应用在显示面板中的情况下，可以减少由于源极和漏极的搭接导致的暗点等显示不良现象的出现，从而提高显示面板的显示效果。

图 2 是根据本公开另一个实施例的薄膜晶体管的结构示意图。

30 与图 1 所示薄膜晶体管 100 相比，图 2 所示薄膜晶体管 200 中的漏极 106 还包括

与第一部分 116 连接的第二部分 126。第二部分 126 位于第二层间电介质层 105 远离第一层间电介质层 103 的一侧。第二部分 126 被配置为与第一电极连接。这里，第一电极例如可以是像素电极或阳极。

在一些实施例中，漏极 106 的第二部分 126 在衬底 101 上的正投影与源极 104 在衬底 101 上的正投影部分重叠，从而有助于减小薄膜晶体管的尺寸。在某些实施例中，漏极 106 的第二部分 126 在第二层间电介质层 105 的表面上向朝向源极 104 的方向延伸，而非向远离源极 104 的方向延伸，从而有助于进一步减小薄膜晶体管的尺寸。

上述实施例中，漏极 106 还包括被配置为与第一电极连接的第二部分 126。第二层间电介质层 105 覆盖源极 104，并且，漏极 106 的第二部分 126 位于第二层间电介质层 105 远离第一层间电介质层 103 的一侧。这样的薄膜晶体管使得第一电极与漏极 106 的接触更可靠。另外，由于源极 104 和漏极 106 的第二部分 126 位于不同层，二者在平行于衬底 101 的表面方向上即便设置的很近也不会搭接，提高了薄膜晶体管的可靠性。在将薄膜晶体管应用在显示面板中的情况下，可以减少由于源极和漏极的搭接导致的暗点等显示不良现象的出现，从而提高显示面板的显示效果。

图 3 是根据本公开又一个实施例的薄膜晶体管的结构示意图。

与图 2 所示薄膜晶体管 200 相比，图 3 所示薄膜晶体管 300 中的有源层 102 可以具有第一凹陷和第二凹陷中的至少一个。这里，源极 104 与第一凹陷的底面和侧面接触，漏极 106 的第一部分 116 与第二凹陷的底面和侧面接触。这样的薄膜晶体管可以增大源极 104 和漏极 106 的第一部分 116 中的至少一个与有源层 102 的接触面积，从而减小接触电阻。

图 4 是根据本公开再一个实施例的薄膜晶体管的结构示意图。

与图 3 所示薄膜晶体管 300 相比，图 4 所示薄膜晶体管 400 还包括位于衬底 101 与有源层 102 之间的缓冲层 109。在某些实施例中，缓冲层 109 例如可以包括硅的氮化物层和硅的氧化物层。硅的氮化物层位于衬底 101 与硅的氧化物层之间，硅的氧化物层位于硅的氮化物层和有源层 102 之间。硅的氮化物层可以阻挡衬底 101 中的钠离子、钾离子等金属离子进入有源层 102，从而避免金属离子对有源层 102 的性能造成不利影响。硅的氧化物层一方面与有源层 102 的界面性能较好，另一方面还能起到隔热的作用。例如，有源层 102 为利用准分子激光退火（ELA）将非晶硅转化成的多晶硅，在激光照射非晶硅时，硅的氧化物层可以阻挡热量向下传递，从而可以更有效地将非晶硅转化为多晶硅。

源极 104 和漏极 106 的第一部分 116 中的至少一个可以贯穿有源层 102，并延伸到缓

冲层 109 中，例如延伸到缓冲层 109 中的硅的氧化物层。例如，源极 104 的一部分嵌入在缓冲层 109 中。又例如，第一部分 116 的一部分可以嵌入在缓冲层 109 中。再例如，源极 104 的一部分和第一部分 116 的一部分均嵌入在缓冲层 109 中。

图 5 是根据本公开再一个实施例的薄膜晶体管的结构示意图。

5 与图 4 所示薄膜晶体管 400 相比，图 5 所示薄膜晶体管 500 还包括位于衬底 101 与缓冲层 109 之间的遮光层 110。这里，有源层 102 在衬底 101 上的正投影与遮光层 110 在衬底 101 上的正投影至少部分重叠。在一些实施例中，遮光层 110 的材料可以包括钼等具有遮光性能金属材料。

10 遮光层 110 可以遮挡从衬底 101 远离有源层 102 的一侧的光（例如，在薄膜晶体管应用在液晶显示面板中的情况下由背光模组发出的光），以减小有源层 102 在光的照射产生的电流，从而减小薄膜晶体管 400 的漏电流。

需要说明的是，虽然图 3-图 5 示出的漏极 106 包括第二部分 126，但这并非是限制性的。在某些实施例中，漏极 106 也可以不包括第二部分 126。

图 6 是根据本公开一个实施例的阵列基板的结构示意图。

15 如图 6 所示，阵列基板 600 包括上述任意一个实施例提供的薄膜晶体管（例如薄膜晶体管 100/200/300/400/500）。

在一些实施例中，阵列基板 600 还可以包括平坦化层 201 和第一电极 202。

20 平坦化层 201 位于薄膜晶体管 400 的第二层间电介质层 105 远离第一层间电介质层 103 的一侧。平坦化层 201 具有使得薄膜晶体管 400 的漏极 106 的第二部分 126 的部分露出的开口 211，即开口 211 连接到第二部分 126。平坦化层 201 的材料例如可以包括树脂材料等。

第一电极 202 至少部分位于开口 211 中，并且与第二部分 126 接触。例如，第一电极 202 的一部分位于开口 211 的底部和侧壁上，其他部分位于平坦化层 201 上。

25 在一些实施例中，第一电极 202 可以为阳极。这种情况下，阵列基板还可以包括部分覆盖第一电极 202 的像素界定层。

在另一些实施例中，第一电极 202 可以为像素电极。在某些实施例中，阵列基板还可以包括公共电极（后文将结合图 7 进行说明）。在其他的实施例中，阵列基板也可以不包括公共电极，例如，公共电极可以设置在彩膜基板中。

图 7 是根据本公开另一个实施例的阵列基板的结构示意图。

30 与图 6 所示阵列基板 600 相比，图 7 所示阵列基板 700 还包括绝缘层 203 和公共

电极 204。绝缘层 203 位于第一电极 202 远离第二部分 126 的一侧，公共电极 204 位于绝缘层 203 远离第一电极 202 的一侧。绝缘层 203 将第一电极 202 和公共电极 204 隔离开，以使得第一电极 202 和公共电极 204 之间绝缘。在某些实施例中，绝缘层 203 可以覆盖平坦化层 201 的一部分。例如，绝缘层 203 的材料可以包括氮化硅等。

5 本公开实施例还提供了一种显示装置。显示装置可以包括上述任意一个实施例的阵列基板 600/700。在一些实施例中，显示装置例如可以是显示面板、移动终端、电视机、显示器、笔记本电脑、数码相框、导航仪、电子纸、虚拟现实系统等任何具有显示功能的产品或部件。

10 在一些实施例中，显示装置可以是有机发光二极管(Organic Light-Emitting Diode, OLED)显示面板。在另一些实施例中，显示装置可以是液晶显示面板。由于显示面板中的薄膜晶体管的源极和漏极位于不同层，减少了由于源极和漏极的搭接导致的暗点等显示不良现象的出现，提高了显示面板的显示效果。

图 8 是根据本公开一个实施例的薄膜晶体管的制造方法的流程示意图。图 9A-图 9G 示出了根据本公开一些实施例的形成薄膜晶体管的不同阶段得到的结构的截面示意图。下面结合图 8、图 9A-图 9G 介绍根据本公开一些实施例的薄膜晶体管的形成过程。

在步骤 802，形成位于衬底 101 一侧的有源层 102，如图 9A 所示。

20 在一些实现方式中，可以先形成位于衬底 101 的一侧的缓冲层 109，然后在缓冲层 109 远离衬底 101 的一侧形成有源层 102。在另一些实现方式中，可以先形成位于衬底 101 的一侧的遮光层 110，再形成位于衬底 101 的一侧、且覆盖遮光层 110 的缓冲层 109，然后在缓冲层 109 远离衬底 101 的一侧形成有源层 102。这里，有源层 102 在衬底 101 上的正投影与遮光层 110 在衬底 101 上的正投影至少部分重叠。

25 在一些实施例中，参见图 9A，在形成位于衬底 101 一侧的有源层 102 后，在有源层 102 远离衬底 101 的一侧形成栅极电介质层 107，然后在栅极电介质层 107 远离有源层 102 的一侧形成栅极 108。这样的方式可以形成顶栅型薄膜晶体管。在某些实现方式中，栅极电介质层 107 可以覆盖有源层 102。

在另一些实施例中，在形成位于衬底 101 一侧的有源层 102 前，可以在衬底 101 的一侧形成栅极，然后在栅极远离衬底 101 的一侧形成栅极电介质层。这样的方式可以形成底栅型薄膜晶体管。

30 在步骤 804，形成位于有源层 102 远离衬底 101 的一侧的第一层间电介质层 103，如

图 9B 所示。在一些实施例中，第一层间电介质层 103 可以位于栅极电介质层 107 远离衬底 101 的一侧、且覆盖栅极 108。

在步骤 806，形成贯穿第一层间电介质层 103、且连接到有源层 102 的源极 104。

例如，可以先形成贯穿第一层间电介质层 103 的第一开口 10，第一开口 10 使得有源层 102 的部分露出，如图 9C 所示。在一些实现方式中，第一开口 10 使得有源层 102 的上表面露出。在另一些实现方式中，第一开口 10 可以延伸到有源层 102 的上表面以下。例如，可以采用合适的刻蚀剂分别对第一层间电介质层 103 和有源层 102 进行刻蚀，以形成第一开口 10。然后，形成至少部分位于第一开口 10 中、且与有源层 102 接触的源极 104，如图 9D 所示。

在某些实施例中，在形成缓冲层 109 的情况下，所形成的第一开口 10 可以延伸到缓冲层 109 中，即，可以对有源层 102 进行过刻蚀，以减小工艺难度。这种情况下，源极 104 可以延伸到缓冲层 109 中。

在步骤 808，形成位于第一层间电介质层 103 远离有源层 102 的一侧、且覆盖源极 104 的第二层间电介质层 105，如图 9E 所示。

在步骤 810，形成漏极 106，从而形成薄膜晶体管。这里，漏极 106 至少包括第一部分 116。第一部分 116 贯穿第二层间电介质层 105 和第一层间电介质层 103、且连接到有源层 102。在某些实施例中，漏极 106 还包括与第一部分 116 连接的第二部分 126。第二部分 126 位于第二层间电介质层 105 远离第一层间电介质层 103 的一侧。在一些实施例中，第二部分 126 在衬底 101 上的正投影与源极 104 在衬底 101 上的正投影部分重叠。

例如，可以先形成贯穿第二层间电介质层 105 和第一层间电介质层 103 的第二开口 20，第二开口 20 使得有源层 102 的部分露出，如图 9F 所示。在一些实现方式中，第二开口 20 使得有源层 102 的上表面露出。在另一些实现方式中，第二开口 20 可以延伸到有源层 102 的上表面以下。然后，形成源极 106，如图 9G 所示。这里，源极 106 的第一部分 116 位于第二开口 20 中、且与有源层 102 接触。

在某些实施例中，在形成缓冲层 109 的情况下，所形成的第二开口 20 可以延伸到缓冲层 109 中，即，可以对有源层 102 进行过刻蚀，以减小工艺难度。这种情况下，第一部分 116 可以延伸到缓冲层 109 中。

至此，已经详细描述了本公开的各实施例。为了避免遮蔽本公开的构思，没有描述本领域所公知的一些细节。本领域技术人员根据上面的描述，完全可以明白如何实施这里公开的技术方案。

虽然已经通过示例对本公开的一些特定实施例进行了详细说明，但是本领域的技术人员应该理解，以上示例仅是为了进行说明，而不是为了限制本公开的范围。本领域的技术人员应该理解，可在不脱离本公开的范围和精神的情况下，对以上实施例进行修改或者对部分技术特征进行等同替换。本公开的范围由所附权利要求来限定。

权利要求

1、一种薄膜晶体管，包括：

位于衬底一侧的有源层；

第一层间电介质层，位于所述有源层远离所述衬底的一侧；

源极，贯穿所述第一层间电介质层、且连接到所述有源层；

第二层间电介质层，位于所述第一层间电介质层远离所述有源层的一侧、且覆盖所述源极；和

漏极，包括第一部分，所述第一部分贯穿所述第二层间电介质层和所述第一层间电介质层、且连接到所述有源层。

2、根据权利要求 1 所述的薄膜晶体管，其中，所述漏极还包括：

与所述第一部分连接的第二部分，位于所述第二层间电介质层远离所述第一层间电介质层的一侧，所述第二部分被配置为与第一电极连接。

3、根据权利要求 2 所述的薄膜晶体管，其中，所述漏极的第二部分在所述衬底上的正投影与所述源极在所述衬底上的正投影部分重叠。

4、根据权利要求 3 所述的薄膜晶体管，其中，所述漏极的第二部分在所述第二层间电介质层的表面上向朝向所述源极的方向延伸。

5、根据权利要求 1-4 任意一项所述的薄膜晶体管，其中，所述有源层具有第一凹陷和第二凹陷中的至少一个，其中：

所述源极与所述第一凹陷的底面和侧面接触，所述漏极的第一部分与所述第二凹陷的底面和侧面接触。

6、根据权利要求 5 所述的薄膜晶体管，其中，所述薄膜晶体管还包括位于所述衬底与所述有源层之间的缓冲层，其中，所述源极和所述漏极的第一部分中的至少一个延伸到所述缓冲层中。

7、根据权利要求 6 所述的薄膜晶体管，还包括：

遮光层，位于所述衬底与所述缓冲层之间；

其中，所述有源层在所述衬底上的正投影与所述遮光层在所述衬底上的正投影重叠。

8、根据权利要求 7 所述的薄膜晶体管，其中，所述薄膜晶体管包括栅极电介质层和栅极，其中：

所述栅极电介质层位于所述有源层远离所述衬底的一侧；

所述栅极位于所述栅极电介质层远离所述有源层的一侧；

所述第一层间电介质层位于所述栅极电介质层远离所述衬底的一侧、且覆盖所述栅极。

9、根据权利要求 8 所述的薄膜晶体管，其中，所述有源层的材料包括多晶硅。

10、一种阵列基板，包括：

如权利要求 1-9 任意一项所述的薄膜晶体管。

11、根据权利要求 10 所述的阵列基板，还包括：

平坦化层，位于所述薄膜晶体管的第二层间电介质层远离第一层间电介质层的一侧，所述平坦化层具有延伸到所述薄膜晶体管的漏极的第二部分的开口；和

第一电极，至少部分位于所述开口中、且与所述漏极的第二部分接触。

12、根据权利要求 11 所述的阵列基板，所述第一电极为像素阳极；

所述阵列基板还包括：绝缘层，位于所述第一电极远离所述漏极的第二部分的一侧；

公共电极，位于所述绝缘层远离所述第一电极的一侧。

13、根据权利要求 11 所述的阵列基板，其中，所述第一电极为阳极。

14、一种显示装置，包括：如权利要求 10-13 任意一项所述的阵列基板。

15、一种薄膜晶体管的制造方法，包括：

形成位于衬底一侧的有源层；

形成位于所述有源层远离所述衬底的一侧的第一层间电介质层；

形成贯穿所述第一层间电介质层、且连接到所述有源层的源极；

形成位于所述第一层间电介质层远离所述有源层的一侧、且覆盖所述源极的第二层间电介质层；和

形成漏极，所述漏极包括第一部分，所述第一部分贯穿所述第二层间电介质层和所述第一层间电介质层、且连接到所述有源层。

16、根据权利要求 15 所述的方法，其中，形成贯穿所述第一层间电介质层、且连接到所述有源层的源极包括：

形成贯穿所述第一层间电介质层的第一开口，所述第一开口使得所述有源层的部分露出；

形成至少部分位于所述第一开口中、且与所述有源层接触的所述源极。

17、根据权利要求 16 所述的方法，其中，形成漏极包括：

形成贯穿所述第二层间电介质层和所述第一层间电介质层的第二开口，所述第二开口使得所述有源层的部分露出；

形成所述漏极，其中，所述漏极的第一部分位于所述第二开口中、且与所述有源层接触。

18、根据权利要求 17 所述的方法，其中，形成位于所述衬底一侧的有源层包括：

形成位于所述衬底的所述一侧的缓冲层；

在所述缓冲层远离所述衬底的一侧形成所述有源层；

其中，所述源极和所述漏极的第一部分中的至少一个延伸到所述缓冲层中。

19、根据权利要求 18 所述的方法，其中，形成位于所述衬底的所述一侧的缓冲层包括：

形成位于所述衬底的所述一侧的遮光层；

形成位于所述衬底的所述一侧、且覆盖所述遮光层的所述缓冲层；

其中，所述有源层在所述衬底上的正投影与所述遮光层在所述衬底上的正投影至少部分重叠。

20、根据权利要求 19 所述的方法，还包括：

在形成位于所述衬底一侧的有源层后，在所述有源层远离所述衬底的一侧形成栅极电介质层；

在所述栅极电介质层远离所述有源层的一侧形成栅极；

其中，所述第一层间电介质层位于所述栅极电介质层远离所述衬底的一侧、且覆盖所述栅极。

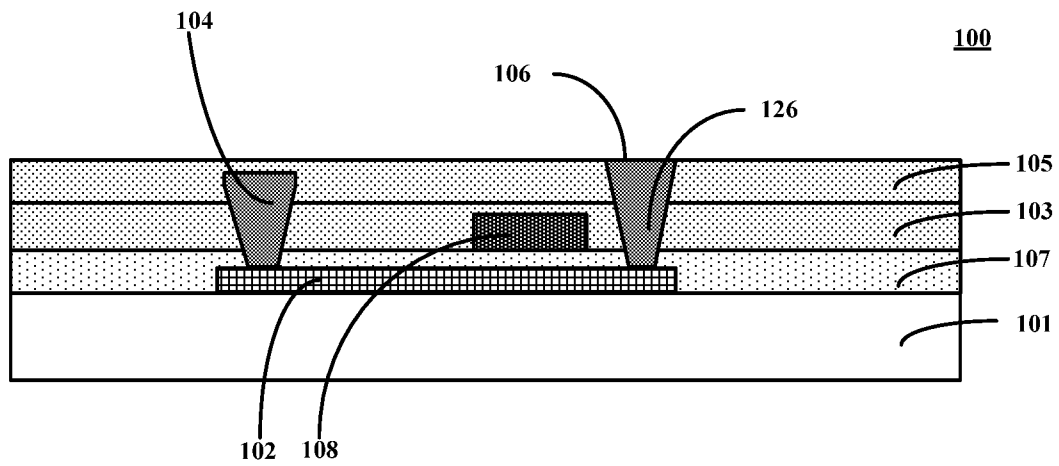


图 1

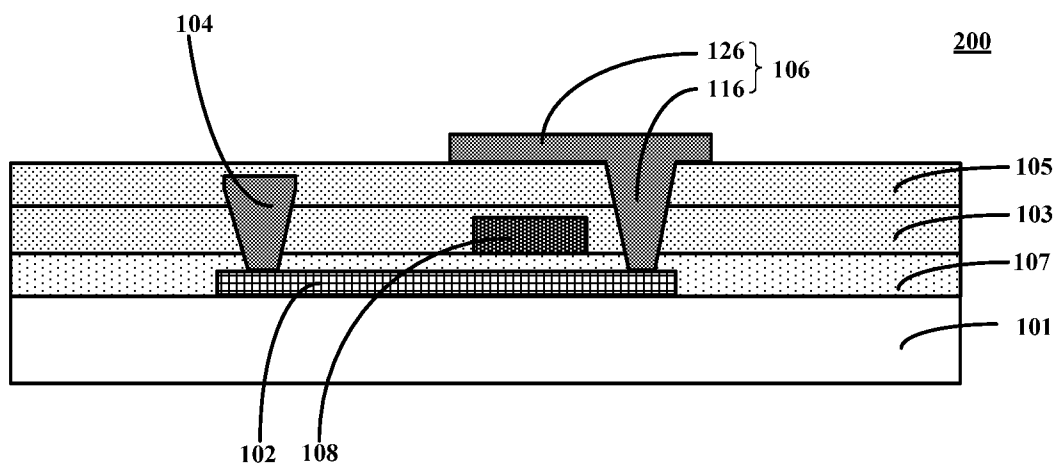


图 2

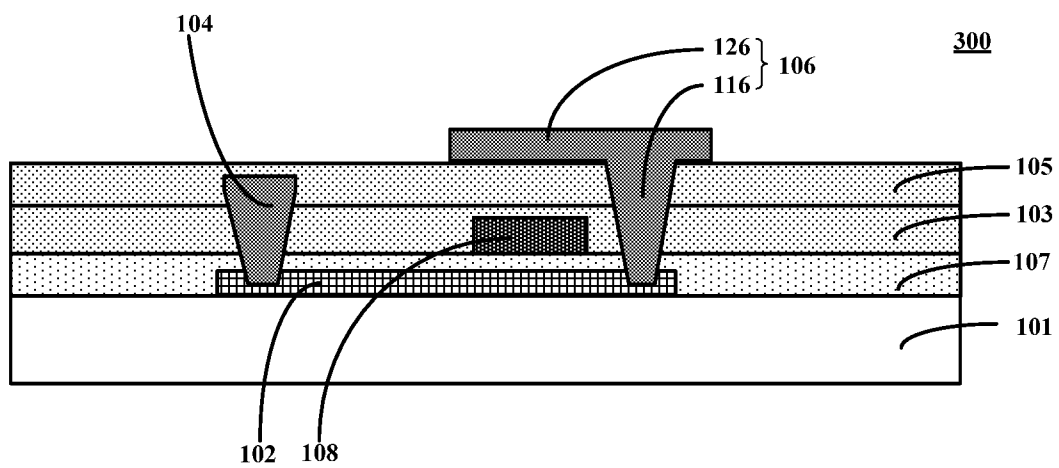


图 3

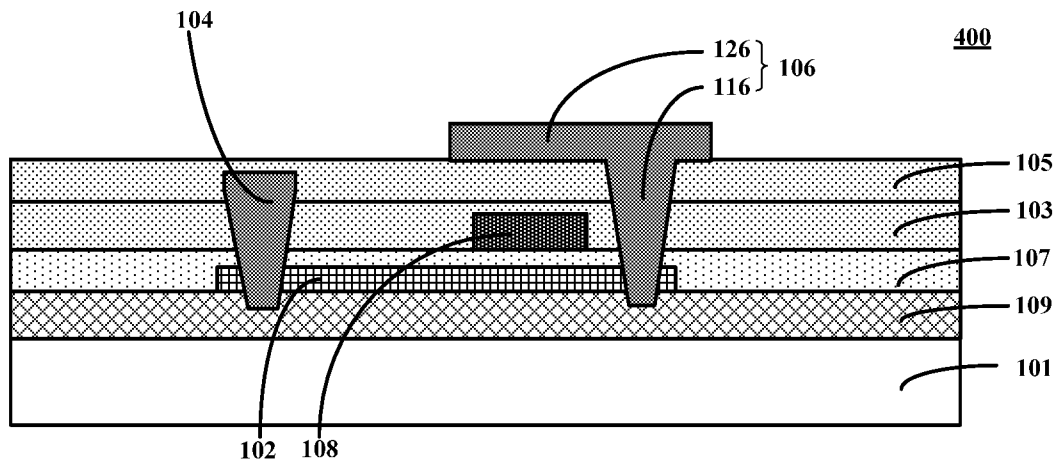


图 4

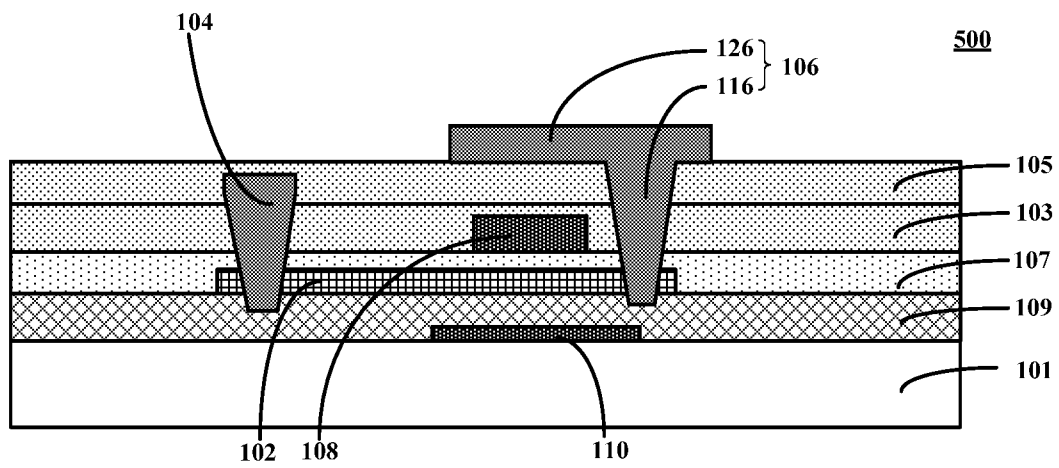


图 5

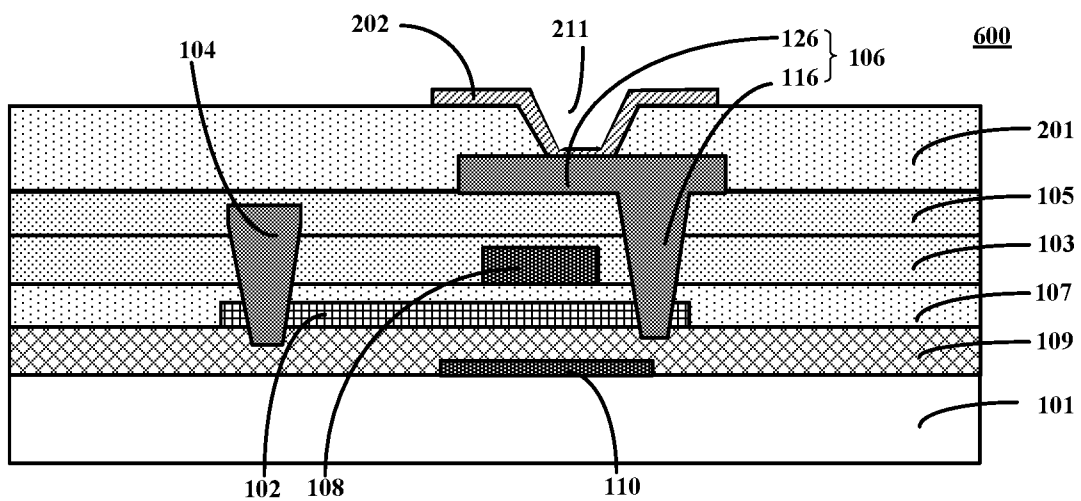


图 6

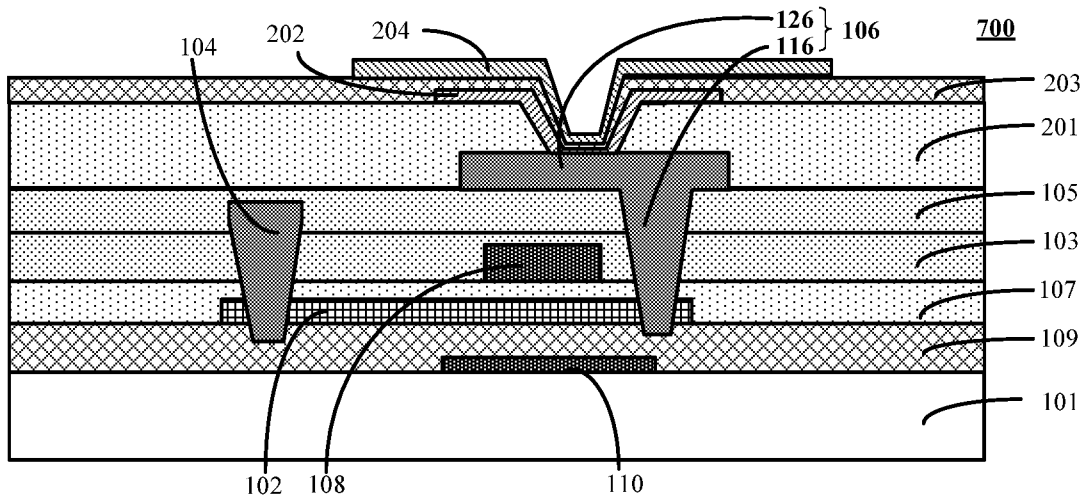


图 7

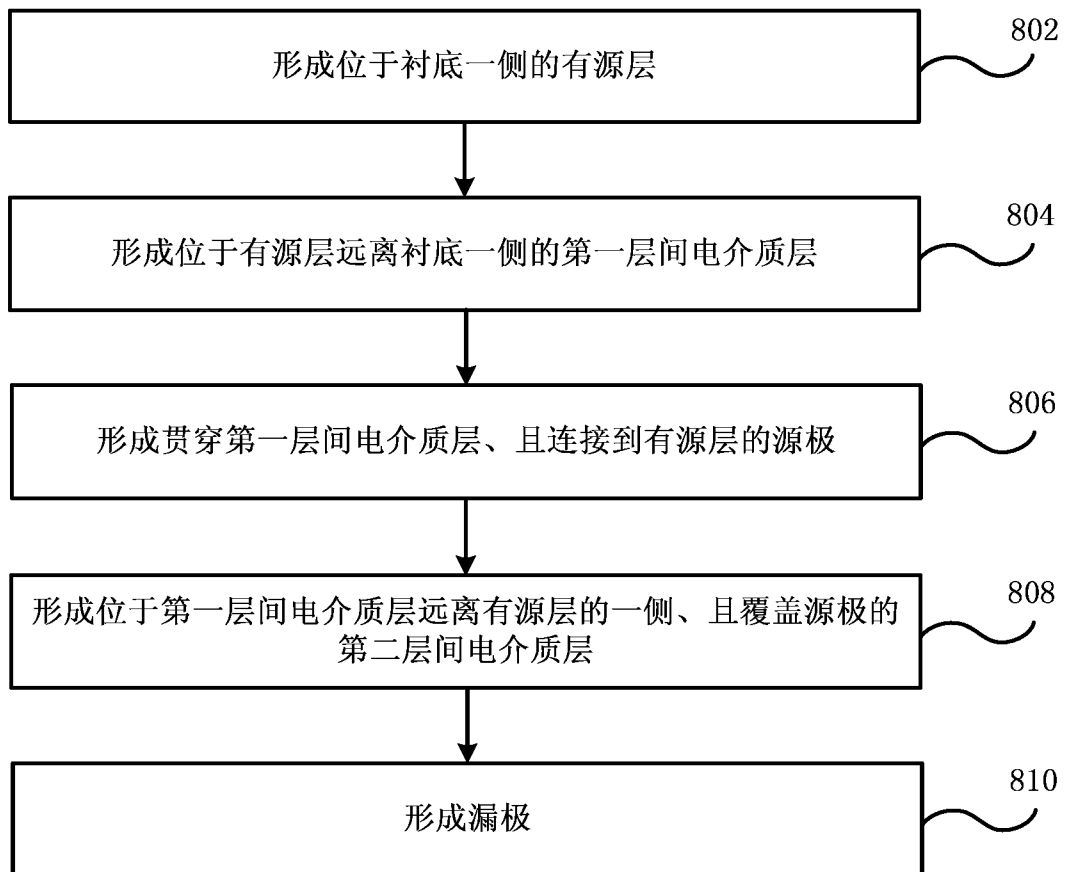


图 8

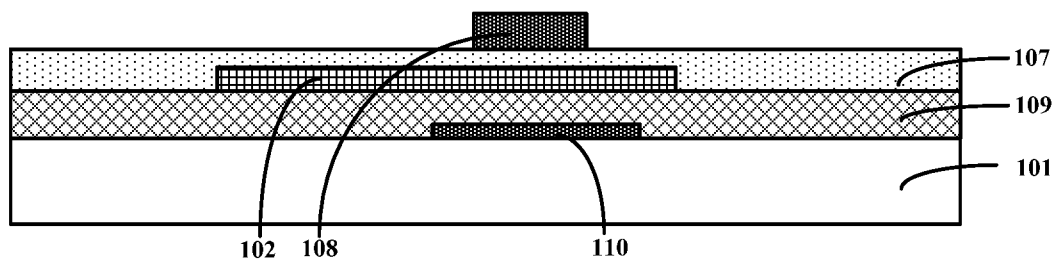


图 9A

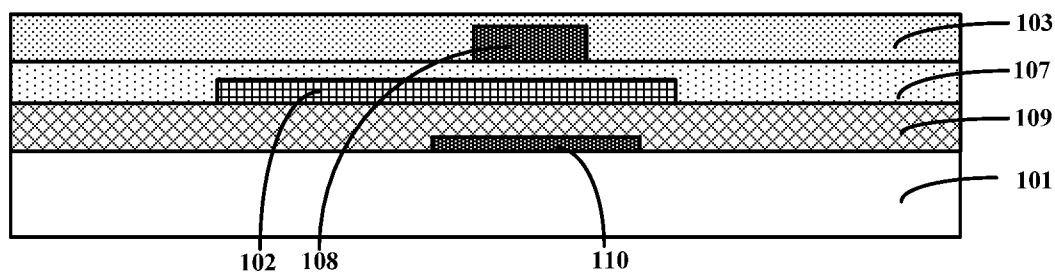


图 9B

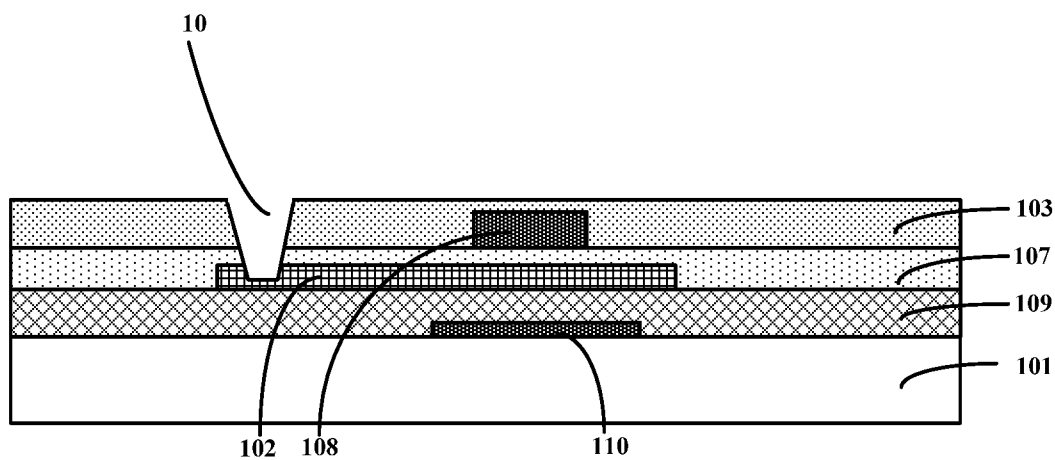


图 9C

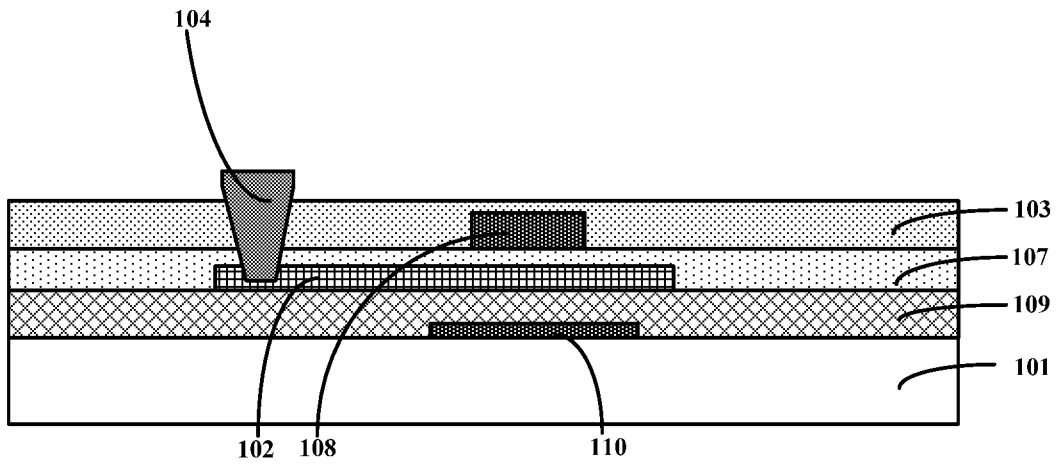


图 9D

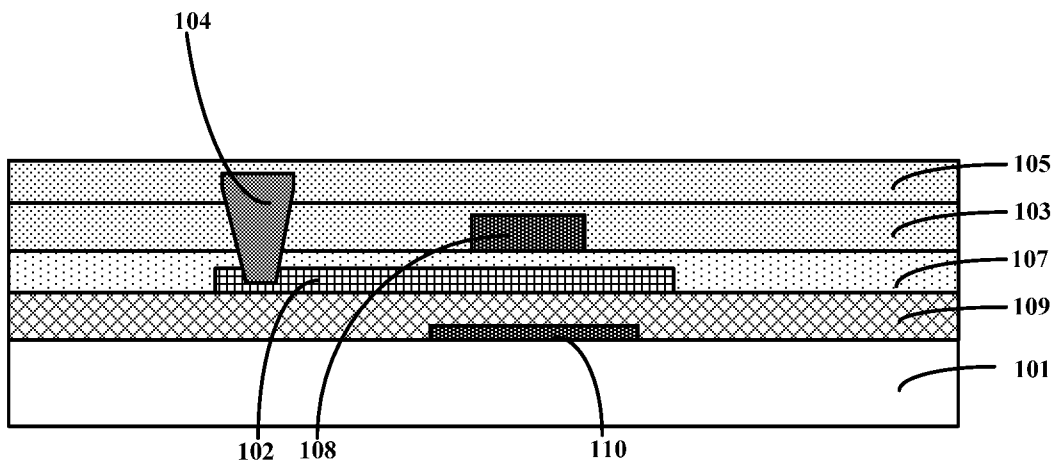


图 9E

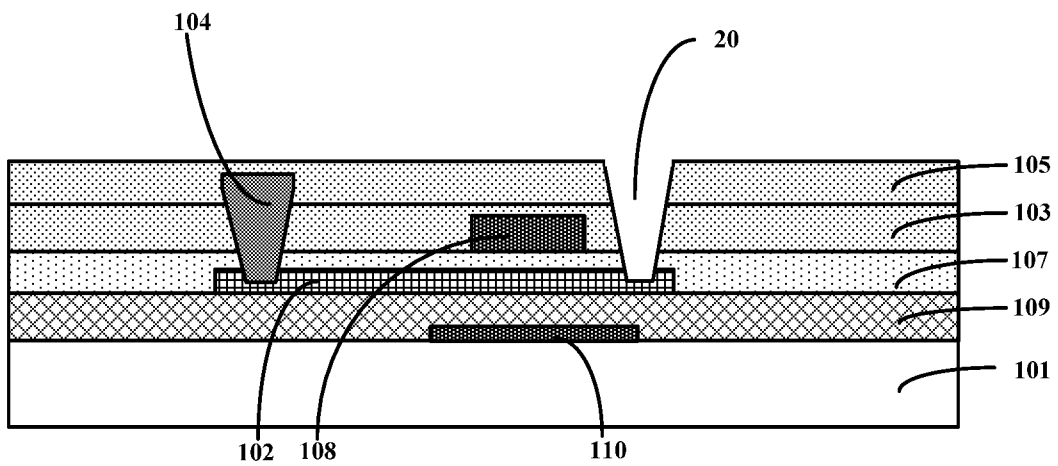


图 9F

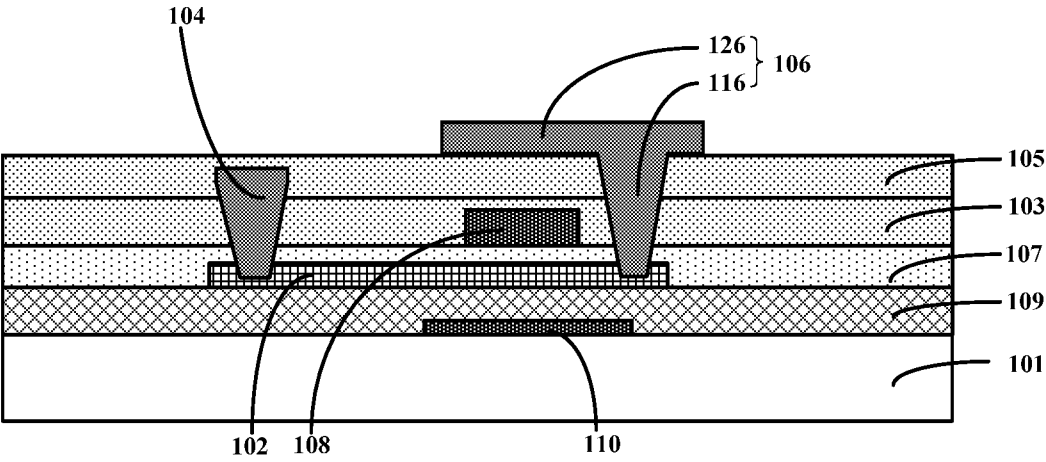


图 9G

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/073580

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i; H01L 29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; CNABS; CNKI; IEEE: 漏极, 层间, 源极, 介电, 介质, 晶体管, 有源, active, dielectric, interlayer, drain, source, TFT, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 106020544 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 12 October 2016 (2016-10-12) description, paragraphs 36-38, and figure 2	1-20
Y	CN 107134474 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 05 September 2017 (2017-09-05) description, paragraphs 23-44, and figures 1A-1M	1-20
A	CN 105785676 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 July 2016 (2016-07-20) entire document	1-20
A	CN 108122928 A (LG DISPLAY CO., LTD.) 05 June 2018 (2018-06-05) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 October 2019

Date of mailing of the international search report

13 November 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/073580

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106020544	A	12 October 2016	CN	106020544	B	22 January 2019
CN	107134474	A	05 September 2017	None			
CN	105785676	A	20 July 2016	US	2018149933	A1	31 May 2018
				US	10180608	B2	15 January 2019
				CN	105785676	B	11 December 2018
				WO	2017185428	A1	02 November 2017
CN	108122928	A	05 June 2018	EP	3331023	A1	06 June 2018
				US	2018151654	A1	31 May 2018
				KR	20180061723	A	08 June 2018

国际检索报告

国际申请号

PCT/CN2019/073580

A. 主题的分类

H01L 27/32(2006.01)i; H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI;CNABS;CNKI;IEEE:漏极, 层间, 源极, 介电, 介质, 晶体管, 有源, active, dielectric, interlayer, drain, source, TFT, transistor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 106020544 A (京东方科技集团股份有限公司 等) 2016年 10月 12日 (2016 - 10 - 12) 说明书第36-38段, 图2	1-20
Y	CN 107134474 A (武汉华星光电半导体显示技术有限公司) 2017年 9月 5日 (2017 - 09 - 05) 说明书第23-44段, 图1A-1M	1-20
A	CN 105785676 A (武汉华星光电技术有限公司) 2016年 7月 20日 (2016 - 07 - 20) 全文	1-20
A	CN 108122928 A (乐金显示有限公司) 2018年 6月 5日 (2018 - 06 - 05) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 10月 29日

国际检索报告邮寄日期

2019年 11月 13日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

窦明生

电话号码 62411819

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/073580

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	106020544	A	2016年 10月 12日	CN	106020544	B		2019年 1月 22日	
CN	107134474	A	2017年 9月 5日	无					
CN	105785676	A	2016年 7月 20日	US	2018149933	A1		2018年 5月 31日	
				US	10180608	B2		2019年 1月 15日	
				CN	105785676	B		2018年 12月 11日	
				WO	2017185428	A1		2017年 11月 2日	
CN	108122928	A	2018年 6月 5日	EP	3331023	A1		2018年 6月 6日	
				US	2018151654	A1		2018年 5月 31日	
				KR	20180061723	A		2018年 6月 8日	