



(12) 发明专利

(10) 授权公告号 CN 108140637 B

(45) 授权公告日 2021.08.17

(21) 申请号 201680056896.2

(72) 发明人 R·库玛 C-K·金 M·沙

(22) 申请日 2016.09.27

(74) 专利代理机构 北京市金杜律师事务所

(65) 同一申请的已公布的文献号

申请公布号 CN 108140637 A

11256

(43) 申请公布日 2018.06.08

代理人 王茂华 崔卿虎

(30) 优先权数据

62/236,766 2015.10.02 US

(51) Int.CI.

H01L 25/065 (2006.01)

15/097,719 2016.04.13 US

H01L 23/66 (2006.01)

(85) PCT国际申请进入国家阶段日

H01L 23/552 (2006.01)

2018.03.29

H01L 25/16 (2006.01)

(86) PCT国际申请的申请数据

(56) 对比文件

PCT/US2016/054021 2016.09.27

US 2007/0013060 A1, 2007.01.18

(87) PCT国际申请的公布数据

US 2007/0013060 A1, 2007.01.18

W02017/058825 EN 2017.04.06

CN 104347533 A, 2015.02.11

(73) 专利权人 高通股份有限公司

US 2003/0038355 A1, 2003.02.27

地址 美国加利福尼亚州

审查员 龚雪薇

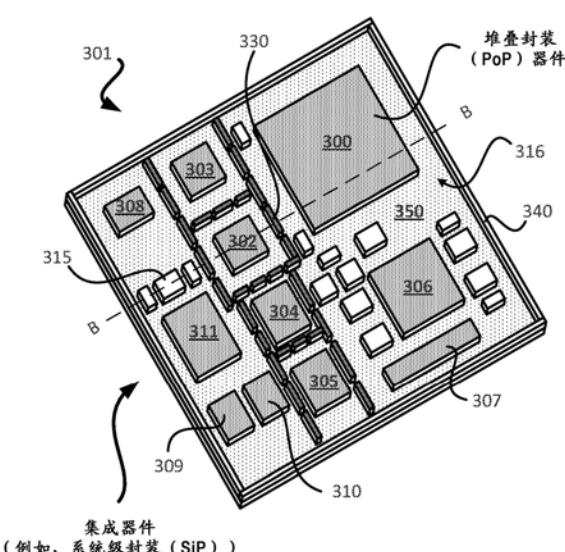
权利要求书3页 说明书25页 附图24页

(54) 发明名称

包括嵌入式堆叠封装(PoP)器件的集成器件

(57) 摘要

一种集成器件包括印刷电路板(PCB)和耦合到印刷电路板(PCB)的堆叠封装(PoP)器件。堆叠封装(PoP)器件包括包含第一电子封装组件(例如,第一管芯)的第一封装件和耦合到第一封装件的第二封装件。集成器件包括形成在第一封装件与第二封装件之间的第一包封层。集成器件包括至少部分地包封堆叠封装(PoP)器件的第二包封层。集成器件被配置为提供蜂窝功能、无线保真功能和蓝牙功能。在一些实现中,第一包封层与第二包封层分离。在一些实现中,第二包封层包括第一包封层。堆叠封装(PoP)器件包括位于第一封装件与第二封装件之间的间隙控制件。



1. 一种集成器件，包括：

印刷电路板 (PCB)；

堆叠封装 (PoP) 器件，耦合到所述印刷电路板 (PCB)，其中所述堆叠封装 (PoP) 器件包括：

第一封装件，包括第一电子封装组件；

第二封装件，耦合到所述第一封装件，使得在所述第一电子封装组件与所述第二封装件之间存在间隔，其中所述间隔为100微米 (μm) 或更小；以及

间隙控制件，被配置为提供所述第一封装件与所述第二封装件之间的空间，所述间隙控制件包括间隔件和粘合层；

第一包封层，形成在所述第一封装件与所述第二封装件之间，使得所述第一包封层耦合到所述第一封装件和所述第二封装件；以及

第二包封层，至少部分地包封所述堆叠封装 (PoP) 器件，

其中所述第一包封层被配置为至少部分地包封包括所述间隔件和所述粘合层的所述间隙控制件。

2. 根据权利要求1所述的集成器件，其中所述第二包封层包括所述第一包封层。

3. 根据权利要求1所述的集成器件，其中所述第一包封层与所述第二包封层分离。

4. 根据权利要求1所述的集成器件，进一步包括耦合到所述印刷电路板 (PCB) 的至少一个电子封装组件，其中所述至少一个电子封装组件在所述堆叠封装 (PoP) 器件外部。

5. 根据权利要求4所述的集成器件，其中所述堆叠封装 (PoP) 器件和所述至少一个电子封装组件被配置为提供蜂窝功能、无线保真 (WiFi) 功能和蓝牙功能。

6. 根据权利要求4所述的集成器件，其中所述集成器件被配置为提供全球定位系统 (GPS) 功能、无线保真 (WiFi) 功能、蓝牙功能和至少一个射频前端 (RFFE) 功能。

7. 根据权利要求6所述的集成器件，其中至少一个射频前端 (RFFE) 功能包括全球移动通信系统 (GSM)、宽带码分多址 (WCDMA)、频分双工长期演进 (FDD-LTE)、和/或时分双工长期演进 (TDD-LTE)。

8. 根据权利要求4所述的集成器件，进一步包括被配置为至少部分地围绕所述至少一个电子封装组件的内部屏蔽件，其中所述内部屏蔽件被配置为将所述至少一个电子封装组件与所述堆叠封装 (PoP) 器件隔离。

9. 根据权利要求8所述的集成器件，进一步包括形成在所述第二包封层之上的外部屏蔽件，其中所述外部屏蔽件耦合到所述内部屏蔽件。

10. 根据权利要求1所述的集成器件，其中所述间隙控制件位于所述第一封装件与所述第二封装件之间，并且被配置为在所述第一封装件与所述第二封装件之间提供最小间隙，其中所述最小间隙为10微米 (μm) 或更大。

11. 根据权利要求10所述的集成器件，其中所述第二封装件包括第二封装件衬底，并且所述间隙控制件位于所述第一电子封装组件与所述第二封装件衬底之间。

12. 根据权利要求11所述的集成器件，其中所述第一包封层形成在所述第一电子封装组件与所述第二封装件衬底之间。

13. 根据权利要求11所述的集成器件，其中所述第一电子封装组件与所述第二封装件衬底之间的间隙为100微米 (μm) 或更小。

14. 根据权利要求10所述的集成器件，其中所述第二封装件包括第二重新分配部分，并且所述间隙控制件位于所述第一电子封装组件与所述第二重新分配部分之间。

15. 根据权利要求14所述的集成器件，其中所述第一包封层形成在所述第一电子封装组件与所述第二重新分配部分之间。

16. 根据权利要求10所述的集成器件，其中所述间隙控制件耦合到所述第一封装件，但是不与所述第二封装件耦合。

17. 根据权利要求1所述的集成器件，其中所述第一包封层填充所述第一电子封装组件与所述第二封装件之间的至少大部分空间。

18. 根据权利要求1所述的集成器件，其中所述集成器件被包含到从这样的组选择的设备中，所述组包括以下各项：娱乐单元、导航设备、通信设备、个人数字助理、固定位置终端、计算机、可穿戴设备、物联网(IoT)设备、服务器和机动车辆中的设备。

19. 根据权利要求18所述的集成器件，其中

所述计算机包括平板计算机或膝上型计算机；

所述娱乐单元包括音乐播放器或视频播放器；或者

所述通信设备包括移动电话。

20. 根据权利要求1所述的集成器件，其中所述第一包封层形成在所述第一电子封装组件与所述第二封装件之间，使得所述第一包封层耦合到所述第一电子封装组件和所述第二封装件。

21. 根据权利要求1所述的集成器件，其中所述第一包封层形成在所述第一封装件与所述第二封装件之间，使得所述第一包封层包封所述第一电子封装组件的侧部和顶部。

22. 根据权利要求1所述的集成器件，其中所述第一封装件被配置为通过多个封装互连来电耦合到所述第二封装件，所述多个封装互连由所述第一包封层包封。

23. 根据权利要求1所述的集成器件，其中所述集成器件具有52mm(W)×52mm(L)×2mm(H)或更小的尺寸。

24. 根据权利要求1所述的集成器件，其中所述集成器件具有26mm(W)×26mm(L)×1.8mm(H)与52mm(W)×52mm(L)×2mm(H)之间的尺寸。

25. 根据权利要求1所述的集成器件，其中所述集成器件被配置为提供蜂窝功能、无线保真(WiFi)功能和蓝牙功能。

26. 根据权利要求1所述的集成器件，其中所述间隔件的顶部直接耦合到所述粘合层，并且所述粘合层的顶部直接耦合到所述第一包封层。

27. 根据权利要求1所述的集成器件，其中所述间隙控制件直接接触所述第一电子封装组件，但不直接接触所述第二封装件。

28. 一种电子装置，包括：

印刷电路板(PCB)；

堆叠封装(PoP)器件，耦合到所述印刷电路板(PCB)，其中所述堆叠封装(PoP)器件包括：

第一封装件，包括第一电子封装组件；

第二封装件，耦合到所述第一封装件；以及

间隙控制件，被配置为提供所述第一封装件与所述第二封装件之间的空间，所述间隙

控制件包括间隔件和粘合层；

第一包封层，形成在所述第一封装件与所述第二封装件之间，使得所述第一包封层耦合到所述第一封装件和所述第二封装件；以及

第二包封层，至少部分地包封所述堆叠封装 (PoP) 器件，

其中所述第一包封层被配置为至少部分地包封包括所述间隔件和所述粘合层的所述间隙控制件，

其中所述装置具有 $52\text{mm (W)} \times 52\text{mm (L)} \times 2\text{mm (H)}$ 或更小的尺寸。

29. 根据权利要求28所述的电子装置，其中所述第二包封层包括所述第一包封层。

30. 根据权利要求28所述的电子装置，其中所述第一包封层与所述第二包封层分离。

31. 根据权利要求28所述的电子装置，进一步包括耦合到所述印刷电路板 (PCB) 的至少一个电子封装组件，其中所述至少一个电子封装组件在所述堆叠封装 (PoP) 器件外部。

32. 根据权利要求31所述的电子装置，其中所述堆叠封装 (PoP) 器件和所述至少一个电子封装组件被配置为提供蜂窝功能部件、无线保真 (WiFi) 功能部件和蓝牙功能部件。

33. 根据权利要求28所述的电子装置，其中所述间隙控制件位于所述第一封装件与所述第二封装件之间，并且被配置为在所述第一封装件与所述第二封装件之间提供最小间隙。

34. 一种用于制造集成器件的方法，包括：

提供印刷电路板 (PCB)；

将堆叠封装 (PoP) 器件耦合到所述印刷电路板 (PCB)，其中耦合所述堆叠封装 (PoP) 器件包括：

提供包括第一电子封装组件的第一封装件；

将第二封装件耦合到所述第一封装件，使得在所述第一电子封装组件与所述第二封装件之间存在间隔，其中所述间隔在 10 至 100 微米 (μm) 的范围内；以及

形成间隙控制件，其被配置为提供所述第一封装件与所述第二封装件之间的空间，所述间隙控制件包括间隔件和粘合层；

在所述第一封装件与所述第二封装件之间形成第一包封层，使得所述第一包封层耦合到所述第一封装件和所述第二封装件；以及

形成至少部分地包封所述堆叠封装 (PoP) 器件的第二包封层，

其中所述第一包封层被配置为至少部分地包封包括所述间隔件和所述粘合层的所述间隙控制件，

其中所述集成器件具有 $52\text{mm (W)} \times 52\text{mm (L)} \times 2\text{mm (H)}$ 或更小的尺寸。

35. 根据权利要求34所述的方法，其中所述第二包封层包括所述第一包封层。

36. 根据权利要求34所述的方法，其中所述第一包封层与所述第二包封层分离。

37. 根据权利要求34所述的方法，进一步包括耦合到所述印刷电路板 (PCB) 的至少一个电子封装组件，其中所述至少一个电子封装组件在所述堆叠封装 (PoP) 器件外部。

包括嵌入式堆叠封装 (PoP) 器件的集成器件

[0001] 优先权声明/权益声明

[0002] 本申请要求于2015年10月2日在美国专利和商标局提交的美国临时申请号62/236,766以及于2016年4月13日在美国专利和商标局提交的美国非临时申请号15/097,719的优先权和权益,这两者通过引用明确地并入本文。

技术领域

[0003] 各种特征可以涉及一种集成器件,并且更具体地涉及一种包括嵌入式堆叠封装 (PoP) 器件的集成器件。

背景技术

[0004] 诸如智能电话、平板电脑的移动设备、物联网 (IoT) 等需要多个组件、芯片组等。通常,这些组件在具有一个或多个集成电路的印刷电路板上提供。将这些组件封装在一起成为产品变得越来越具有挑战性。图1示出了集成器件100,其包括印刷电路板 (PCB) 102、第一集成电路 (IC) 封装件104、第二集成电路 (IC) 封装件106、无源组件108(例如,电容器) 和盖子130。第一集成电路 (IC) 封装件104、第二集成电路 (IC) 封装件106和无源组件108耦合到印刷电路板 (PCB) 102。

[0005] 盖子130耦合到印刷电路板 (PCB) 102。盖子130可以是覆盖和保护第一集成电路 (IC) 封装件104、第二集成电路 (IC) 封装件106 和无源组件108免于外部环境的金属材料。盖子130的使用导致集成器件100中出现空隙。因此,在集成器件100中存在浪费的空间。集成器件100中的这种浪费的空间限制了集成器件100可以有多小,其进而限制了其中可以实现集成器件的设备的类型。

[0006] 减小集成器件的尺寸造成了若干技术障碍和挑战。首先,随着集成电路 (IC) 被封装为彼此靠得更近,它们开始实质上相互干扰,这可能导致一个或多个不起作用的IC。其次,将IC更紧密地封装在集成器件中可能会引起结构缺陷,这可能导致有缺陷的或不起作用的集成器件。

[0007] 图2示出了当IC被紧密地封装在一起时的这样的缺陷的示例。如图所示,图2示出了堆叠封装 (PoP) 器件200,其包括第一封装件202、第二封装件204和空隙290。第一封装件202包括第一管芯 220、第一封装件衬底222和第一包封层250。第一封装件衬底222 包括第一个焊盘224和第一焊盘226。第一管芯220通过第一个焊球228耦合到第一封装件衬底222。具体地,第一管芯220通过第一个焊球228耦合到第一个焊盘224。第二个焊球236耦合到第一封装件衬底222。

[0008] 第二封装件204包括第二管芯240、第二封装件衬底242、第二焊盘246、第三个焊球256和第二包封层260。第二管芯240耦合到第二封装件衬底242。第二封装件204通过第三个焊球256耦合到第一封装件202。例如,第三个焊球256耦合到第一封装件衬底 222的第一个焊盘226和第二封装件204的第二焊盘246。

[0009] 图2示出了第一管芯220与第二封装件204的第二封装件衬底 242之间的空隙290。

空隙290是第一包封层250中的空间。当第一管芯220与第二封装件衬底242之间的间隙或空间太小或太窄以致不能允许第一包封层250完全流入第一管芯220与第二封装件衬底242之间时,空隙290可能发生。

[0010] 由于在这个空间周围缺乏结构支撑,空隙290的存在会引起堆叠封装(PoP)器件200中发生翘曲和/或变形(如箭头所示)。翘曲和/或变形的一个不期望的副作用是可能发生在第三多个焊球256与第一焊盘226和第二焊盘246之间的弱接合点和/或开放接合点。例如,如图2所示,堆叠封装(PoP)器件200上的翘曲和/或变形引起第一焊盘226与第二焊盘246之间的分离增加,这有效地拉伸了第三多个焊球256(如箭头所示),并且导致堆叠封装(PoP)器件200中产生较弱的接合点和/或开放接合点。弱接合点和/或开放接合点可以防止信号正确地穿过堆叠封装(PoP)器件,导致有缺陷的堆叠封装(PoP)器件。因此,为了避免这种负面影响,第一管芯220与第二封装件衬底242之间的间隙或空间必须增加,这有效地增加了堆叠封装(PoP)器件200的尺寸,这是不期望的。

[0011] 期望减小器件和封装件的尺寸、高度和/或空间,使得这些器件和封装件被放置在较小的设备中。理想地,这样的器件或封装件将具有更好的形状因子,制造更便宜,同时满足移动设备、物联网(IoT)设备和/或可穿戴设备的需求和/或要求。

发明内容

[0012] 各种特征一般地涉及一种集成器件,并且更具体地涉及一种包括嵌入式堆叠封装(PoP)器件的集成器件。在一些实施例中,用于设备的各种组件被组合成单个封装件,导致系统级封装(SiP)。SiP可以包括诸如应用处理器、调制解调器、WiFi、全球定位系统、蓝牙、射频组件等多个组件,以提供诸如移动电话、IoT设备等功能移动通信设备。在一些实施例中,SiP可以被提供作为气密密封封装件。在SiP内,组件可以例如利用模制材料来被覆盖或包封,并且在模制中使用一层或多层导电材料彼此隔离。导电层可以提供信号隔离、降噪,提高气密性以及SiP的可靠性和耐用性。

[0013] 例如,一种集成器件可以包括印刷电路板(PCB)和耦合到印刷电路板(PCB)的堆叠封装(PoP)器件。堆叠封装(PoP)器件包括:包括第一管芯的第一封装件、耦合到第一封装件的第二封装件、以及形成在第一管芯与第二封装件之间的第一包封层。集成器件包括至少部分地包封堆叠封装(PoP)器件的第二包封层。集成器件被配置为提供蜂窝功能、无线保真(WiFi)功能和蓝牙功能。

[0014] 另一示例提供了一种装置,其包括印刷电路板(PCB)和耦合到印刷电路板(PCB)的堆叠封装(PoP)器件。堆叠封装(PoP)器件包括:包括第一电子封装组件的第一封装件、以及耦合到第一封装件的第二封装件。该装置包括形成在第一封装件与第二封装件之间的第一包封层、以及至少部分地包封堆叠封装(PoP)器件的第二包封层。该装置被配置为提供蜂窝功能部件、无线保真(WiFi)功能部件和蓝牙功能部件。

[0015] 另一示例提供了一种用于制造集成器件的方法。该方法提供印刷电路板(PCB)。该方法将堆叠封装(PoP)器件耦合到印刷电路板(PCB)。将堆叠封装(PoP)器件耦合包括提供包括第一电子封装组件的第一封装件,以及将第二封装件耦合到第一封装件。该方法在第一封装件与第二封装件之间形成第一包封层。该方法形成至少部分地包封堆叠封装(PoP)器件的第二包封层。该集成器件配置为提供蜂窝功能、无线保真(WiFi)功能和蓝牙功能。

附图说明

- [0016] 根据下面结合附图阐述的详细描述,各个特征、本质和优点可以变得很清楚,在附图中相同的参考标记始终对应地标识。
- [0017] 图1示出了包括若干封装件的集成器件的视图。
- [0018] 图2示出了堆叠封装(PoP)器件的截面图。
- [0019] 图3示出了包括嵌入式堆叠封装(PoP)器件的集成器件的视图。
- [0020] 图4示出了包括嵌入式堆叠封装(PoP)器件的集成器件的剖面图。
- [0021] 图5示出了包括嵌入式堆叠封装(PoP)器件的另一集成器件的剖面图。
- [0022] 图6示出了包括嵌入式堆叠封装(PoP)器件的另一集成器件的剖面图。
- [0023] 图7示出了包括嵌入式堆叠封装(PoP)器件的另一集成器件的剖面图。
- [0024] 图8示出了用于制造包括嵌入式堆叠封装(PoP)器件的集成器件的序列的示例。
- [0025] 图9示出了用于制造包括嵌入式堆叠封装(PoP)器件的另一集成器件的序列的示例。
- [0026] 图10示出了用于制造包括嵌入式堆叠封装(PoP)器件的集成器件的示例性方法的流程图。
- [0027] 图11示出了包括嵌入式堆叠封装(PoP)器件的集成器件的封装件、电路和应用。
- [0028] 图12示出了包括间隙控制件的堆叠封装(PoP)器件的截面图。
- [0029] 图13示出了间隙控制件的示例。
- [0030] 图14示出了间隙控制件的另一示例。
- [0031] 图15示出了间隙控制件的另一示例。
- [0032] 图16示出了包括间隙控制件的另一堆叠封装(PoP)器件的截面图。
- [0033] 图17示出了包括间隙控制件的另一堆叠封装(PoP)器件的截面图。
- [0034] 图18示出了包括间隙控制件的另一堆叠封装(PoP)器件的截面图。
- [0035] 图19示出了包括间隙控制件的另一堆叠封装(PoP)器件的截面图。
- [0036] 图20示出了包括间隙控制件的另一堆叠封装(PoP)器件的截面图。
- [0037] 图21(其包括图21A至图21C)示出了用于制造包括间隙控制件的封装件的序列的示例。
- [0038] 图22示出了用于制造包括间隙控制件的堆叠封装(PoP)器件的序列的示例。
- [0039] 图23(其包括图23A至图23B)示出了用于制造包括间隙控制件的封装件的序列的示例。
- [0040] 图24示出了用于制造包括间隙控制件的堆叠封装(PoP)器件的序列的示例。
- [0041] 图25示出了用于制造包括间隙控制件的堆叠封装(PoP)器件的示例性方法的流程图。
- [0042] 图26示出了可以包括本文中描述的各种集成器件、集成器件封装件、半导体器件、管芯、集成电路和/或封装件的各种电子设备。

具体实施方式

- [0043] 在以下描述中,给出具体细节以提供对本公开的各个方面的透彻理解。然而,本领域普通技术人员将理解,可以在没有这些具体细节的情况下实践这些方面。例如,可以以框

图示出电路以便避免不必要的细节模糊各方面。在其他情况下,可以没有详细示出公知的电路、结构和技术,以免模糊本公开的各方面。

[0044] 一些特征涉及一种包括印刷电路板 (PCB) 和耦合到印刷电路板 (PCB) 的堆叠封装 (PoP) 器件的集成器件。堆叠封装 (PoP) 器件包括:包括第一电子封装组件(例如,第一管芯)的第一封装件、以及耦合到第一封装件的第二封装件。集成器件包括形成在第一封装件与第二封装件之间的第一包封层。集成器件包括至少部分地包封堆叠封装 (PoP) 器件的第二包封层。集成器件被配置为提供蜂窝功能、无线保真 (WiFi) 功能和蓝牙功能。在一些实现中,第一包封层与第二包封层分离。在一些实现中,第二包封层包括第一包封层。堆叠封装 (PoP) 器件包括位于第一封装件与第二封装件之间的至少一个间隙控制件。集成器件包括集成器件和/或系统级封装 (SiP)。

[0045] 在一些实现中,器件和/或封装件的高度可以沿着封装件的Z方向来定义,这在本公开的图中示出。在一些实现中,器件和/或封装件的Z方向可以沿器件和/或封装件的顶部部分与底部部分之间的轴线来定义。术语顶部和底部可以是任意指定的,然而作为示例,器件和/或封装件的顶部部分可以是包括包封层的部分,而封装件的底部部分可以是包括重新分配部分或多个焊球的部分。在一些实现中,封装件的顶部部分可以是封装件的背面,并且封装件的底部部分可以是封装件的正面。封装件的正面可以是封装件的有源侧。顶部部分可以是相对于较低部分的较高部分。底部部分可以是相对于较高部分的较低部分。下面将进一步描述顶部部分和底部部分的其他示例。

[0046] 封装件的X-Y方向可以是指封装件的横向方向和/或占地。X-Y 方向的示例在本公开的图中示出以及/或者在下面进一步描述。在本公开的很多附图中,器件和/或封装件及其相应组件在X-Z截面或X-Z 平面上示出。然而,在一些实现中,封装件及其代表性组件可以在 Y-Z截面或Y-Z平面上表示。

[0047] 在一些实现中,互连是允许或促进两个点、元件和/或组件之间的电连接的器件或封装件的元件或组件。在一些实现中,互连可以包括迹线、过孔、焊盘、柱、重新分配金属层和/或凸块下金属化 (UBM) 层。在一些实现中,互连是可以被配置为针对信号(例如,数据信号、接地信号、功率信号)提供电路径的导电材料。互连可以是电路的一部分。互连可以包括多于一个元件或组件。

[0048] 包括嵌入式堆叠封装 (PoP) 器件的示例性集成器件

[0049] 图3示出了集成器件301,其包括堆叠封装 (PoP) 器件300、封装件302至311、无源组件315、包封层316、内部屏蔽件330、外部屏蔽件340和印刷电路板 (PCB) 350。集成器件301可以包括系统级封装 (SiP)。一个或多个封装件302至311可以包括集成电路 (IC) 封装件。一个或多个封装件302至311可以是电子封装组件的示例。

[0050] 堆叠封装 (PoP) 器件300、封装件302至311、无源组件315(例如,电容器)、内部屏蔽件430和外部屏蔽件440耦合到印刷电路板 (PCB) 350。包封层316可以以各种方式部分地或完全地包封或覆盖堆叠封装 (PoP) 器件300、封装件302至311、无源组件315和内部屏蔽件330。尽管作为封装件中的单个系统来提供,但是这些组件可以机械地和/或电气地彼此隔离。

[0051] 例如,也如图所示,图3示出了内部屏蔽件330可以被配置为围绕一个或多个封装件302至311和/或堆叠封装 (PoP) 器件300。在一些实现中,内部屏蔽件330被配置为隔离一

个或多个封装件302至311和/或堆叠封装(PoP)器件300,使得它们不会相互干扰。封装件(例如,封装件302至311)可以包括管芯,或者可以是管芯(例如,半导体器件)。封装件(例如,封装件302至311)可以包括晶片级封装(WLP)。

[0052] 包封层316用作器件300的组件的覆盖或保护结构。包封层316可以是具有各种粘度和热性质的模制化合物。本领域技术人员将认识到,可以在包封层316中使用其他类型的材料。

[0053] 外部屏蔽件340被配置为至少部分地围绕包封层316。外部屏蔽件340耦合到内部屏蔽件330。内部屏蔽件330和外部屏蔽件340的组合可以针对集成器件301提供屏蔽。内部屏蔽件330和外部屏蔽件340可以包括导电材料(例如,金属、铜)。内部屏蔽件330和外部屏蔽件340可以具有相同的材料或不同的材料。在一些实现中,内部屏蔽件330可以包括金属片。在一些实现中,内部屏蔽件330具有大约250微米(μm)或更小的厚度。在一些实现中,外部屏蔽件340具有大约50微米(μm)或更小的厚度。

[0054] 集成器件301可以包括被配置为提供若干移动功能和能力的任何组件,包括但不限于定位功能、无线连接功能(例如,无线通信)和/或蜂窝连接功能(例如,蜂窝通信)。定位功能、无线和/或蜂窝连接功能的示例包括全球定位系统(GPS)功能、无线保真(WiFi)功能、蓝牙功能和射频(RF)功能(例如,射频前端(RFFE)功能)。RFFE功能的示例包括全球移动通信系统(GSM)、宽带码分多址(WCDMA)、频分双工长期演进(FDD-LTE)、时分双工长期演进(TDD-LTE)。这些功能可以在一个或多个封装件302至311和/或堆叠封装(PoP)器件300中实现。以上移动功能在下面在图11中进一步描述。

[0055] 图3进一步示出了集成器件301可以包括嵌入式堆叠封装(PoP)器件300。在一些实现中,将堆叠封装(PoP)器件300嵌入集成器件301向集成器件提供小于其他传统集成器件的总体形状因子(例如,尺寸、面积、体积),同时提供包括全面、完全和/或完整范围的移动功能的集成器件。具有这样的移动功能的集成器件的示例尺寸在下面在图11中进一步描述。

[0056] 在一些实现中,包括上述移动功能(例如,蜂窝功能、无线保真(WiFi)功能和蓝牙功能)中的至少一些的集成器件301通过本申请中描述的结构和/或制造过程而成为可能。如下面将进一步描述,制造具有很多移动功能、小形状因子并且被封装在包封层中(例如,被包封层完全包封)的集成器件(例如,集成器件301)包括很多制造和生产挑战,这些在本申请中解决。特别地,随着集成器件中的组件之间的尺寸和间距变小,出现了缺陷,这引起集成器件中发生性能和可靠性问题。这些问题对于提供移动功能(例如,蜂窝功能、无线保真(WiFi)功能、蓝牙功能)的集成器件特别重要,因为这些集成器件正在较小的电子设备中实现。本申请中描述的集成器件(例如,集成器件301)和制造过程提供了解决这些议题、关注点、问题和挑战的解决方案。

[0057] 图3进一步示出了通过使用一个或多个包封层而气密地密封的集成器件301的示例,这有助于提高集成器件301的可靠性和耐用性。

[0058] 图4至图7示出了包括堆叠封装(PoP)器件的集成器件301的截面BB上的各种剖面图。尽管在图4至图7中未示出,但是在一些实现中,堆叠封装(PoP)器件可以包括一个或多个间隙控制件。一些间隙控制件的示例在下面参考图12至图25进一步描述。

[0059] 图4示出了集成器件301的剖面图。如图4所示,集成器件301包括印刷电路板

(PCB) 350、堆叠封装 (PoP) 器件 300、封装件 302、无源组件 315、包封层 316(例如, 第二包封层)、内部屏蔽件 330 和外部屏蔽件 340。印刷电路板 (PCB) 350 包括多个互连 360(例如, 焊盘)。堆叠封装 (PoP) 器件 300、封装件 302、无源组件 315、内部屏蔽件 330 和外部屏蔽件 340 耦合到印刷电路板 (PCB) 350。包封层 316 至少部分地包封堆叠封装 (PoP) 器件 300、封装件 302、无源组件 315 和内部屏蔽件 330。

[0060] 堆叠封装 (PoP) 器件 300 包括第一封装件 401、第二封装件 402 和第一包封层 416。第二封装件 402 通过多个封装互连 427 耦合到第一封装件 401。多个封装互连 427 包括焊料互连(例如, 焊球)。

[0061] 第一封装件 401 包括第一封装件衬底 410 和第一管芯 411。第二封装件 402 包括第二封装件衬底 420 和第二管芯 421。第一包封层 416 形成在第一封装件 401 与第二封装件 402 之间。特别地, 第一包封层 416 至少形成在第一管芯 411(例如, 第一管芯 411 的背面) 与第二封装件衬底 420(例如, 第二封装件衬底 420 的底表面) 之间。

[0062] 图4示出了包封层 316 和第一包封层 416 是分离的包封层。在一些实现中, 本领域技术人员将认识到, 包封堆叠封装 (PoP) 器件 300 的包封层可以是形成在堆叠封装 (PoP) 器件 300 中的相同的包封层。

[0063] 图5示出了包括堆叠封装 (PoP) 器件的集成器件 501。图5的集成器件 501 类似于图4的集成器件 301, 除了堆叠封装 (PoP) 器件 500 被不同地嵌入集成器件 501 中之外。

[0064] 堆叠封装 (PoP) 器件 500 包括第一封装件 401 和第二封装件 402。第一封装件 401 包括第一封装件衬底 410 和第一管芯 411。第二封装件 402 通过多个封装互连 427 耦合到第一封装件 401。

[0065] 如图5所示, 包封层 316 至少部分地包封堆叠封装 (PoP) 器件 500, 并且形成在第一封装件 401 与第二封装件 402 之间。特别地, 包封层 316 至少形成在第一管芯 411(例如, 第一管芯 411 的背面) 与第二封装件衬底 420(例如, 第二封装件衬底 420 的底表面) 之间。在一些实现中, 提供包封并且嵌入堆叠封装 (PoP) 器件 500 的包封层可以实现成本低并且具有小的形状因子的集成器件 501, 因为其可以减少制造集成器件的工艺的数目。

[0066] 图6示出了包括堆叠封装 (PoP) 器件的集成器件 601。图6的集成器件 601 类似于图4的集成器件 301, 除了集成器件 601 可以包括与集成器件 301 的内部屏蔽件 330 不同的内部屏蔽件 630 之外。特别地, 内部屏蔽件 630 可以比内部屏蔽件 330 更薄。在一些实现中, 内部屏蔽件 630 使用与内部屏蔽件 330 不同的工艺来形成。如上所述, 内部屏蔽件 330 可以包括已经被加工以形成期望的形状并且然后利用焊料或某种其他导电机构耦合到印刷电路板 (PCB) 350 的金属片。在一些实现中, 内部屏蔽件 630 可以是形成(例如, 沉积、粘贴) 在包封层 316 的腔体中的金属层(例如, 铜层)。内部屏蔽件 630 耦合到外部屏蔽件 340 和印刷电路板 (PCB) 350。

[0067] 图7示出了包括堆叠封装 (PoP) 器件的集成器件 701。图7的集成器件 701 类似于图6的集成器件 601, 除了堆叠封装 (PoP) 器件 500 被不同地嵌入集成器件 701 中之外。

[0068] 堆叠封装 (PoP) 器件 500 包括第一封装件 401 和第二封装件 402。第一封装件 401 包括第一封装件衬底 410 和第一管芯 411。第二封装件 402 通过多个封装互连 427 耦合到第一封装件 401。

[0069] 如图7所示, 包封层 316 至少部分地包封堆叠封装 (PoP) 器件 500, 并且形成在第一

封装件401与第二封装件402之间。特别地，包封层316至少形成在第一管芯411(例如，第一管芯411的背面)与第二封装件衬底420(例如，第二封装件衬底420的底表面)之间。在一些实现中，提供包封并且嵌入堆叠封装(PoP)器件500的包封层可以实现成本低并且具有小的形状因子的集成器件701，因为其可以减少制造集成器件的工艺的数目。

[0070] 虽然在图4至图7中未示出，但是在一些实现中，堆叠封装(PoP)器件(例如，300、500)可以包括一个或多个间隙控制件。间隙控制件可以被配置为在堆叠封装(PoP)器件中提供机械支撑和稳定性。可以提供间隙控制件以确保有足够的空间用于在第一管芯411与第二封装件衬底420之间形成包封层(例如，316、416)。在一些实现中，一个或多个间隙控制件可以包括一个或多个导电的材料。然而，间隙控制件被配置为不提供用于电信号的电路径。间隙控制件的示例在下面参考图12至图25进一步描述。

[0071] 因此，图3至图7描述了集成器件(例如，SiP)中的各种堆叠封装(PoP)器件。不同的实现可以将不同的堆叠封装(PoP)器件嵌入集成器件中。以下至少参考图12至图25来进一步描述可以在本公开中描述的集成器件301和/或任何其他集成器件中实现和/或嵌入的不同的堆叠封装(PoP)器件的详细示例。

[0072] 已经描述了包括嵌入式堆叠封装(PoP)器件的集成器件的各种示例，现在将描述用于制造包括嵌入式堆叠封装(PoP)器件的集成器件的各种工艺和方法。

[0073] 用于制造包括嵌入式堆叠封装(PoP)器件的集成器件的示例性序列

[0074] 在一些实现中，提供/制造包括嵌入式堆叠封装(PoP)器件的集成器件包括若干工艺。图8示出了用于提供/制造包括嵌入式堆叠封装(PoP)器件的集成器件的示例性序列。在一些实现中，图8的序列可以用于制造图3至图5的包括嵌入式堆叠封装(PoP)器件的集成器件和/或本公开中描述的其他集成器件。现在将在提供/制造图5的集成器件的上下文中描述图8。

[0075] 应当注意，图8的序列可以组合一个或多个阶段，以便简化和/或阐明用于提供包括嵌入式堆叠封装(PoP)器件的集成器件的序列。在一些实现中，工艺的顺序可以改变或修改。

[0076] 阶段1示出了在提供包括多个互连360的印刷电路板(PCB)350之后的状态。在一些实现中，印刷电路板(PCB)350由供应商提供或者是制造的。

[0077] 阶段2示出了耦合到印刷电路板(PCB)350的堆叠封装(PoP)器件500、内部屏蔽件330和无源组件315。在一些实现中，使用回流焊工艺来将堆叠封装(PoP)器件500、内部屏蔽件330和无源组件315(例如，通过使用焊料互连)耦合到印刷电路板(PCB)350。例如，内部屏蔽件330通过焊料互连332耦合到印刷电路板(PCB)350。

[0078] 阶段3示出了至少部分地形成在堆叠封装(PoP)器件500、内部屏蔽件330和无源组件315之上的包封层316。例如，包封层316可以使用模制化合物来形成并且使用已知的工艺和工具来进行温度固化。

[0079] 阶段4示出了在包封层316中形成暴露内部屏蔽件330的一部分的腔体830之后的状态。不同的实现可以使用不同的工艺来形成腔体830。激光工艺和/或光刻工艺可以用于形成腔体830。

[0080] 阶段5示出了在包封层316之上形成外部屏蔽件340之后的状态。外部屏蔽件340可以使用诸如导电膏、铜或其他导电金属等各种材料形成。如在阶段5所示，外部屏蔽件340耦

合到内部屏蔽件330和印刷电路板(PCB)350。在一些实现中,阶段5示出了包括堆叠封装(PoP)器件500、封装件302、无源组件315、内部屏蔽件330、焊料互连332、包封层316、印刷电路板(PCB)350和外部屏蔽件340的集成器件601。

[0081] 用于制造包括嵌入式堆叠封装(PoP)器件的集成器件的示例性序列

[0082] 在一些实现中,提供/制造包括嵌入式堆叠封装(PoP)器件的集成器件包括若干工艺。图9示出了用于提供/制造包括嵌入式堆叠封装(PoP)器件的集成器件的示例性序列。在一些实现中,图9的序列可以用于制造图3至图5的包括嵌入式堆叠封装(PoP)器件的集成器件和/或本公开中描述的其他集成器件。现在将在提供/制造图6的集成器件的上下文中描述图9。

[0083] 应当注意,图9的序列可以组合一个或多个阶段,以便简化和/或阐明用于提供包括嵌入式堆叠封装(PoP)器件的集成器件的序列。在一些实现中,工艺的顺序可以改变或修改。

[0084] 阶段1示出了在提供包括多个互连360的印刷电路板(PCB)350之后的状态。在一些实现中,印刷电路板(PCB)350由供应商提供或者是制造的。

[0085] 阶段2示出了耦合到印刷电路板(PCB)350的堆叠封装(PoP)器件300和无源组件315。在一些实现中,使用回流焊工艺来将堆叠封装(PoP)器件300和无源组件315(例如,通过使用焊料互连)耦合到印刷电路板(PCB)350。

[0086] 阶段3示出了至少部分地形成在堆叠封装(PoP)器件300和无源组件315之上的包封层316。

[0087] 阶段4示出了形成在包封层316中的腔体930。不同的实现可以使用不同的工艺来形成腔体930。可以使用激光工艺和/或光刻工艺来形成腔体930。

[0088] 阶段5示出了利用导电材料填充腔体930以形成内部屏蔽件630。不同的实现可以使用不同的工艺来形成内部屏蔽件630。在一些实现中,可以使用粘贴工艺、镀敷工艺和/或溅射工艺来填充腔体930以形成内部屏蔽件630。

[0089] 阶段6示出了形成在包封层316之上的外部屏蔽件340。如在阶段6所示,外部屏蔽件340耦合到内部屏蔽件630和印刷电路板(PCB)350。在一些实现中,阶段6示出了包括堆叠封装(PoP)器件300、封装件302、无源组件315、内部屏蔽件630、包封层316、印刷电路板(PCB)350和外部屏蔽件340的集成器件501。

[0090] 用于制造包括嵌入式堆叠封装(PoP)器件的集成器件的示例性方法

[0091] 在一些实现中,提供/制造包括嵌入式堆叠封装(PoP)器件的集成器件包括若干工艺。图10示出了用于提供/制造包括嵌入式堆叠封装(PoP)器件的集成器件的方法1000的示例性流程图。在一些实现中,图10的方法可以用于提供/制造图3至图7的包括嵌入式堆叠封装(PoP)器件的集成器件和/或本公开中描述的其他集成器件。将在提供/制造图5的器件封装件的上下文中描述图10。

[0092] 应当注意,图10的流程图可以组合一个或多个工艺以便简化和/或阐明用于提供集成器件的方法。在一些实现中,工艺的顺序可以改变或修改。

[0093] 在阶段1005,将堆叠封装(PoP)器件(例如,300)、至少一个封装件(例如,302)和内部屏蔽件(例如,330)耦合到印刷电路板(PCB)(例如,350)。将堆叠封装(PoP)器件、至少一个封装件和内部屏蔽件耦合到印刷电路板(PCB)的示例在图8中示出和描述(例如,图8的阶

段2)。可以使用回流焊工艺来将堆叠封装(PoP)器件、至少一个封装件和内部屏蔽件耦合到(例如,通过多个焊料互连)印刷电路板(PCB)。

[0094] 在阶段1010,执行去助焊剂工艺以去除可能在将堆叠封装(PoP)器件、至少一个封装件和内部屏蔽件耦合到印刷电路板(PCB)期间累积的残留物。

[0095] 在阶段1015,提供至少部分地包封堆叠封装(PoP)器件的包封层(例如,第一包封层416)。在一些实现中,所提供的包封层可以形成在堆叠封装(PoP)器件中。例如,至少部分地包封堆叠封装(PoP)器件500的包封层(例如,包封层316)形成在堆叠封装(PoP)器件500的第一封装件401的第一管芯411与堆叠封装(PoP)器件500 的第二封装件402的第二封装件衬底420之间。

[0096] 可选地,在阶段1020,可以标记堆叠封装(PoP)器件,其可以包括使用激光来标记包封层的部分。

[0097] 在一些实现中,若干堆叠封装(PoP)器件同时在晶片上被制造。在这种情况下,在阶段1025,可以将晶片分割以便形成单独的堆叠封装(PoP)器件。

[0098] 在阶段1030,形成包封层之上的外部屏蔽件。在一些实现中,外部屏蔽件的形成包括在包封层中形成腔体并且在包封层之上形成金属层以形成外部屏蔽件。外部屏蔽件被形成为使得外部屏蔽件耦合到内部屏蔽件。在一些实现中,外部屏蔽件包括遵循包封层的形状和/或轮廓的共形屏蔽件。镀敷工艺可以用于在包封层之上形成外部屏蔽件。

[0099] 包括嵌入式堆叠封装(PoP)器件的集成器件的示例性功能

[0100] 如上所述,本公开中描述的集成器件可以被配置为以小的空间和/或形状因子来提供全面的移动功能(例如,蜂窝功能、无线保真(WiFi)功能、蓝牙功能、全球定位系统(GPS)功能),从而允许集成器件在诸如但不限于可穿戴设备、手表、眼镜和物联网(IoT)设备等小型设备中实现,并且因此使得这些小型设备能够具有全面的移动功能。

[0101] 例如,在一些实现中,集成器件301或本公开中描述的任何集成器件的尺寸可以是大约30mm(W)×30mm(L)×2mm(H)或更小。在一些实现中,集成器件301或本公开中描述的任何集成器件的尺寸可以是大约26mm(W)×26mm(L)×1.8mm(H)或更小。在一些实现中,集成器件301或本公开中描述的任何集成器件的尺寸可以是大约52mm(W)×52mm(L)×2mm(H)或更小。

[0102] 图11示出了具有嵌入式堆叠封装(PoP)的集成器件可以具有的功能的概念图。如图11所示,集成器件1101包括处理器、存储器和/或调制解调器功能1100(例如,用于处理器、存储器和调制解调器的部件)、定位功能1102(例如,用于定位的部件,全球定位系统(GPS))、第一无线通信功能1103(例如,用于第一无线通信的部件, WiFi)、第二无线通信功能1104(例如,用于第二无线通信的部件, 蓝牙)、编解码器功能1105(例如,用于编码和/解码的部件)、功率管理功能1106(例如,用于功率管理的部件)、至少一个传感器功能 1107(例如,用于传感器的部件)、第一射频前端(RFFE)功能1108(例如,用于第一RFFE的部件)、第二射频前端(RFFE)功能1109(例如,用于第二RFFE的部件)、第三射频前端(RFFE)功能1110(例如,用于第三RFFE的部件)和射频(RF)收发器功能1111(例如,用于RF收发的部件)。

[0103] RFFE功能的示例包括全球移动通信系统(GSM)、宽带码分多址(WCDMA)、频分双工长期演进(FDD-LTE)、时分双工长期演进(TDD-LTE)。RFFE功能的上述示例中的每一个可以

包括一个或多个不同的频带。

[0104] 在一些实现中,上述功能可以在一个或多个封装件302至311(例如,电子封装组件)和/或堆叠封装(PoP)器件300中实现。因此,例如,处理器、存储器和调制解调器功能1100可以是处理器、存储器和调制解调器封装件。在一些实现中,上述功能可以被实现为一个或多个封装件302至311和/或堆叠封装(PoP)器件300中的一个或多个电路。例如,处理器、存储器和调制解调器功能1100可以在包括第一封装件401和第二封装件402的堆叠封装(PoP)器件300中实现。在一些实现中,处理器功能可以在第一封装件401的第一管芯411中实现,并且存储器功能可以在第二封装件402的第二管芯421中实现。在一些实现中,上述功能(例如,1100至1111)中的一个或多个可以组合在单个封装件、电路和/或多个封装件和/或电路中。不同的实现可以将不同的功能与不同的封装件和/或电路组合(例如,蓝牙功能可以与WiFi功能在单个封装件或电路中组合)。其他实现可以包括其他功能。例如,调制解调器功能(例如,用于调制解调器的部件)可以被实现为单独的功能或另一功能的一部分。在一些实现中,调制解调器功能可以是处理器和存储器功能的一部分或者其他功能的一部分。

[0105] 已经描述了包括嵌入式堆叠封装(PoP)器件的集成器件,其中集成器件可以包括若干移动功能(例如,蜂窝功能、WiFi功能、蓝牙功能、GPS功能),现在将在下面描述堆叠封装(PoP)器件的各种示例。

[0106] 包括间隙控制件的示例性堆叠封装(PoP)器件

[0107] 图12示出了包括第一封装件1201、第二封装件1202和间隙控制件1270的堆叠封装(PoP)器件1200。第二封装件1202耦合到第一封装件1201。第一封装件1201可以是第一集成电路(IC)封装件,并且第二封装件1202可以是第二集成电路(IC)封装件。堆叠封装(PoP)器件1200通过多个焊球1251耦合到印刷电路板(PCB)350。堆叠封装(PoP)器件1200可以嵌入本公开中描述的任何集成器件中。

[0108] 在一些实现中,间隙控制件1270位于第一封装件1201与第二封装件1202之间。在一些实现中,间隙控制件1270位于第一封装件1201的电子封装组件(例如,第一管芯1211)与第二封装件1202之间。

[0109] 如下面将进一步描述的,在一些实现中,间隙控制件1270被配置为针对第二封装件1202(例如,第二封装件1202的第二封装件衬底1220)提供机械支撑、机械稳定性。因此,在一些实现中,间隙控制件1270可以被配置为作为最小化或减小第二封装件(例如,第二封装件1202)中的任何翘曲、变形和/或挠曲的后止挡块来操作。在一些实现中,间隙控制件1270可以包括一种或多种导电的材料。然而,间隙控制件1270被配置为不提供用于电信号的电路路径。

[0110] 在一些实现中,间隙控制件1270被配置为确保在第一封装件1201的管芯与第二封装件1202的封装件衬底之间存在足够的距离、空间或间隙,使得包封层可以被提供(例如,形成)在第一封装件1201的管芯与第二封装件1202的封装件衬底之间的空间或间隙中。间隙控制件1270可以是可选的。

[0111] 第一封装件1201包括第一封装件衬底1210、第一管芯1211、第一底部填料1214、多个第一焊球1215、第一包封层1216和间隙控制件1270。在一些实现中,第一封装件1201还可以包括多个封装互连1227。

[0112] 第一封装件衬底1210包括至少一个电介质层1212、多个第一互连1213(例如,多个第一衬底互连)、第一阻焊层1280和第二阻焊层 1282。多个第一互连1213可以包括迹线、过孔和/或焊盘。第一封装件衬底1210通过多个焊球1251耦合到印刷电路板(PCB) 350。更具体地,多个第一互连1213耦合到多个焊球1251。

[0113] 第一管芯1211可以是包括多个晶体管和/或其他电子组件的集成电路(IC)。第一管芯1211可以是逻辑管芯和/或存储器管芯。第一管芯1211可以是裸管芯。第一管芯1211通过多个第一焊球1215耦合到第一封装件衬底1210。第一底部填料1214位于第一管芯1211与第一封装件衬底1210之间。第一底部填料1214可以至少部分地围绕多个第一焊球1215中的至少一些。

[0114] 第一包封层1216至少部分地包封第一管芯1211、间隙控制件 1270和多个封装互连1227。不同的实现可以针对第一包封层1216使用不同的材料。例如,第一包封层1216可以包括模制材料和/或环氧树脂填料。

[0115] 第二封装件1202包括第二封装件衬底1220、第二管芯1221、第二底部填料1224、多个第二焊球1225和第二包封层1226。在一些实现中,第二封装件1202还可以包括多个封装互连1227。

[0116] 第二封装件衬底1220包括至少一个电介质层1222、多个第二互连1223(例如,多个第二衬底互连)、第一阻焊层1284和第二阻焊层 1286。多个第二互连1223可以包括迹线、过孔和/或焊盘。

[0117] 第二管芯1221可以是包括多个晶体管和/或其他电子组件的集成电路(IC)。第二管芯1221可以是逻辑管芯和/或存储器管芯。第二管芯1221可以是裸管芯。第二管芯1221通过多个第二焊球1225耦合到第二封装件衬底1220。第二底部填料1224位于第二管芯1221与第二封装件衬底1220之间。第二底部填料1224可以至少部分地围绕多个第二焊球1225中的至少一些。

[0118] 第二包封层1226至少部分地包封第二管芯1221。不同的实现可以针对第二包封层1226使用不同的材料。例如,第二包封层1226可以包括模制材料和/或环氧树脂填料。

[0119] 第二封装件1202通过多个封装互连1227耦合到第一封装件 1201。多个封装互连1227可以包括焊料互连(例如,焊球)。多个封装互连1227耦合到第一封装件衬底1210和第二封装件衬底1220。更具体地,多个封装互连1227耦合到(第一封装件衬底1210的)多个第一互连1213和(第二封装件衬底1220的)多个第二互连1223。

[0120] 间隙控制件1270可以是被配置为在第一管芯(例如,第一管芯 1211)与第二封装件(例如,第二封装件1202)之间提供最小间隙的用于间隙控制的部件。间隙控制件1270位于第一管芯1211之上(例如,在第一管芯1211的背面表面之上)。特别地,间隙控制件1270位于第一管芯1211与第二封装件1202的第二封装件衬底1220之间。在一些实现中,间隙控制件1270被配置为在第一封装件1201的第一管芯1211与第二封装件1202的第二封装件衬底1220之间提供最小距离、最小空间和/或最小间隙。在一些实现中,最小距离、最小空间和最小间隙确保了存在足够的空间用于第一包封层1216在第一封装件1201的第一管芯1211与第二封装件1202的第二封装件衬底1220 之间流动(例如,在制造过程期间),即使第二封装件衬底1220存在翘曲、变形和/或挠曲。因此,在一些实现中,位于第一管芯1211之上(例如,在第一管芯1211的背面表面之上)的至少一个间隙控制件1270确保了在第一管芯1211

与(第二封装件1202的)第二封装件衬底1220之间形成足够量的第一包封层1216。

[0121] 图12示出了堆叠封装(PoP)器件1200至少部分地被包封层316 包封。包封层316可以是堆叠封装(PoP)器件1200的第二包封层。在一些实现中,包封层316可以与第一包封层1216不同且分离。在一些实现中,包封层316可以包括第一包封层1216。在一些实现中,包封层316与第一包封层1216相同。因此,在一些实现中,包封层 316可以包封堆叠封装(PoP) 器件1200并且位于堆叠封装(PoP) 器件1200内部。以上概念在图12中通过包封层316与第一包封层 1216之间的虚线边界(例如,线)来示出。注意,包封层316(例如,第二包封层)与第一包封层1216之间的边界(例如,虚线)仅仅是示例性的。不同的实现可以在包封层316(例如,第二包封层)与第一包封层1216之间具有不同的边界形状和尺寸。

[0122] 在一些实现中,间隙控制件1270中的一个或多个可以单独地或共同地占据第一管芯(例如,第一管芯1211)与第二封装件(例如,第二封装件1202)之间的小于实质上全部空间。在一些实现中,间隙控制件1270中的一个或多个单独地或共同地耦合到第一管芯(例如,第一管芯1211)的小于实质上全部背面表面。在一些实现中,间隙控制件1270中的一个或多个单独地或共同地耦合到第一管芯(例如,第一管芯1211)的小于大部分背面表面。

[0123] 第一管芯1211(例如,第一管芯1211的顶表面)与第二封装件 1202(例如,第二封装件衬底1220的底表面)之间的距离、空间或间隙可以随着不同的实现而变化。在一些实现中,间隙1290可以是大约10微米(μm)或更大。在一些实现中,间隙控制件1270具有大约10至100微米(μm)或更小的高度和/或厚度。

[0124] 在一些实现中,间隙控制件1270确保了第一管芯1211(例如,第一管芯1211的背面)与第二封装件202(例如,第二封装件衬底1220的底表面)之间的最小间隙(例如,间隙1290)是大约10微米(μm)或更大。

[0125] 在一些实现中,间隙控制件1270消除、减小和/或最小化第一管芯1211与第二封装件衬底1220之间的空隙,从而提供更稳健和可靠的堆叠封装(PoP)器件1200。因此,间隙控制件1270被配置为允许第一包封层1216填充第一管芯1211与第二封装件衬底1220之间的空间(例如,以至少填充该空间的大部分或相当大的一部分)。此外,当形成第一包封层1216时,间隙控制件1270被配置为实质上不阻碍第一包封层1216的流动(例如,在制造过程期间)。下面在图22 中进一步描述如何形成第一包封层1216的示例。因此,间隙控制件 1270 中的一个或多个的使用提供了有效且反直观的方法,以确保第一包封层1216可以在堆叠封装(PoP) 器件1200的制造过程期间在第一管芯1211与第二封装件衬底1220之间流动。

[0126] 不同的实现可以将间隙控制件1270定位在第一管芯1211的不同部分之上。在一些实现中,第二封装件衬底1220的最大量的翘曲、变形和/或挠曲可能发生在第一管芯1211的中心、第一封装件1201 的中心和/或第二封装件1202的中心上方的空间中。在一些实现中,间隙控制件1270可以定位在第一管芯1211的中心上或附近(例如,靠近),以确保在第二封装件衬底1220的可能潜在地具有最大量的翘曲、变形和/或挠曲的一部分中存在支撑。

[0127] 图12示出了间隙控制件1270包括间隔件1272和粘合剂层1274。粘合剂层1274至少部分地围绕间隔件1272。不同的实现可以针对间隔件1272和粘合剂层1274使用不同的材料。在一些实现中,间隔件 1272可以是金属球(例如,铜球)。粘合剂层1274可以用于将间隔件 1272耦合到第一管芯1211。在一些实现中,粘合剂层1274可以被配置为在第一包封层1216形成在第一管芯1211与第二封装件1202之间时防止间隙控制件1270实质上移动。

[0128] 间隔件1272可以包括包含陶瓷、金属和/或聚合物(例如,铜、聚合物芯球和/或聚合物柱)的固体间隔件。粘合剂层1274可以包括底部填料和/或高粘度角填充材料(例如,Cookson HEL-30、Namics G8345D)和RTV硅(例如,ASE 600)。粘合剂层1274可以包括烧结膏(例如,Ormet 406、CS650)。

[0129] 如图12所示,第一包封层1216至少部分地围绕粘合剂层1274 和/或间隔件1272。图12还示出了间隙控制件1270与第一管芯1211 直接物理接触,但是不与第二封装件1202 (例如,第二封装件1202 的第二封装件衬底1220)直接物理接触。在一些实现中,间隙控制件 1270可以与第一管芯1211和第二封装件1202 (例如,第二封装件1202 的第二封装件衬底1220)两者直接物理接触。在一些实现中,间隙控制件1270可以与第二封装件1202 (例如,第二封装件1202的第二封装件衬底1220)直接物理接触,但是不与第一管芯1211直接接触。

[0130] 本公开示出和描述了使用焊球(例如,1215、1225)将管芯(例如,1211、1221)耦合到封装件衬底(例如,1210、1220)。然而,在一些实现中,可以使用其他互连来将管芯耦合到封装件衬底。例如,一些实现可以使用引线键合和柱(例如,铜柱)来将管芯耦合到封装件衬底。

[0131] 如上所述,不同的实现可以使用间隙控制件1270的不同配置。例如,不同的实现可以使用不同数目的间隙控制件1270。此外,间隙控制件1270可以不同地位于第一管芯1211之上(例如,在第一管芯 1211的中心上或附近)。在一些实现中,间隙控制件1270可以包括不同的结构和/或材料。

[0132] 图13示出了包括粘合剂层1274的间隙控制件1370。粘合剂层 1274形成在第一管芯1211之上,并且至少部分地被第一包封层1216 包围。

[0133] 图14示出了包括间隔件1272的间隙控制件1470。间隔件1272 形成在第一管芯1211之上,并且至少部分地被第一包封层1216包围。

[0134] 图15示出了包括多个间隔件1572和粘合剂层1274的间隙控制件1570。多个间隔件1572至少部分地被粘合剂层1274包围。多个间隔件1572和粘合剂层1274形成在第一管芯1211之上,并且至少部分地被第一包封层1216包围。

[0135] 如本公开所示,间隙控制件(例如,1270、1370、1470、1570) 耦合到第一封装件(例如,第一封装件1201),但是没有耦合到第二封装件(例如,第二封装件1202)。在一些实现中,间隙控制件(例如,1270、1370、1470、1570) 可以物理地接触第二封装件,但不是永久地接合到第二封装件。例如,间隙控制件可以接合到第一封装件但是不接合到第二封装件(例如,不与第二封装件接合)。

[0136] 间隙控制件1370、1470和/或1570可以是用于在第一管芯(例如,第一管芯1211) 与第二封装件(例如,第二封装件1202)之间提供最小间隙的用于间隙控制的部件。在一些实现中,间隙控制件1370、1470、1570中的一个或多个可以占据第一管芯(例如,第一管芯1211) 与第二封装件(例如,第二封装件1202)之间的小于实质上全部空间。在一些实现中,间隙控制件1370、1470和/或1570中的一个或多个单独地或共同地耦合到第一管芯(例如,第一管芯1211)的小于实质上全部背面。在一些实现中,间隙控制件1370、1470和/或1570中的一个或多个单独地或共同地耦合到第一管芯(例如,第一管芯1211)的小于大部分背面表面。

[0137] 如针对间隙控制件1270所描述的尺寸可以适用于间隙控制件 1370、1470和/或

1570的尺寸。此外，间隙控制件1370、1470和/或 1570可以在本公开中描述的任何堆叠封装 (PoP) 器件中实现。不同的实现可以包括包含间隙控制件的堆叠封装 (PoP) 器件的不同的配置和/或组合。以下是包括间隙控制件的不同堆叠封装 (PoP) 器件的另外的示例。

[0138] 包括间隙控制件的示例性堆叠封装 (PoP) 器件

[0139] 图16示出了包括第一封装件1601、第二封装件1202和间隙控制件1270的另一堆叠封装 (PoP) 器件1600。第二封装件1202耦合到第一封装件1601。第一封装件1601可以是第一集成电路 (IC) 封装件。堆叠封装 (PoP) 器件1600通过多个焊球1251耦合到印刷电路板 (PCB) 350。堆叠封装 (PoP) 器件1600类似于堆叠封装 (PoP) 器件1200，除了第一封装件1601具有不同的配置之外。堆叠封装 (PoP) 器件1600可以嵌入在本公开中描述的任何集成器件中。

[0140] 如上所述并且在下面进一步描述，在一些实现中，间隙控制件 1270被配置为确保在第一封装件1601的管芯与第二封装件1202的封装件衬底之间存在足够的距离、空间或间隙，使得可以在第一封装件 1601的管芯与第二封装件1202的封装件衬底之间的空间或间隙中提供(例如，形成)包封层。间隙控制件1270可以是可选的。

[0141] 第一封装件1601包括第一封装件衬底1210、第一管芯1211、第一底部填料1214、多个第一焊球1215、第一包封层1216、间隙控制件1270和包封层1616。因此，第一封装件1601包括两个包封层(例如，1216、1616)。在一些实现中，第一封装件1601还可以包括多个封装互连1627。多个封装互连1627可以包括多个封装互连1617和多个封装互连1227。

[0142] 包封层1616至少部分地包封第一管芯1211和多个封装互连1627。例如，包封层1616可以至少部分地包封第一管芯1211和多个封装互连1617。在一些实现中，包封层1616的表面可以与第一管芯 1211的表面(例如，背面表面)实质上共面。第一包封层1216形成在第一管芯1211和包封层1616之上。包封层1616可以是与第一包封层1216相同的材料或不同的材料。第一包封层1216至少部分地包封间隙控制件1270和多个封装互连1627。

[0143] 第二封装件1202包括第二封装件衬底1220、第二管芯1221、第二底部填料1224、多个第二焊球1225和第二包封层1226。在一些实现中，第二封装件1202还可以包括多个封装互连1627，其包括多个封装互连1617和多个封装互连1227。

[0144] 第二封装件1202通过多个封装互连1627耦合到第一封装件 1601，多个封装互连1627包括多个封装互连1227和多个封装互连 1617。多个封装互连1627可以包括焊料互连(例如，焊球)。多个封装互连1627耦合到第一封装件衬底1210和第二封装件衬底1220。特别地，多个封装互连1627耦合到(第一封装件衬底1210的)多个第一互连1213和(第二封装件衬底1220的)多个第二互连1223。在一些实现中，多个封装互连1227耦合到多个第二互连1223和多个封装互连1617。多个封装互连1617耦合到多个第一互连1213。

[0145] 图16示出了堆叠封装 (PoP) 器件1600至少部分地被包封层316 包封。在一些实现中，包封层316可以与第一包封层1216不同且分离。在一些实现中，包封层316可以包括第一包封层1216。在一些实现中，包封层316与第一包封层1216相同。因此，在一些实现中，包封层316可以包封堆叠封装 (PoP) 器件1600并且位于堆叠封装 (PoP) 器件1600内部。以上概念在图16中通过包封层316与第一包封层1216之间的虚线边界(例如，线)来示出。

[0146] 间隙控制件1270位于第一管芯1211之上(例如，在第一管芯1211 的顶表面之上)。特别地，间隙控制件1270位于第一封装件1601的第一管芯1211与第二封装件1202的第二封装件衬底1220之间。在一些实现中，间隙控制件1270被配置为在第一封装件1601的第一管

芯1211与第二封装件1202的第二封装件衬底1220之间提供最小距离、最小空间和/或最小间隙。在一些实现中，最小距离、最小空间、最小间隙确保了存在足够的空间用于第一包封层1216在第一封装件1601的第一管芯1211与第二封装件1202的第二封装件衬底1220之间流动(例如，在制造过程期间)，即使第二封装件衬底1220存在翘曲、变形/或挠曲。因此，在一些实现中，位于第一管芯1211之上(例如，在第一管芯1211的顶表面之上)的至少一个间隙控制件1270确保了在第一管芯1211与(第二封装件1202的)第二封装件衬底1220之间形成足够量的第一包封层1216。

[0147] 包括间隙控制件的示例性堆叠封装(PoP)器件

[0148] 图17示出了包括第一封装件1701、第二封装件1202和间隙控制件1270的另一堆叠封装(PoP)器件1700。第二封装件1202耦合到第一封装件1701。第一封装件1701可以是第一集成电路(IC)封装件。堆叠封装(PoP)器件1700通过多个焊球1251耦合到印刷电路板(PCB)350。堆叠封装(PoP)器件1700类似于堆叠封装(PoP)器件1600，除了第一封装件1701具有不同的配置之外。特别地，第一封装件1701包括两个包封层，其中一个包封层被过模制在第一封装件1701的第一管芯1211之上。堆叠封装(PoP)器件1700可以嵌入本公开中描述的任何集成器件中。

[0149] 如上所述并且在下面进一步描述，在一些实现中，间隙控制件1270被配置为确保在第一封装件1701的管芯与第二封装件1202的封装件衬底之间有足够的距离、空间或间隙，使得可以在第一封装件1701的管芯与第二封装件1202的封装件衬底之间的空间或间隙中提供(例如，形成)包封层。间隙控制件1270可以是可选的。

[0150] 第一封装件1701包括第一封装件衬底1210、第一管芯1211、第一底部填料1214、多个第一焊球1215、第一包封层1216、间隙控制件1270和包封层1716。因此，第一封装件1701包括两个包封层(例如，1216、1716)。在一些实现中，第一封装件1701还可以包括多个封装互连1627。多个封装互连1627可以包括多个封装互连1617和多个封装互连1227。

[0151] 包封层1716至少部分地包封第一管芯1211和多个封装互连1627。特别地，包封层1716过模制在第一管芯1211之上。也就是说，包封层1716包封第一管芯1211的表面(例如，背面表面)。因此，包封层1716的表面与第一管芯1211的表面(例如，背面表面)实质上不共面。第一包封层1216至少部分地包封间隙控制件1270和多个封装互连1627。第一包封层1216形成在包封层1716之上。包封层1716可以是与第一包封层1216相同的材料或不同的材料。

[0152] 图17示出了堆叠封装(PoP)器件1700至少部分地被包封层316包封。在一些实现中，包封层316可以与第一包封层1216不同且分离。在一些实现中，包封层316可以包括第一包封层1216。在一些实现中，包封层316与第一包封层1216相同。因此，在一些实现中，包封层316可以包封堆叠封装(PoP)器件1700并且位于堆叠封装(PoP)器件1700内部。以上概念在图17中通过包封层316与第一包封层1216之间的虚线边界(例如，线)来示出。

[0153] 如图17所示，间隙控制件1270位于包封层1716之上。特别地，间隙控制件1270位于第一封装件1701的第一管芯1211与第二封装件1202的第二封装件衬底1220之间。在一些实现中，间隙控制件1270被配置为在第一封装件1701的第一管芯1211之上的包封层1716与第二封装件1202的第二封装件衬底1220之间提供最小距离、最小空间和/或最小间隙。在一些实现中，最小距离、最小空间、最小间隙确保了存在足够的空间用于第一包封层1216在第

一封装件1701的第一管芯1211之上的包封层1716与第二封装件1202的第二封装件衬底1220之间流动(例如,在制造过程期间),即使第二封装件衬底1220 存在翘曲、变形和/或挠曲。因此,在一些实现中,位于第一管芯1211 上的包封层1716之上的至少一个间隙控制件1270确保了在第一管芯 1211之上的包封层1716与(第二封装件1202的)第二封装件衬底1220之间形成足够量的第一包封层1216。

[0154] 图17示出了间隙控制件1270与第一管芯1211和第二封装件1202 (例如,第二封装件1202的第二封装件衬底1220) 均不直接物理接触。图17还示出了间隙控制件1270被配置为在第一管芯1211之上的包封层1716与第二封装件1202(例如,第二封装件1202的第二封装件衬底1220的底表面) 之间提供间隙1290(例如,最小间隙)。在一些实现中,第一管芯1211与第二封装件1202(例如,第二封装件 1202的第二封装件衬底1220) 之间的间隙可以包括间隙1290以及在第一管芯1211之上的包封层1716的厚度。

[0155] 包括间隙控制件的示例性堆叠封装(PoP)器件

[0156] 图18示出了包括第一封装件1801、第二封装件1202和间隙控制件1270的另一堆叠封装(PoP)器件1800。第二封装件1202耦合到第一封装件1801。堆叠封装(PoP)器件1800通过多个焊球1251耦合到印刷电路板(PCB) 350。堆叠封装(PoP)器件1800类似于堆叠封装(PoP)器件1600,除了第一封装件1801具有不同的配置之外。特别地,第一封装件1801包括晶片级封装(WLP)。堆叠封装(PoP) 器件1800可以嵌入本公开中描述的任何集成器件中。

[0157] 如上所述并且在下面进一步描述,在一些实现中,间隙控制件 1270被配置为确保在第一封装件1801的管芯与第二封装件1202的封装件衬底之间存在足够的距离、空间或间隙,使得可以在第一封装件 1801的管芯与第二封装件1202的封装件衬底之间的空间或间隙中提供(例如,形成)包封层。间隙控制件1270可以是可选的。

[0158] 第一封装件1801可以包括扇出晶片级封装件(FOWLP)。第一封装件1801包括第一重新分配部分1810、第一管芯1811、第一包封层 1216和包封层1816。第一重新分配部分1810可以是扇出部分(例如,用于扇出或路由去往和来自具有不同I/O节距的设备的信令)。第一封装件1801还可以包括多个封装互连1827。多个封装互连1827可以包括多个封装互连1817和多个封装互连1227。多个封装互连1827 可以包括焊料互连(例如,焊球)。

[0159] 第一重新分配部分1810包括至少一个电介质层1812、至少一个重新分配层1815和至少一个凸块下金属化(UBM) 层1819。重新分配层(例如,1815) 可以向封装件的其他部分重新分配来自管芯的I/O 焊盘的信令。至少一个重新分配层1815耦合到至少一个UBM层1819。至少一个UBM层1819耦合到多个焊球1251。在一些实现中,至少一个UBM层1819可以是可选的。在这种情况下,多个焊球1251 可以耦合到至少一个重新分配层1815。

[0160] 第一管芯1811可以是包括多个晶体管和/或其他电子组件的集成电路(IC)。第一管芯1811可以是逻辑管芯和/或存储器管芯。第一管芯1811可以是裸管芯。第一管芯1811可以包括焊盘1813。第一管芯 1811耦合到第一重新分配部分1810。特别地,第一管芯1811的焊盘 1813耦合到至少一个重新分配层1815。

[0161] 包封层1816至少部分地包封第一管芯1811和多个封装互连 1827。例如,包封层1816可以至少部分地包封第一管芯1811和多个封装互连1817。在一些实现中,包封层1816的表面可以与第一管芯 1811的表面(例如,背面表面)实质上共面。第一包封层1216形成在第一管芯1811和包封层1816之上。包封层1816可以是与第一包封层1216相同的材料或不同

的材料。第一包封层1216至少部分地包封间隙控制件1270和多个封装互连1827。

[0162] 第二封装件1202通过多个封装互连1827耦合到第一封装件 1801，多个封装互连1827包括多个封装互连1227和多个封装互连 1817。多个封装互连1827可以包括焊料互连(例如,焊球)。多个封装互连1827耦合到第一重新分配部分1810和第二封装件衬底1220。特别地,多个封装互连1827耦合到(第一重新分配部分1810的)至少一个重新分配层1815和(第二封装件衬底1220的)多个第二互连 1223。在一些实现中,多个封装互连1227耦合到多个第二互连1223 和多个封装互连1817。多个封装互连1817耦合到第一重新分配部分 1810的至少一个重新分配层1815。

[0163] 图18示出了堆叠封装(PoP)器件1800至少部分地由包封层316 包封。在一些实现中,包封层316可以与第一包封层1216不同且分离。在一些实现中,包封层316可以包括第一包封层1216。在一些实现中,包封层316与第一包封层1216相同。因此,在一些实现中,包封层316可以包封堆叠封装(PoP)器件1800并且位于堆叠封装 (PoP) 器件1800内部。以上概念在图18中通过包封层316与第一包封层1216之间的虚线边界(例如,线)来示出。

[0164] 间隙控制件1270位于第一管芯1811(例如,第一管芯1811的背面之上)之上。特别地,间隙控制件1270位于第一封装件1801的第一管芯1811与第二封装件1202的第二封装件衬底1220之间。在一些实现中,间隙控制件1270被配置为在第一封装件1801的第一管芯1811与第二封装件1202的第二封装件衬底1220之间提供最小距离、最小空间和/或最小间隙。在一些实现中,最小距离、最小空间、最小间隙确保了存在足够的空间用于第一包封层1216在第一封装件1801 的第一管芯1811与第二封装件1202的第二封装件衬底1220之间流动(例如,在制造过程期间),即使第二封装件衬底1220存在翘曲、变形和/或挠曲。因此,在一些实现中,位于第一管芯1811之上(例如,在第一管芯1811的背面之上)的至少一个间隙控制件1270确保了在第一管芯1811与(第二封装件1202的)第二封装件衬底1220 之间形成足够量的第一包封层1216。

[0165] 包括间隙控制件的示例性堆叠封装(PoP)器件

[0166] 图19示出了包括第一封装件1701、第二封装件1902和间隙控制件1270的另一堆叠封装(PoP)器件1900。第二封装件1902耦合到第一封装件1701。第一封装件1701可以是第一集成电路(IC)封装件。堆叠封装(PoP)器件1900通过多个焊球1251耦合到印刷电路板(PCB)350。堆叠封装(PoP)器件1900类似于图17的堆叠封装 (PoP) 器件1700,除了第二封装件1902具有不同的配置之外。特别地,第二封装件1902包括晶片级封装(WLP)。堆叠封装(PoP)器件1900可以嵌入本公开中描述的任何集成器件中。

[0167] 如下面将进一步描述,在一些实现中,间隙控制件1270被配置为确保在第一封装件1701的管芯与第二封装件1902的重新分配部分之间有足够的距离、空间或间隙,使得可以在第一封装件1701的管芯与第二封装件1902的重新分配部分之间的空间或间隙中提供(例如,形成)包封层。间隙控制件1270可以是可选的。

[0168] 第一封装件1701包括第一封装件衬底1210、第一管芯1211、第一底部填料1214、多个第一焊球1215、第一包封层1216、间隙控制件1270和包封层1716。因此,第一封装件1701包括两个包封层(例如,1216、1716)。在一些实现中,第一封装件1701还可以包括多个封装互连1627。多个封装互连1627可以包括多个封装互连1617和多个封装互连1227。

[0169] 第二封装件1902可以包括扇出晶片级封装件(FOWLP)。第二封装件1902包括第二

重新分配部分1920、第二管芯1921和第二包封层 1926。第二重新分配部分1920可以是扇出部分(例如,用于扇出或路由去往和来自具有不同I/O节距的设备的信令)。

[0170] 第二重新分配部分1920包括至少一个电介质层1922、至少一个重新分配层1925和至少一个凸块下金属化(UBM)层1929。重新分配层(例如,1925)可以向封装件的其他部分重新分配来自管芯的I/O 焊盘的信令。至少一个重新分配层1925耦合到至少一个UBM层1929。至少一个UBM层1929耦合到多个封装互连1227(例如,焊球)。在一些实现中,至少一个UBM层1929可以是可选的。在这种情况下,多个封装互连1227(例如,焊球)可以耦合到至少一个重新分配层1925。

[0171] 第二管芯1921可以是包括多个晶体管和/或其他电子组件的集成电路(IC)。第二管芯1921可以是逻辑管芯和/或存储器管芯。第二管芯1921可以是裸管芯。第二管芯1921可以包括焊盘1923。第二管芯 1921耦合到第二重新分配部分1920。特别地,第二管芯1921的焊盘 1923耦合到至少一个重新分配层1925。

[0172] 第二包封层1926至少部分地包封第二管芯1921。第二包封层 1926耦合到第二重新分配部分1920。不同的实现可以针对第二包封层1926使用不同的材料。例如,第二包封层1926可以包括模制材料和/或环氧树脂填料。

[0173] 如图19所示,间隙控制件1270位于包封层1716之上。特别地,间隙控制件1270位于第一封装件1701的第一管芯1211与第二封装件1902的第二重新分配部分1920之间。在一些实现中,间隙控制件 1270被配置为在第一封装件1701的第一管芯1211之上的包封层1716与第二封装件1902的第二重新分配部分1920之间提供最小距离、最小空间和/或最小间隙。在一些实现中,最小距离、最小空间、最小间隙确保了存在足够的空间用于第一包封层1216在第一封装件1701的第一管芯1211之上的包封层1716与第二封装件1902的第二重新分配部分1920之间流动(例如,在制造过程期间),即使第二重新分配部分1920存在翘曲、变形和/或挠曲。在一些实现中,位于第一管芯 1211上的包封层1716之上的至少一个间隙控制件1270确保了在第一管芯1211之上的包封层1716与(第二封装件1902的)第二重新分配部分1920之间形成足够量的第一包封层1216。

[0174] 图19示出了堆叠封装(PoP)器件1900至少部分地被包封层316 封装。在一些实现中,包封层316可以与第一包封层1216不同且分离。在一些实现中,包封层316可以包括第一包封层1216。在一些实现中,包封层316与第一包封层1216相同。因此,在一些实现中,包封层316可以包封堆叠封装(PoP)器件1900并且位于堆叠封装 (PoP) 器件1900内部。以上概念在图19中通过包封层316与第一包封层1216之间的虚线边界(例如,线)来示出。

[0175] 图19示出了间隙控制件1270与第一管芯1211和第二封装件1902 (例如,第二封装件1902的第二重新分配部分1920) 均不直接物理接触。在一些实现中,包封层1716的表面可以与第一管芯1211的表面(例如,顶表面)共面,例如,如图16中所述。在这种情况下,间隙控制件1270可以位于第一管芯1211之上并且与第一管芯1211 物理接触。

[0176] 图19还示出了间隙控制件1270被配置为在第一管芯1211之上的包封层1716与第二封装件1902(例如,第二封装件1902的第二重新分配部分1920的底表面)之间提供间隙1290(例如,最小间隙)。在一些实现中,第一管芯1211与第二封装件1902(例如,第二封装件1902的第二重新分配部分1920)之间的间隙可以包括间隙1290 以及在第一管芯1211之上的包封层1716的厚度。

[0177] 包括间隙控制件的示例性堆叠封装 (PoP) 器件

[0178] 图20示出了包括第一封装件2001、第二封装件1902和间隙控制件1270的另一堆叠封装 (PoP) 器件2000。第二封装件1902耦合到第一封装件2001。堆叠封装 (PoP) 器件2000通过多个焊球1251耦合到印刷电路板 (PCB) 350。堆叠封装 (PoP) 器件2000类似于堆叠封装 (PoP) 器件1900，除了第一封装件2001具有不同的配置之外。特别地，第一封装件2001包括晶片级封装 (WLP)。因此，图20的堆叠封装 (PoP) 器件2000包括两个晶片级封装 (WLP)。堆叠封装 (PoP) 器件2000可以嵌入本公开中描述的任何集成器件中。

[0179] 如上所述并且在下面进一步描述，在一些实现中，间隙控制件 1270被配置为确保在第一封装件2001的管芯与第二封装件1902的重新分配部分之间有足够的距离、空间或间隙，使得可以在第一封装件2001的管芯与第二封装件1902的重新分配部分之间的空间或间隙中提供(例如，形成)包封层。间隙控制件1270可以是可选的。

[0180] 第一封装件2001可以包括扇出晶圆片封装件 (FOWLP)。第一封装件2001包括第一重新分配部分1810、第一管芯1811、第一包封层 1216、包封层1816和多个互连2017(例如，过孔)。第一重新分配部分1810可以是扇出部分(例如，用于扇出或路由去往和来自具有不同I/O节距的设备的信令)。第一封装件2001还可以包括多个封装互连1227。

[0181] 第一重新分配部分1810包括至少一个电介质层1812、至少一个重新分配层1815和至少一个凸块下金属化 (UBM) 层1819。重新分配层(例如，1815)可以向封装件的其他部分重新分配来自管芯的I/O 焊盘的信令。至少一个重新分配层1815耦合到至少一个UBM层1819。至少一个UBM层1819耦合到多个焊球1251。在一些实现中，至少一个UBM层1819可以是可选的。在这种情况下，多个焊球1251 可以耦合到至少一个重新分配层1815。

[0182] 第一管芯1811可以是包括多个晶体管和/或其他电子组件的集成电路 (IC)。第一管芯1811可以是逻辑管芯和/或存储器管芯。第一管芯1811可以是裸管芯。第一管芯1811可以包括焊盘1813。第一管芯 1811耦合到第一重新分配部分1810。特别地，第一管芯1811的焊盘 1813耦合到至少一个重新分配层1815。

[0183] 多个互连2017穿过包封层1816。多个互连2017耦合到第一重新分配部分1810。特别地，多个互连2017耦合到至少一个重新分配层 1815。

[0184] 包封层1816至少部分地包封第一管芯1811和多个互连2017。在一些实现中，包封层1816的表面可以与第一管芯1811的表面(例如，背面表面)实质上共面。第一包封层1216形成在第一管芯1811和包封层1816之上。包封层1816可以是与第一包封层1216相同的材料或不同的材料。第一包封层1216至少部分地包封间隙控制件1270和多个互连1227。

[0185] 第二封装件1902可以包括扇出晶片级封装件 (FOWLP)。第二封装件1902包括第二重新分配部分1920、第二管芯1921和第二包封层 1926。第二重新分配部分1920可以是扇出部分(例如，用于扇出或路由去往和来自具有不同I/O间距的设备的信令)。

[0186] 第二封装件1902通过多个封装互连1227耦合到第一封装件2001。多个封装互连1227可以包括焊料互连(例如，焊球)。多个封装互连1227耦合到第二重新分配部分1920和第一封装件2001的多个互连2017(例如，过孔)。特别地，多个封装互连1227耦合到UBM 层1929和第一封装件2001的多个互连2017(例如，过孔)。在一些实现中，多个封装互连1227耦合到重新分配层1925和第一封装件 2001的多个互连2017(例如，过孔)。

[0187] 间隙控制件1270位于第一管芯1811之上(例如，在第一管芯1811 的背面之上)。特

别地,间隙控制件1270位于第一封装件2001的第一管芯1811与第二封装件1902的第二重新分配部分1920之间。在一些实现中,间隙控制件1270被配置为在第一封装件2001的第一管芯1811与第二封装件1902的第二重新分配部分1920之间提供最小距离、最小空间和/或最小间隙。在一些实现中,最小距离、最小空间、最小间隙确保了存在足够的空间用于第一包封层1216在第一封装件2001的第一管芯1811与第二封装件1902的第二重新分配部分1920之间流动(例如,在制造过程期间),即使第二重新分配部分1920存在翘曲、变形和/或挠曲。因此,在一些实现中,位于第一管芯1811之上(例如,在第一管芯1811的背面之上)的至少一个间隙控制件1270确保了在第一管芯1811与(第二封装件1902的)第二重新分配部分1920之间形成足够量的第一包封层1216。

[0188] 图20示出了堆叠封装(PoP)器件2000至少部分地被包封层316封装。在一些实现中,包封层316可以与第一包封层1216不同且分离。在一些实现中,包封层316可以包括第一包封层1216。在一些实现中,包封层316与第一包封层1216相同。因此,在一些实现中,包封层316可以包封堆叠封装(PoP)器件2000并且位于堆叠封装(PoP)器件2000内部。以上概念在图20中通过包封层316与第一包封层1216之间的虚线边界(例如,线)来示出。

[0189] 已经描述了包括间隙控制件的堆叠封装(PoP)器件的各种示例,现在将描述用于制造包括间隙控制件的堆叠封装(PoP)器件的各种工艺和方法。

[0190] 用于制造包括间隙控制件的封装件的示例性序列

[0191] 在一些实现中,提供/制造包括间隙控制件的封装件包括若干工艺。图21(其包括图21A至图21C)示出了用于提供/制造包括间隙控制件的封装件的示例性序列。在一些实现中,图21A至图21C的序列可以用于制造图12和图16至图19的包括间隙控制件的封装件(例如,集成电路(IC)封装件)和/或本公开中描述的其他封装件。将在提供/制造图16的封装件的上下文中描述图21A至图21C。特别地,将在制造图16的第一封装件1601的上下文中描述图21A至图21C。

[0192] 应当注意,图21A至图21C的序列可以组合一个或多个阶段,以便简化和/或阐明用于提供封装件的序列。在一些实现中,工艺的顺序可以改变或修改。

[0193] 如图21A所示,阶段1示出了所提供的第一电介质层2112。第一电介质层2112可以是核心层。第一电介质层2112可以由供应商形成或提供。

[0194] 阶段2示出了形成在第一电介质层2112中的至少一个腔体2101。不同的实现可以不同地在第一电介质层2112中形成腔体2101。可以使用激光工艺和/或光刻工艺来形成腔体2101。

[0195] 阶段3示出了形成在第一电介质层2112上和/或中的第一金属层2104和第二金属层2106。第一金属层2104和第二金属层2106可以表示多个第一互连1213,如至少在图16中描述。

[0196] 阶段4示出了形成在第一电介质层2112上的第二电介质层2122和第三电介质层2132。

[0197] 阶段5示出了形成在第二电介质层2122中的至少一个腔体2105以及形成在第三电介质层2132中的至少一个腔体2107。不同的实现可以不同地在第二电介质层2122中形成腔体2105以及在第三电介质层2132中形成腔体2107。可以使用激光工艺和/或光刻工艺来形成腔体2105和/或腔体2107。

[0198] 阶段6示出了形成在第二电介质层2122上和/或中的第三金属层 2108、形成在第三电介质层2132上和/或中的第四金属层2110。第三金属层2108和第四金属层2110可以表示多个第一互连1213，如上面至少在图16中描述。阶段6可以表示包括至少一个电介质层和多个第一互连的封装件衬底(例如,第一封装件衬底1210)。

[0199] 阶段7示出了形成在电介质层1212之上的第一阻焊层1280和形成在电介质层1212之上的第二阻焊层1282。电介质层1212可以共同表示第一电介质层2112、第二电介质层2122和第三电介质层2132。阶段7可以表示包括电介质层1212、多个第一互连1213、第一阻焊层1280和第二阻焊层1282的封装件衬底(例如,第一封装件衬底 1210)。

[0200] 如图21B所示,阶段8示出了耦合到第一封装件衬底1210的多个焊球1251。特别地,多个焊球1252耦合到多个第一互连1213。

[0201] 阶段9示出了通过多个第一焊球1215耦合到第一封装件衬底 1210的第一管芯1211。不同的实现可以不同地将第一管芯1211耦合到第一封装件衬底1210(例如,通过使用互连柱)。在一些实现中,可以使用回流焊工艺(例如,芯片附接回流焊工艺)来将第一管芯1211 耦合到第一封装件衬底1210。在一些实现中,可以在回流焊工艺之后使用回流工艺。

[0202] 阶段10示出了设置在第一管芯1211与第一封装件衬底1210之间的第一底部填料1214。第一底部填料1214可以至少部分地围绕多个第一焊球1215。在一些实现中,提供第一底部填料1214包括底部填料分配过程。

[0203] 如图21C所示,阶段11示出了设置(例如,形成)在第一封装件衬底1210之上的多个封装互连1617。多个封装互连1617可以包括焊料互连。

[0204] 阶段12示出了至少部分地形成在第一管芯1211、第一封装件衬底1210和多个封装互连1617之上的包封层1616。在一些实现中,包封层1616至少部分地包封第一管芯1211和多个封装互连1617。在一些实现中,第一管芯1211被包封层1616完全包封,并且包封层1616被研磨使得包封层1616的顶表面与第一管芯1211的表面(例如,背面表面)实质上共面。

[0205] 阶段13示出了形成在包封层1616中的至少一个腔体2116。腔体 2116可以被形成至少部分地暴露多个封装互连1617。可以使用激光工艺和/或光刻工艺来形成腔体2116。

[0206] 阶段14示出了耦合到第一管芯1211(例如,耦合到第一管芯1211 的背面表面)的至少一个间隙控制件1270。在一些实现中,阶段14 示出了包括第一封装件衬底1210、第一管芯1211、多个封装互连 1617、包封层1616和至少一个间隙控制件1270的第一封装件1601。在一些实现中,至少一个间隙控制件1270被沉积在第一管芯1211上。

[0207] 在一些实现中,在晶片上同时制造若干第一封装件,并且执行分割工艺以将晶片切割成单独的封装件。

[0208] 用于制造包括间隙控制件的堆叠封装(PoP)器件的示例性序列

[0209] 在一些实现中,提供/制造包括间隙控制件的堆叠封装(PoP)器件包括若干工艺。图22示出了用于提供/制造包括间隙控制件的堆叠封装(PoP)器件的示例性序列。在一些实现中,图22的序列可以用于制造图12和图16至图17的包括间隙控制件的堆叠封装(PoP)器件和/或本公开中描述的其他堆叠封装(PoP)器件。将在提供/制造图 12的堆叠封装(PoP)器件的上下文中描述图22。

[0210] 应当注意,图22的序列可以组合一个或多个阶段,以便简化和/ 或阐明用于提供堆叠封装(PoP)器件的序列。在一些实现中,工艺的顺序可以改变或修改。

[0211] 如图22所示,阶段1示出了所提供的第一封装件1201。第一封装件1201包括第一封装件衬底1210、第一管芯1211、第一底部填料 1214和间隙控制件1270。图21A至图21C示出了用于制造第一封装件1201的序列的示例。

[0212] 阶段2示出了通过多个封装互连1227耦合到第一封装件1201的第二封装件1202。第二封装件1202包括第二封装件衬底1220、第二管芯1221、第二底部填料1224和第二包封层1226。第二封装件1202 还可以包括多个封装互连1227。多个封装互连1227包括焊料互连(例如,焊球)。

[0213] 阶段3示出了设置(例如,形成)在第一封装件1201与第二封装件1202之间的第一包封层1216。阶段3可以示出包括第一封装件 1201和第二封装件1202的堆叠封装(PoP)器件1200。第一封装件 1201包括第一管芯1211、间隙控制件1270和第一包封层1216。第二封装件1202可以包括第二封装件衬底1220。

[0214] 如阶段3所示,第一包封层1216形成在第一封装件1201的第一管芯1211的背面表面与第二封装件1202的第二封装件衬底1220的底表面之间。

[0215] 用于制造包括间隙控制件的封装件的示例性序列

[0216] 在一些实现中,提供/制造包括间隙控制件的封装件包括若干工艺。图23(其包括图23A至图23B)示出了用于提供/制造包括间隙控制件的封装件的示例性序列。在一些实现中,图23A至图23B的序列可以用于制造图18至图20的包括间隙控制件的封装件(例如,集成电路(IC)封装件)和/或本公开中描述的其他封装件。将在提供/制造图20的封装件的上下文中描述图23A至图23B。特别地,将在制造图20的第一封装件2001的上下文中描述图23A至图23B。图 23A至图23B可以用于制造扇出晶片级封装件(FOWLP)。

[0217] 应当注意,图23A至图23B的序列可以组合一个或多个阶段,以便简化和/或阐明用于提供封装件的序列。在一些实现中,工艺的顺序可以改变或修改。

[0218] 如图23A所示,阶段1示出了耦合到载体2300的第一管芯1811。第一管芯1811包括焊盘1813和至少一个钝化层1814。载体2300可以是胶带层。

[0219] 阶段2示出了形成在第一管芯1811之上的包封层1816。包封层 1816可以至少部分地包封第一管芯1811。包封层1816被形成为使得包封层1816的表面与第一管芯1811的背面表面实质上共面。在一些实现中,包封层1816可以围绕第一管芯1811不同地形成。

[0220] 阶段3示出了与载体2300去耦合(例如,分离)的第一管芯1811 和包封层1816。

[0221] 阶段4示出了形成在第一管芯1811和包封层1816之上的第一电介质层1812a和第一重新分配层1815a。第一电介质层1812a形成在第一管芯1811的钝化层1814之上。第一重新分配层1815a被形成为使得第一重新分配层1815a耦合到第一管芯1811的焊盘1813。

[0222] 阶段5示出了形成在第一电介质层1812a和第一重新分配层 1815a之上的第二电介质层1812b。阶段5还示出了在第二重新分配层1815b被形成在第一重新分配层1815a之上并且耦合到第一重新分配层1815a之后的状态。第一重新分配层1815a和第二重新分配层1815b可以表示重新分配层1815。

[0223] 如图23B所示,阶段6示出了形成在第二电介质层1812b和第二重新分配层1815b之上的第三电介质层1812c。阶段6还示出了在 UBM层1819被形成在第二重新分配层1815b之上并且耦合到第二重新分配层1815b之后的状态。第一电介质层1812a、第二电介质层1812b和第三电介质层1812c可以表示电介质层1812。

[0224] 阶段7示出了耦合到UBM层1819的多个焊球1251。在一些实现中,UBM层1819可以是可选的。在这种情况下,多个焊球1851 可以耦合到重新分配层1815。

[0225] 阶段8示出了形成在包封层1816中的至少一个腔体2317。不同的实现可以不同地在包封层1816中形成腔体2317。可以使用激光工艺和/或光刻工艺来形成腔体2317。阶段8示出了包括电介质层1812、重新分配层1815和UBM层1819的第一重新分配部分1810。

[0226] 阶段9示出了形成在包封层1816的腔体2317中的多个互连 2017。多个互连2017可以包括过孔。镀敷工艺可以用于形成多个互连2017。

[0227] 阶段10示出了耦合到第一管芯1811(例如,耦合到第一管芯1811 的背面表面)的至少一个间隙控制件1270。在一些实现中,阶段10 示出了包括第一重新分配部分1810、第一管芯1811、包封层1816、多个互连2017和至少一个间隙控制件1270的第一封装件2001。

[0228] 在一些实现中,在晶片上同时制造若干第一封装件,并且执行分割工艺以将晶片切割成单独的封装件。

[0229] 用于制造包括间隙控制件的堆叠封装(PoP)器件的示例性序列

[0230] 在一些实现中,提供/制造包括间隙控制件的堆叠封装(PoP)器件包括若干工艺。图24示出了用于提供/制造包括间隙控制件的堆叠封装(PoP)器件的示例性序列。在一些实现中,图24的序列可以用于制造图20的包括间隙控制件的堆叠封装(PoP)器件和/或本公开中描述的其他堆叠封装(PoP)器件。将在提供/制造图20的堆叠封装(PoP)器件的上下文中描述图24。

[0231] 应当注意,图24的序列可以组合一个或多个阶段,以便简化和/ 或阐明用于提供堆叠封装(PoP)器件的序列。在一些实现中,工艺的顺序可以改变或修改。

[0232] 如图24所示,阶段1示出了所提供的第一封装件2001。第一封装件2001可以是扇出晶片级封装件(FOWLP)。第一封装件2001包括第一重新分配部分1810、至少一个重新分配层1815、至少一个UBM 层1819、第一管芯1811、焊盘1813和间隙控制件1270。图23A至图23B示出了用于制造第一封装件2001的序列的示例。

[0233] 阶段2示出了通过多个封装互连227耦合到第一封装件2001的第二封装件1902。第二封装件1902包括第二重新分配部分1920、至少一个重新分配层1925、至少一个UBM层1929、第二管芯1921和焊盘1923。第二封装件1902还可以包括多个封装互连227。多个封装互连1227包括焊料互连(例如,焊球)。

[0234] 阶段3示出了设置(例如,形成)在第一封装件2001与第二封装件1902之间的第一包封层1216。阶段3可以示出包括第一封装件 2001和第二封装件1902的堆叠封装(PoP)器件2000。第一封装件 2001包括第一管芯1811、间隙控制件1270和第一包封层1216。第二封装件1902可以包括第二重新分配部分1920。

[0235] 如阶段3所示,第一包封层1216形成在第一封装件2001的第一管芯1811的背面表面与第二封装件1902的第二重新分配部分1920 的底表面之间。

[0236] 用于制造包括间隙控制件的堆叠封装(PoP)器件的示例性方法

[0237] 在一些实现中,提供/制造包括间隙控制件的堆叠封装(PoP)包括若干工艺。图25示出了用于提供/制造包括间隙控制件的堆叠封装 (PoP)的方法的示例性流程图。在一些实现中,图25的方法可以用于提供/制造图12、图16至图20的包括间隙控制件的堆叠封装(PoP) 和/或本公开中描述的其他堆叠封装(PoP)器件。将在提供/制造图 12的器件封装件

的上下文中描述图25。

[0238] 应当注意,图25的流程图可以组合一个或多个工艺,以便简化和/或阐明用于提供堆叠封装(PoP)器件的方法。在一些实现中,工艺的顺序可以改变或修改。

[0239] 在阶段2505,形成包括第一电子封装组件(例如,第一管芯)的第一集成电路(IC)封装件。形成第一集成电路(IC)封装件的示例在图21A至图21C和图23A至图23B中示出和描述。在一些实现中,第一集成电路(IC)封装件可以包括扇出晶片级封装件(FOWLP)。第一集成电路(IC)封装件可以包括封装件衬底或重新分配部分。第一集成电路(IC)封装件可以包括包封层。第一封装件(例如,第一集成电路(IC)封装件)的示例包括第一封装件1201、第一封装件1601、第一封装件1701、第一封装件1801和第一封装件2001。

[0240] 在阶段2510,在第一集成电路(IC)封装件之上提供至少一个间隙控制件。间隙控制件可以被提供并且耦合到第一管芯(例如,在第一管芯1211的背面表面的中心上或附近)。间隙控制件的示例包括间隙控制件1270、间隙控制件1370、间隙控制件1470和间隙控制件1570。

[0241] 在阶段2515,形成包括第二管芯的第二集成电路(IC)封装件。形成第二集成电路(IC)封装件的示例在图21A至图21C和图23A至图23B中示出和描述。在一些实现中,第二集成电路(IC)封装件可以包括扇出晶圆级封装件(FOWLP)。第二集成电路(IC)封装件可以包括封装件衬底或重新分配部分。第二集成电路(IC)封装件可以包括包封层。第二封装件(例如,第二集成电路(IC)封装件)的示例包括第二封装件1202和第二封装件1902。

[0242] 在阶段2520,将第二集成电路(IC)封装件通过多个封装互连(例如,多个封装互连1227)耦合到第一集成电路(IC)封装件。

[0243] 在阶段2525,可选地,在第一集成电路(IC)封装件与第二集成电路(IC)封装件之间形成第一包封层。特别地,第一包封层(例如,第一包封层1216)形成在第一封装件的第一管芯与第二封装件(例如,第二封装件的第二封装件衬底、第二封装件的第二重新分配部分)之间。

[0244] 示例性电子设备

[0245] 图26示出了可以与前述集成器件、半导体器件、集成电路、管芯、中介层、封装件或堆叠封装(PoP)中的任一者集成的各种电子设备。例如,移动电话设备2602、膝上型计算机设备2604、固定位置终端设备2606、可穿戴设备2608可以包括如本文中描述的集成设备2600。集成设备2600可以是例如本文中描述的集成电路、管芯、集成器件、集成器件封装件、集成电路器件、器件封装件、集成电路(IC)封装件、堆叠封装器件中的任一者。图26所示的设备2602、2604、2606、2608仅仅是示例性的。其他电子设备还可以以集成设备2600为特征,包括但不限于一组设备(例如,电子设备),包括移动设备、手持个人通信系统(PCS)单元、便携式数据单元(诸如个人数字助理)、全球定位系统(GPS)功能设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如抄表设备)、通信设备、智能手机、平板电脑、计算机、可穿戴设备(例如,手表、眼镜)、物联网(IoT)设备、服务器、路由器、在机动车辆(例如,自动车辆)中实现的电子设备、或者存储或取回数据或计算机指令的任何其他设备、或者其任何组合。

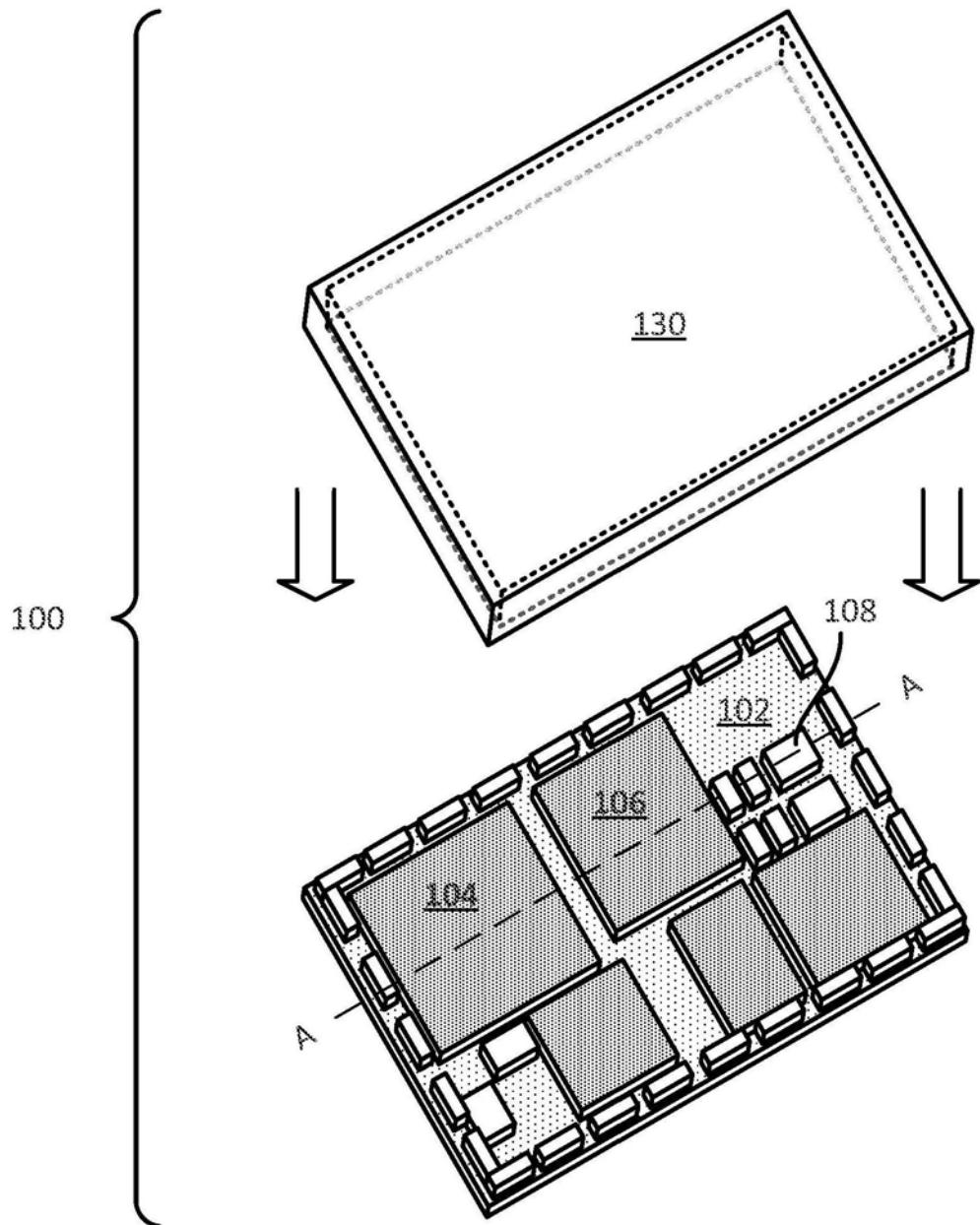
[0246] 图2、图3、图4、图5、图6、图7、图8、图9、图10、图11、图12、图13、图14、图15、图16、图17、图18、图19、图20、图21A至图21C、图22、图23A至图23B、图24、图25和/或图26所示的一

个或多个组件、过程、特征和/或功能可以重新排列以及/或者组合成单个组件、过程、特征或功能或者在若干组件、过程或功能中实施。在不脱离本公开的情况下,还可以添加附加的元件、组件、过程和/或功能。还应当注意,图2、图3、图4、图5、图6、图7、图 8、图9、图10、图11、图12、图13、图14、图15、图16、图17、图18、图19、图20、图21A至图21C、图22、图23A至图23B、图 24、图25和/或图26以及其在本公开中的相应描述不限于管芯和/或 IC。在一些实现中,图2、图3、图4、图5、图6、图7、图8、图9、图10、图11、图12、图13、图14、图15、图16、图17、图18、图 19、图20、图21A至图21C、图22、图23A至图23B、图24、图25 和/或图26以及其相应描述可以用于制造、创建、提供和/或生产集成器件。在一些实现中,一种设备可以包括管芯、集成器件、管芯封装件、集成电路(IC)、器件封装件、集成电路(IC)封装件、晶片、半导体器件、堆叠封装(PoP)器件和/或中介层。

[0247]措辞“示例性”在本文中用于表示“用作示例、实例或说明”。本文中描述为“示例性”的任何实现或方面不一定被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。术语“耦合”在本文中用于指代两个对象之间的直接或间接耦合。例如,如果对象A物理接触对象B,并且对象B接触对象C,则对象A和C仍然可以被视为彼此耦合,即使它们不直接彼此物理接触。

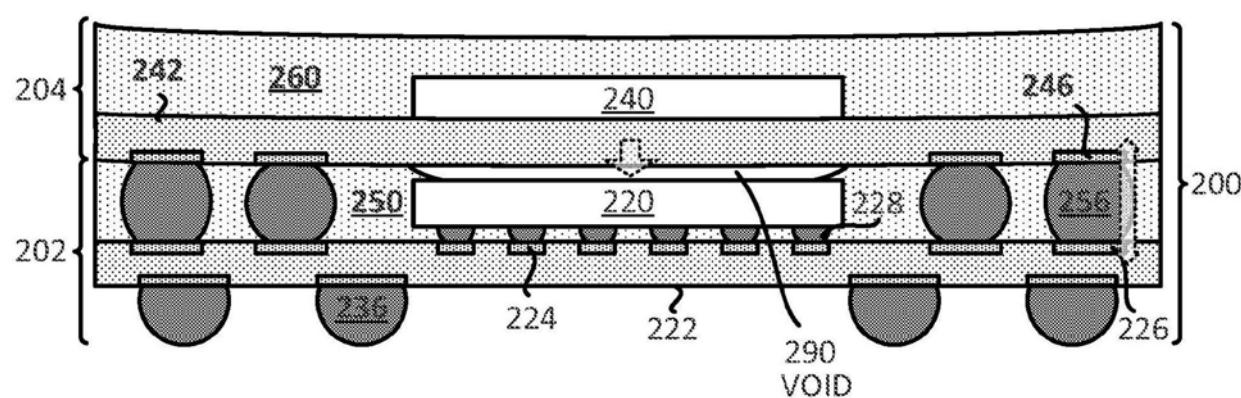
[0248]另外,应当注意,本文中包含的各种公开可以被描述为被描绘为流程图、流程图示、结构图或框图的过程。尽管流程图可以将操作描述为顺序过程,但是很多操作可以并行或同时执行。另外,操作的顺序可以重新排列。过程在其操作完成时终止。

[0249]本文中描述的本公开的各种特征可以在不脱离本公开的情况下在不同的系统中实现。应当注意,本公开的前述方面仅仅是示例,而不应当被解释为限制本公开。本公开的各方面的描述旨在是说明性的,而不是限制权利要求的范围。这样,本教导可以容易地应用于其他类型的装置,并且对于本领域技术人员来说很多替代、修改和变化将是显而易见的。



(现有技术)

图1



(现有技术)

图2

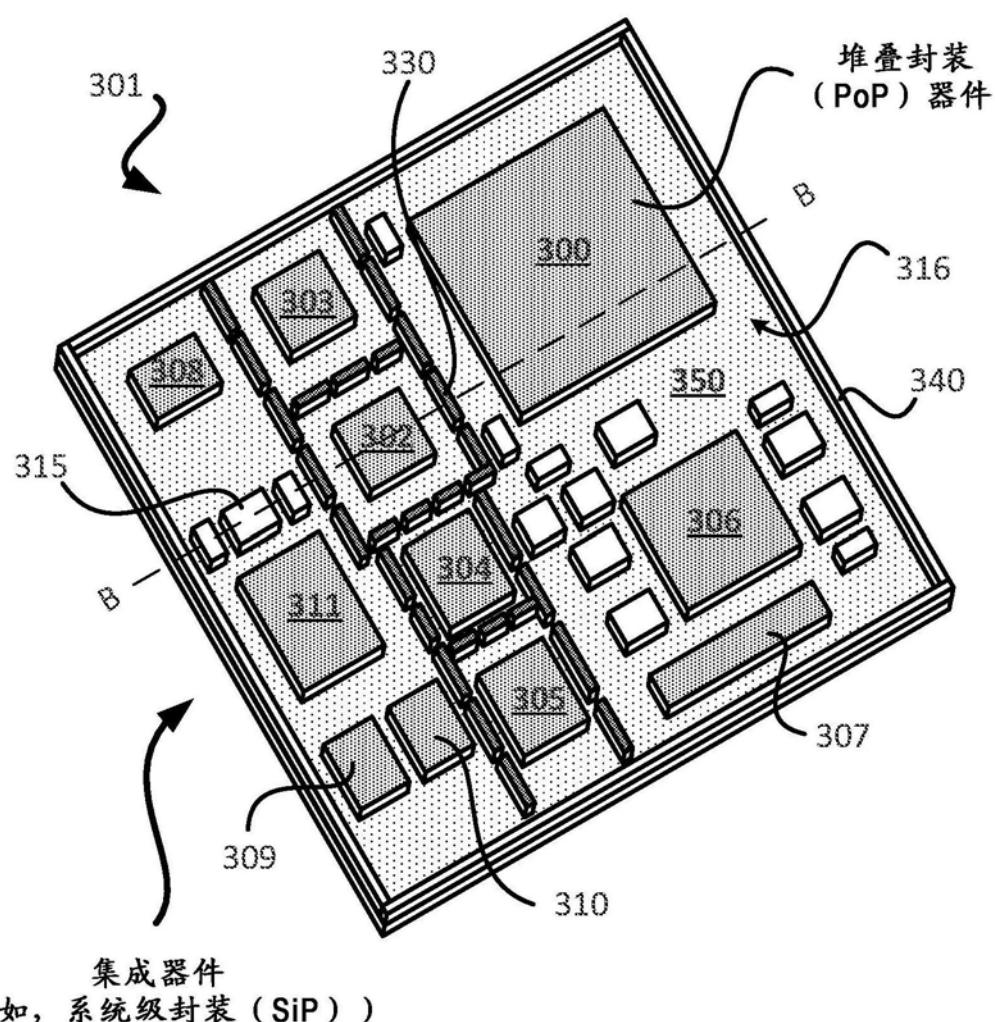


图3

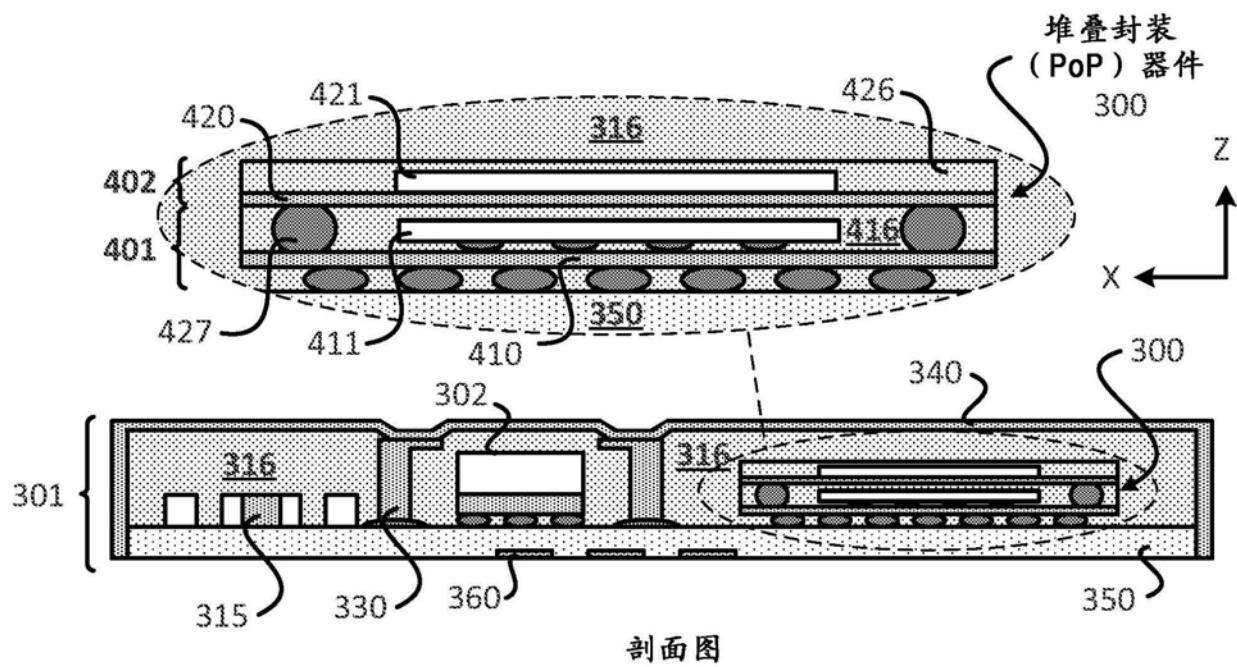


图4

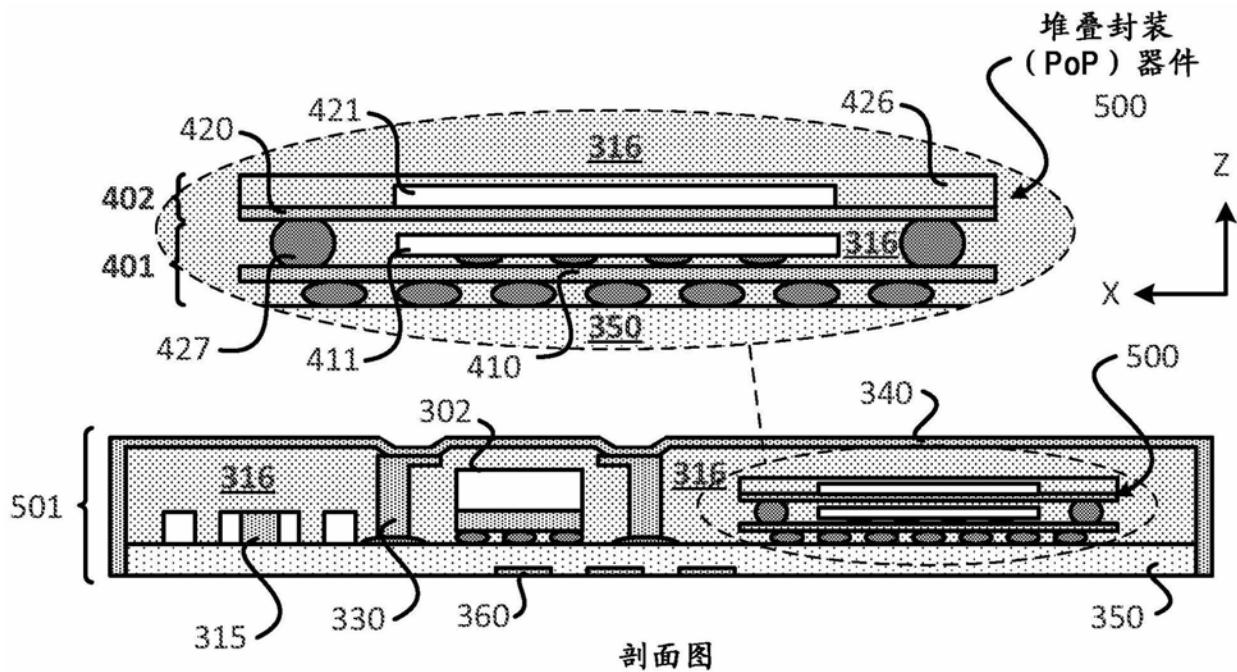


图5

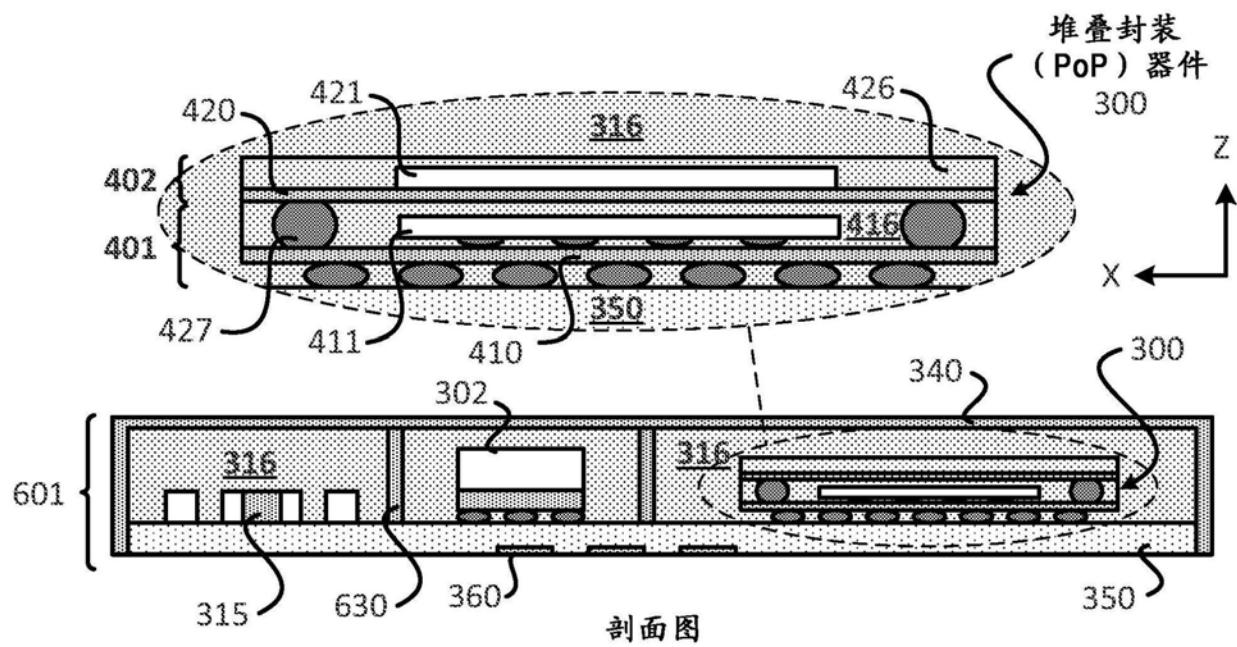


图6

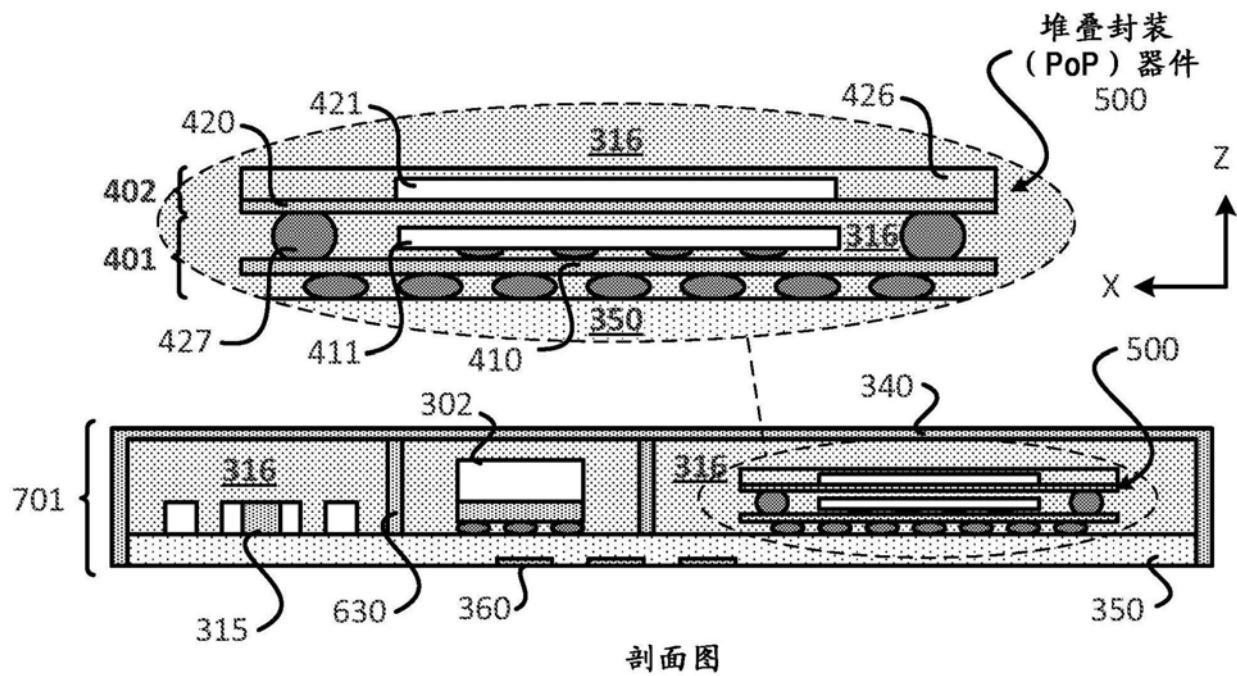


图7

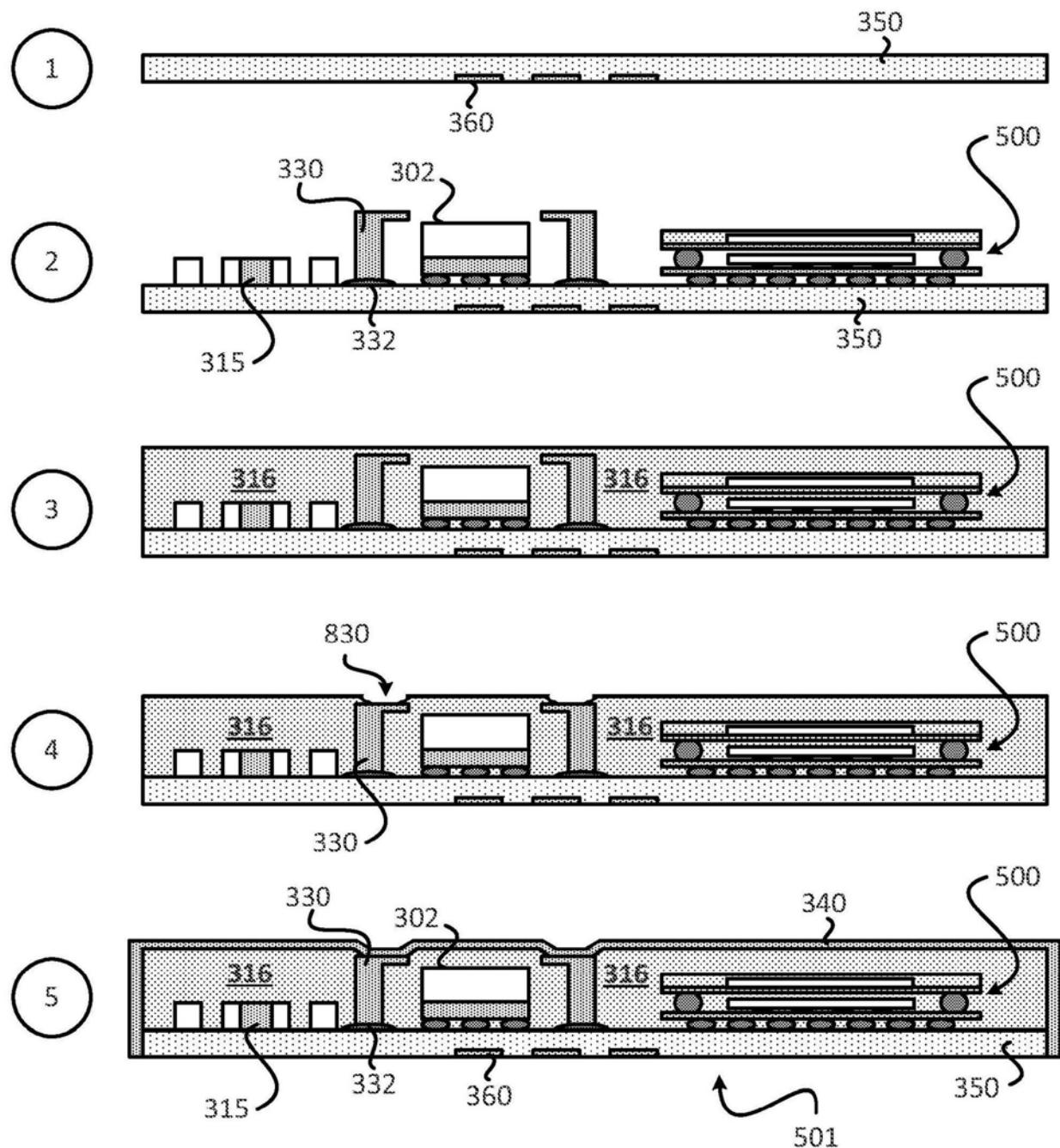


图8

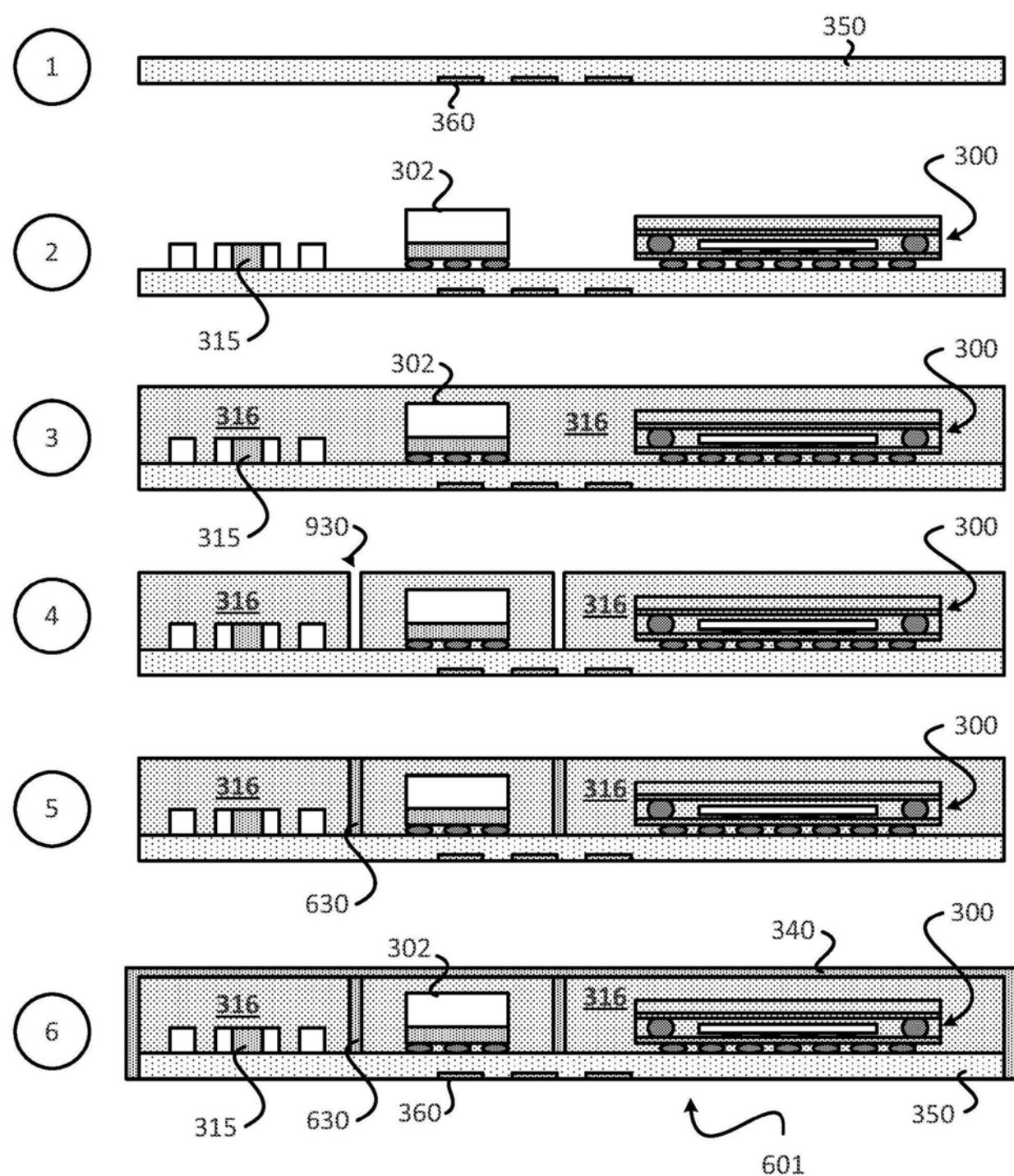


图9

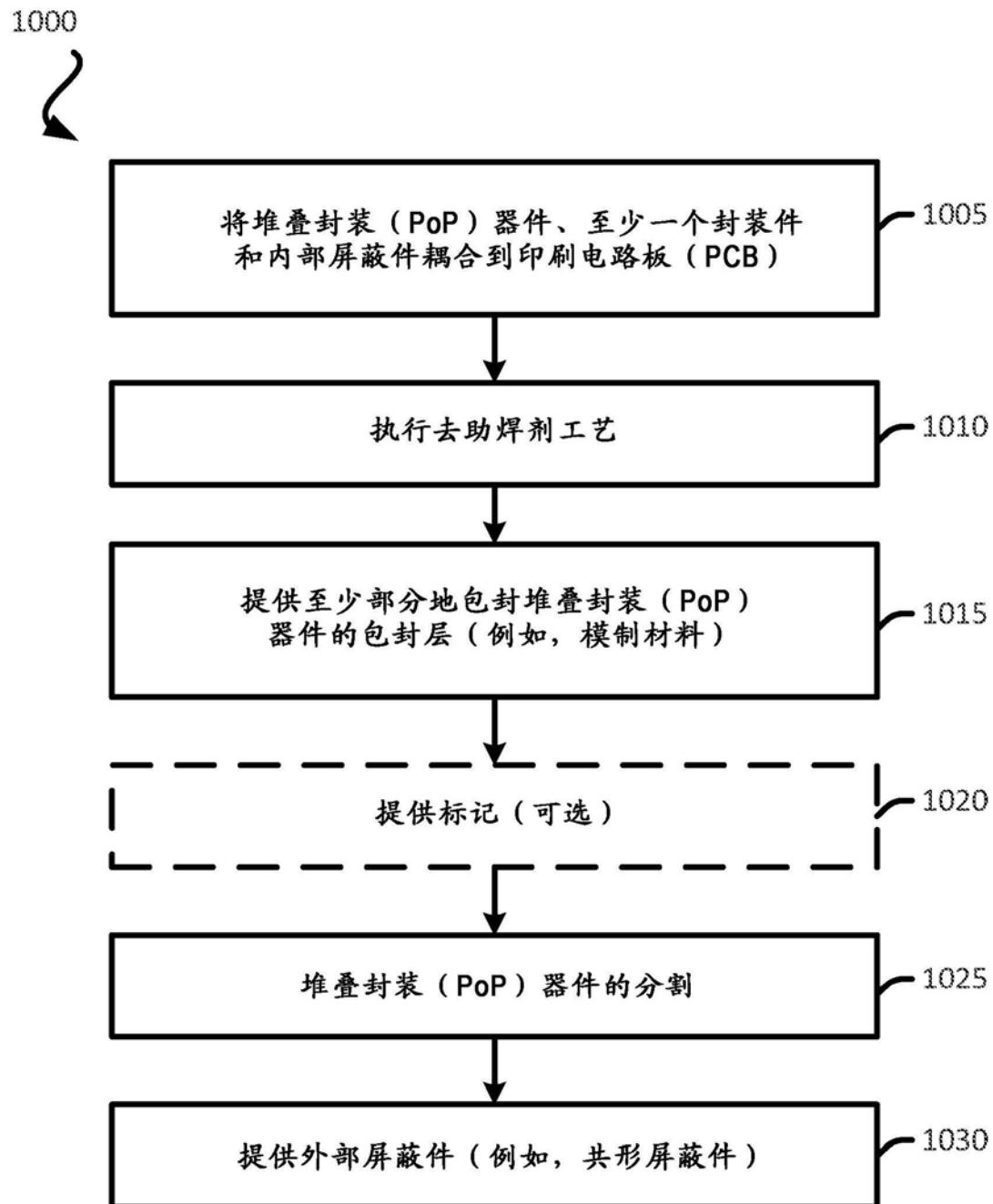


图10



图11

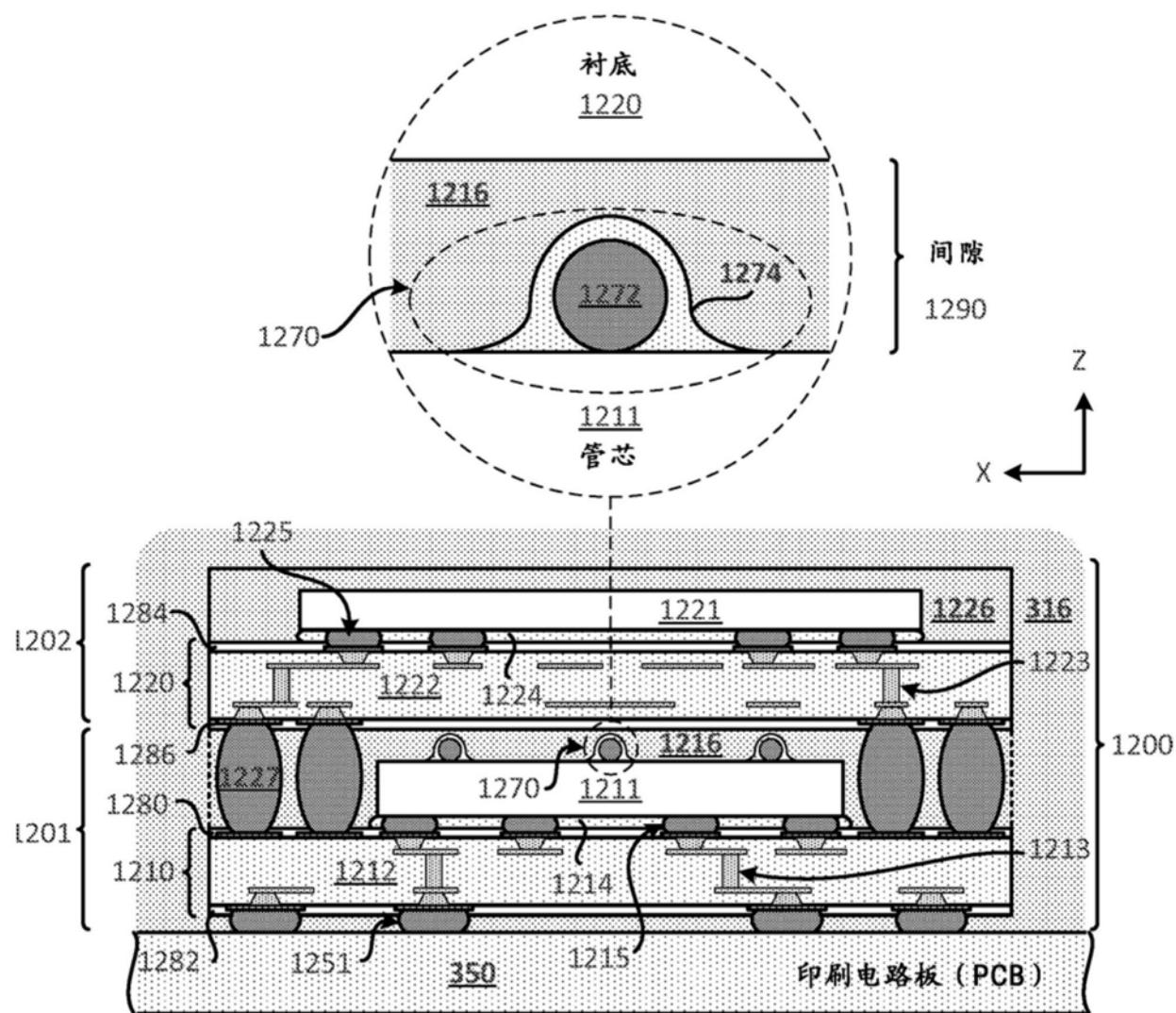


图12

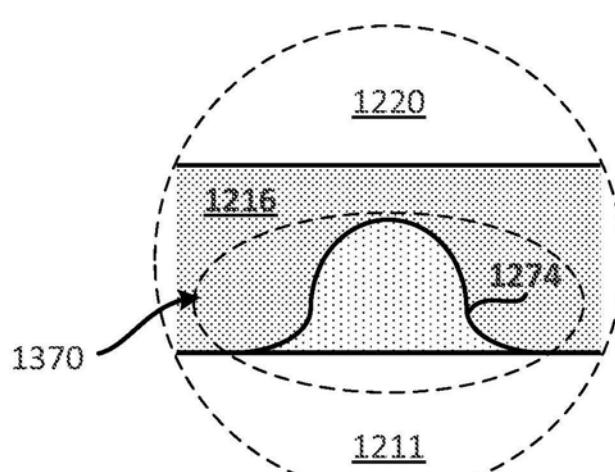


图13

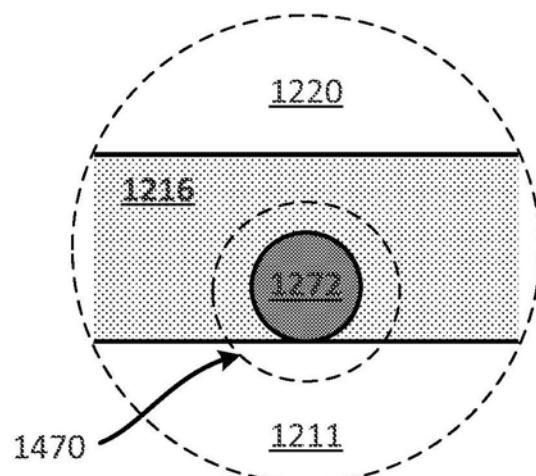


图14

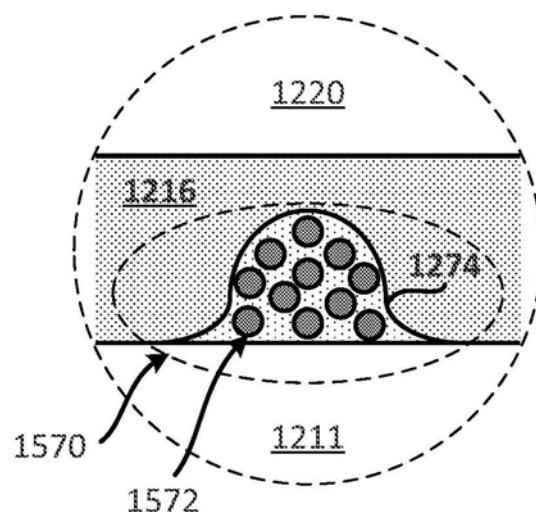


图15

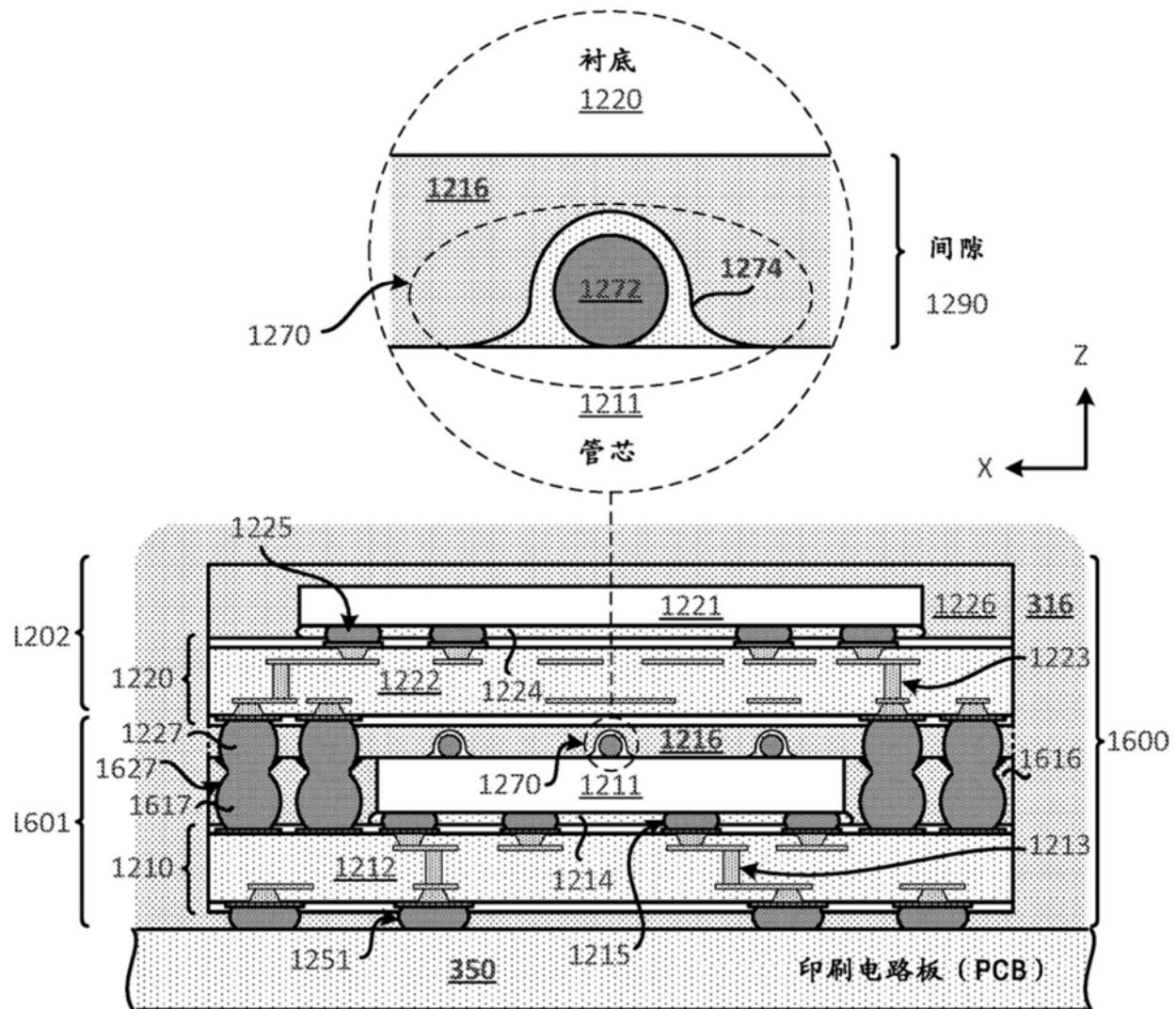


图16

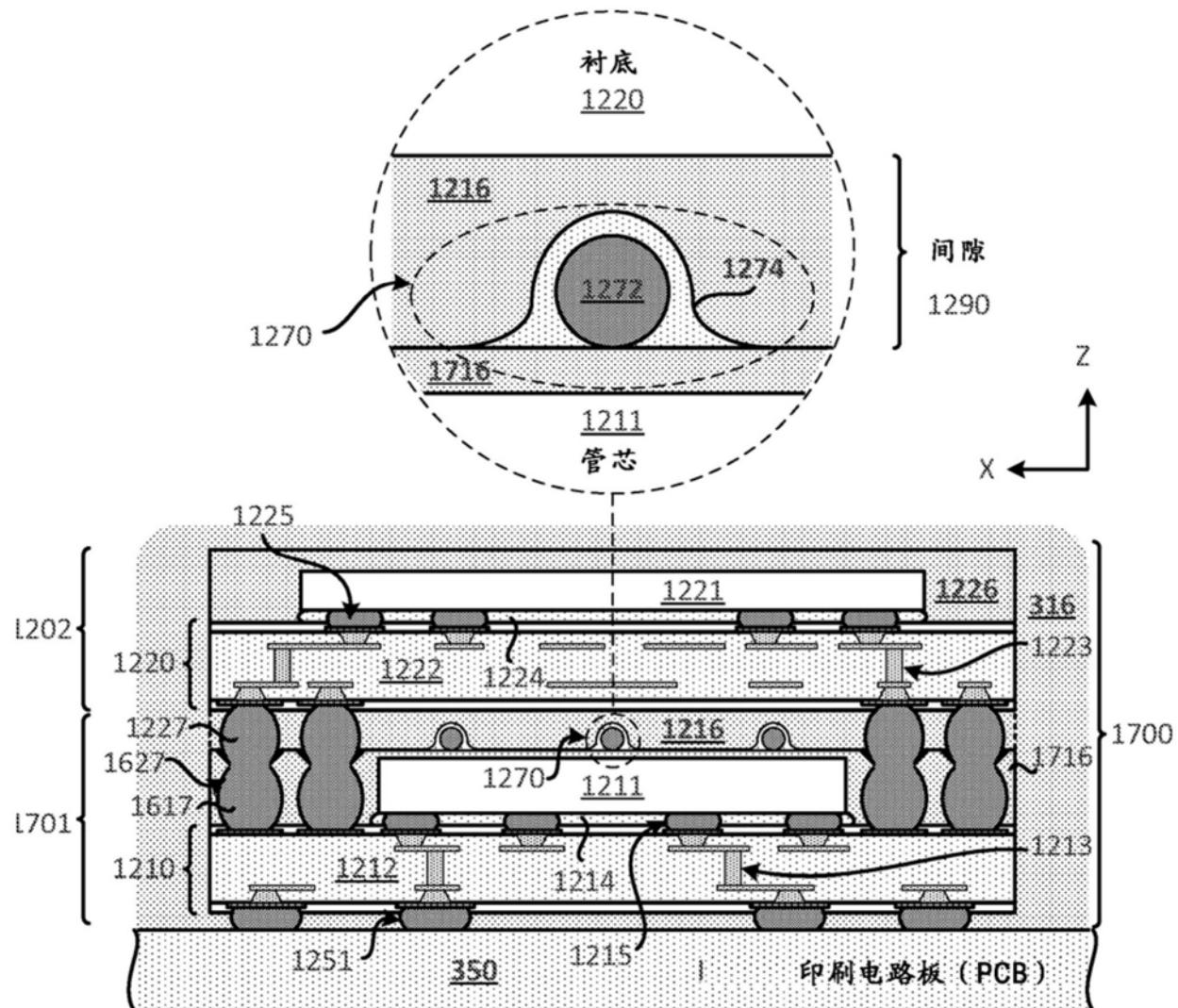


图17

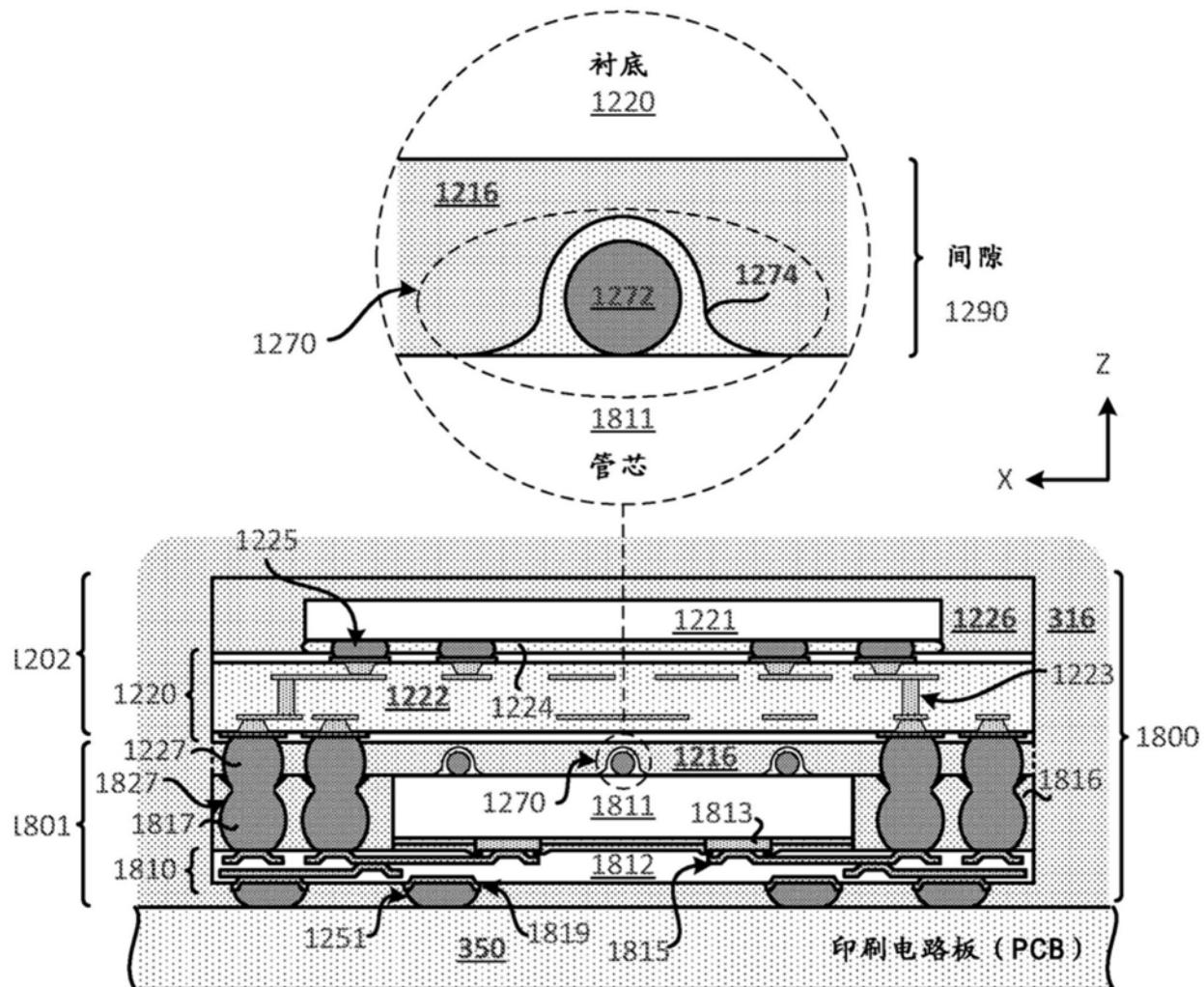


图18

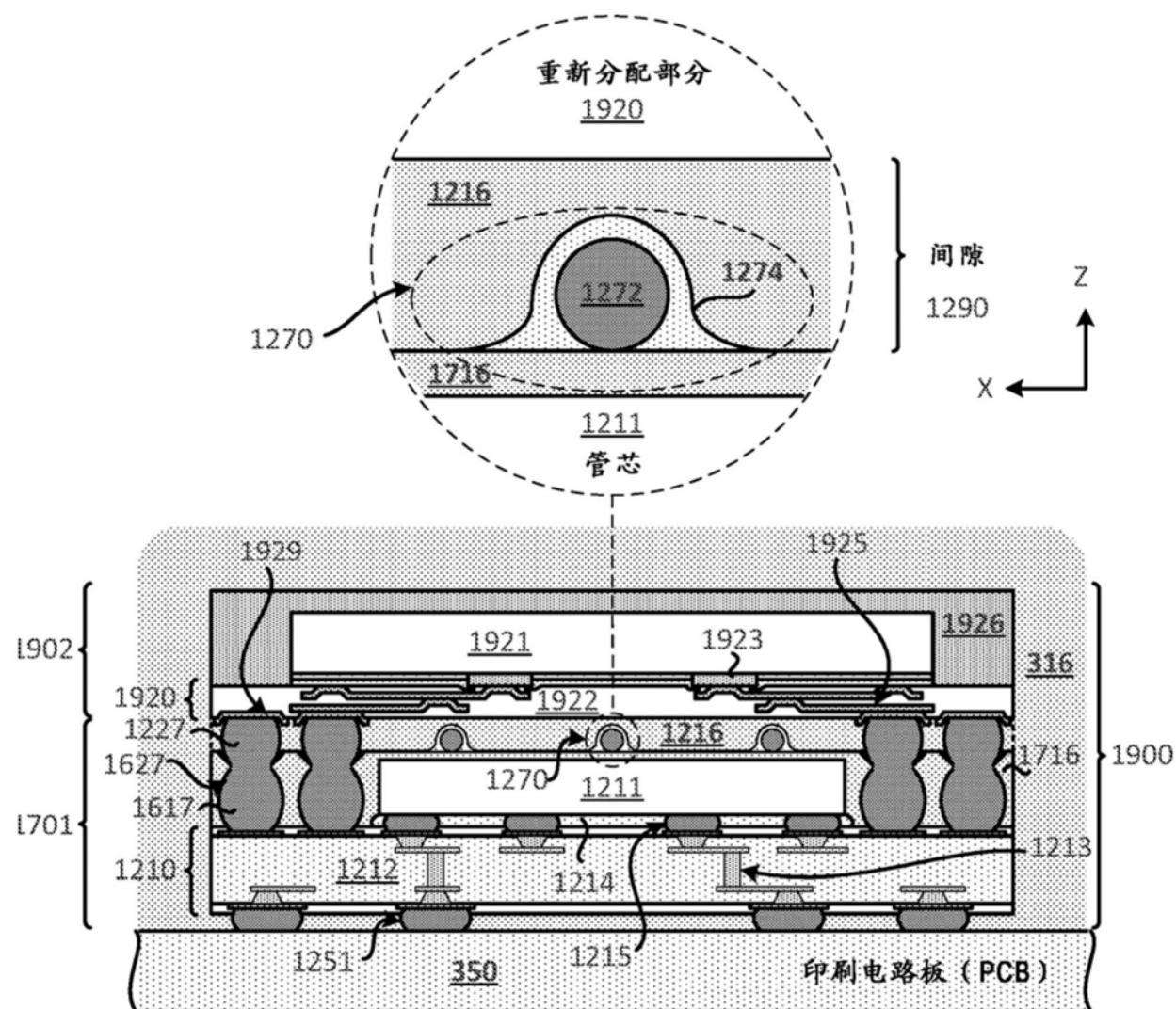


图19

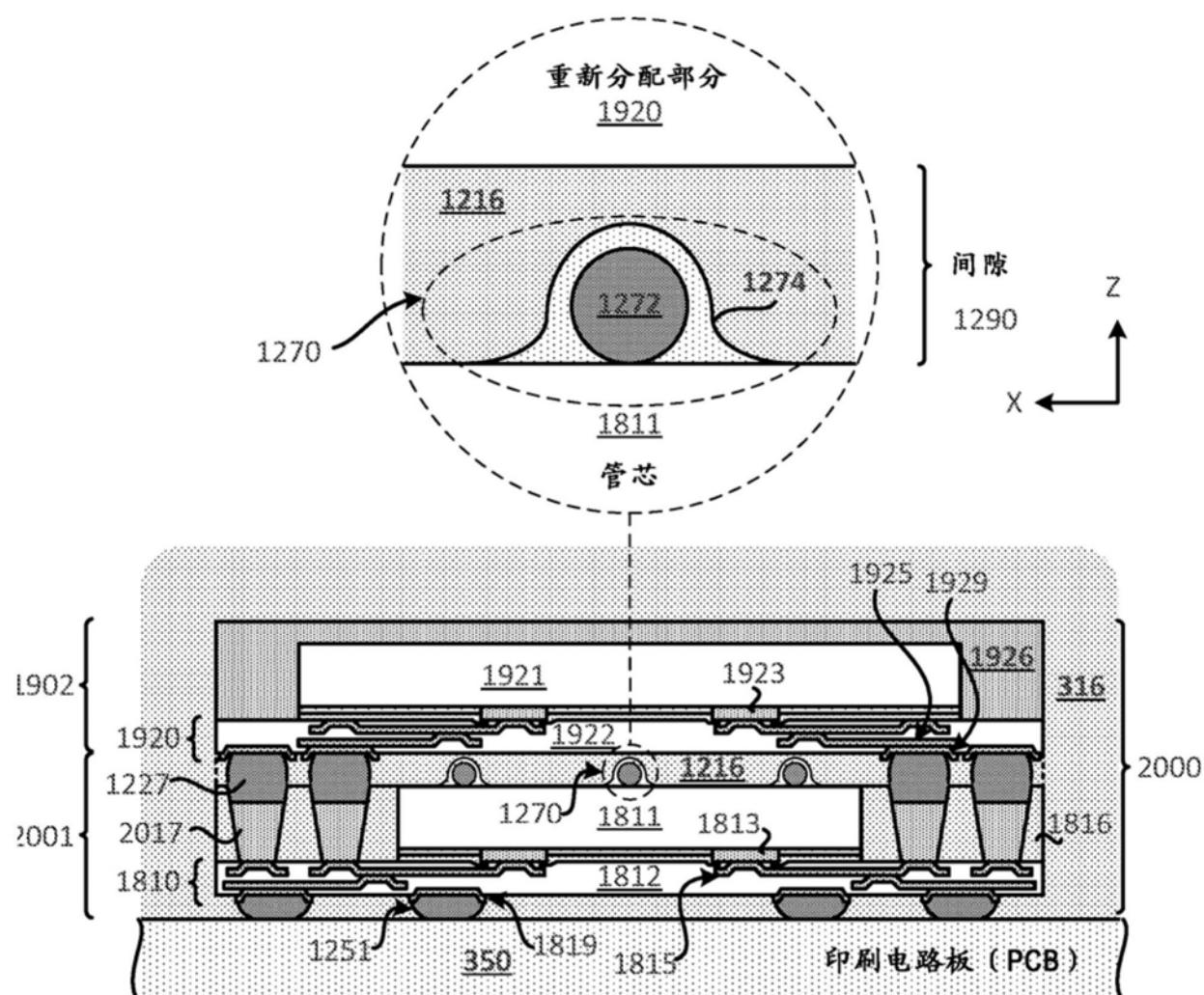


图20

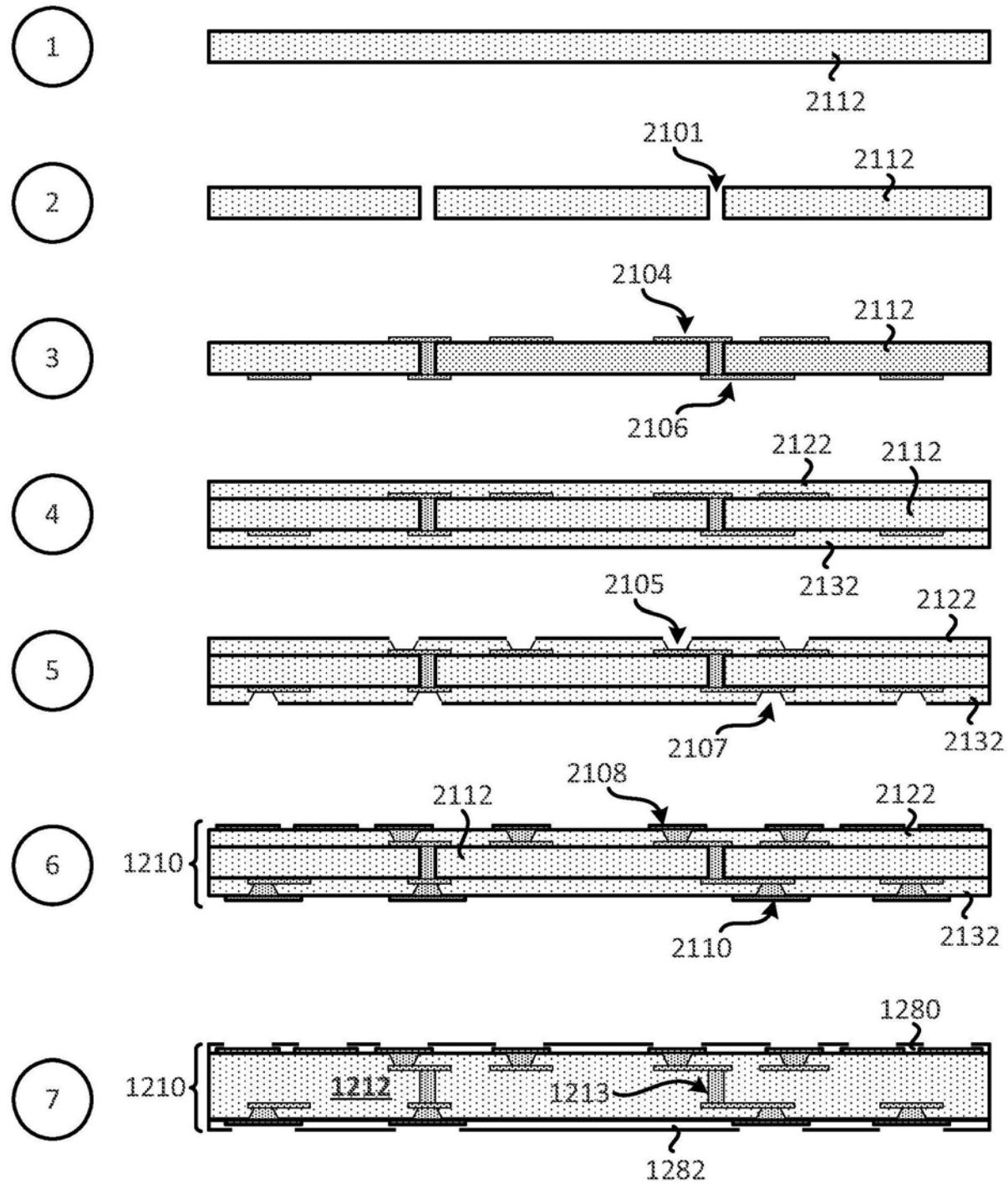


图21A

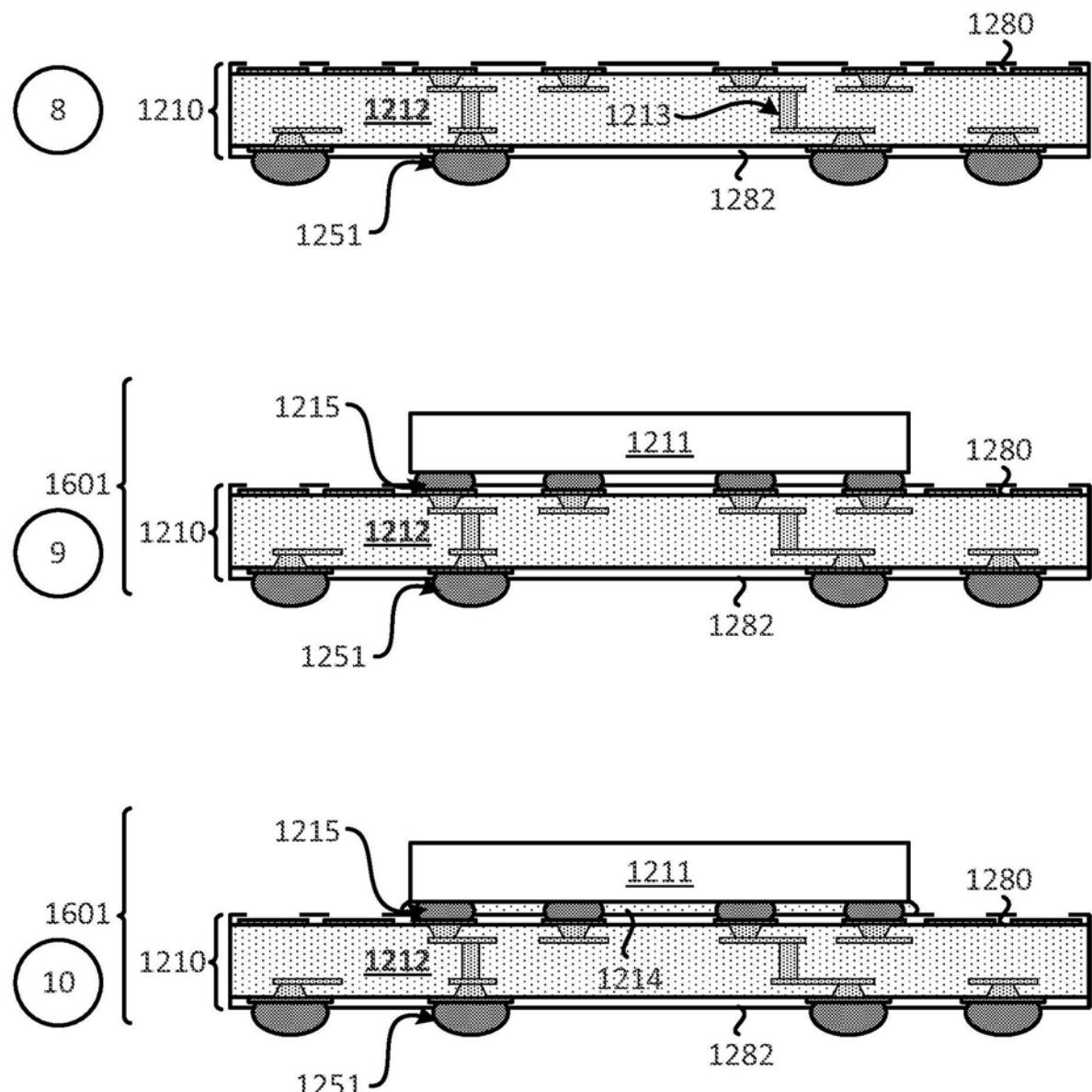


图21B

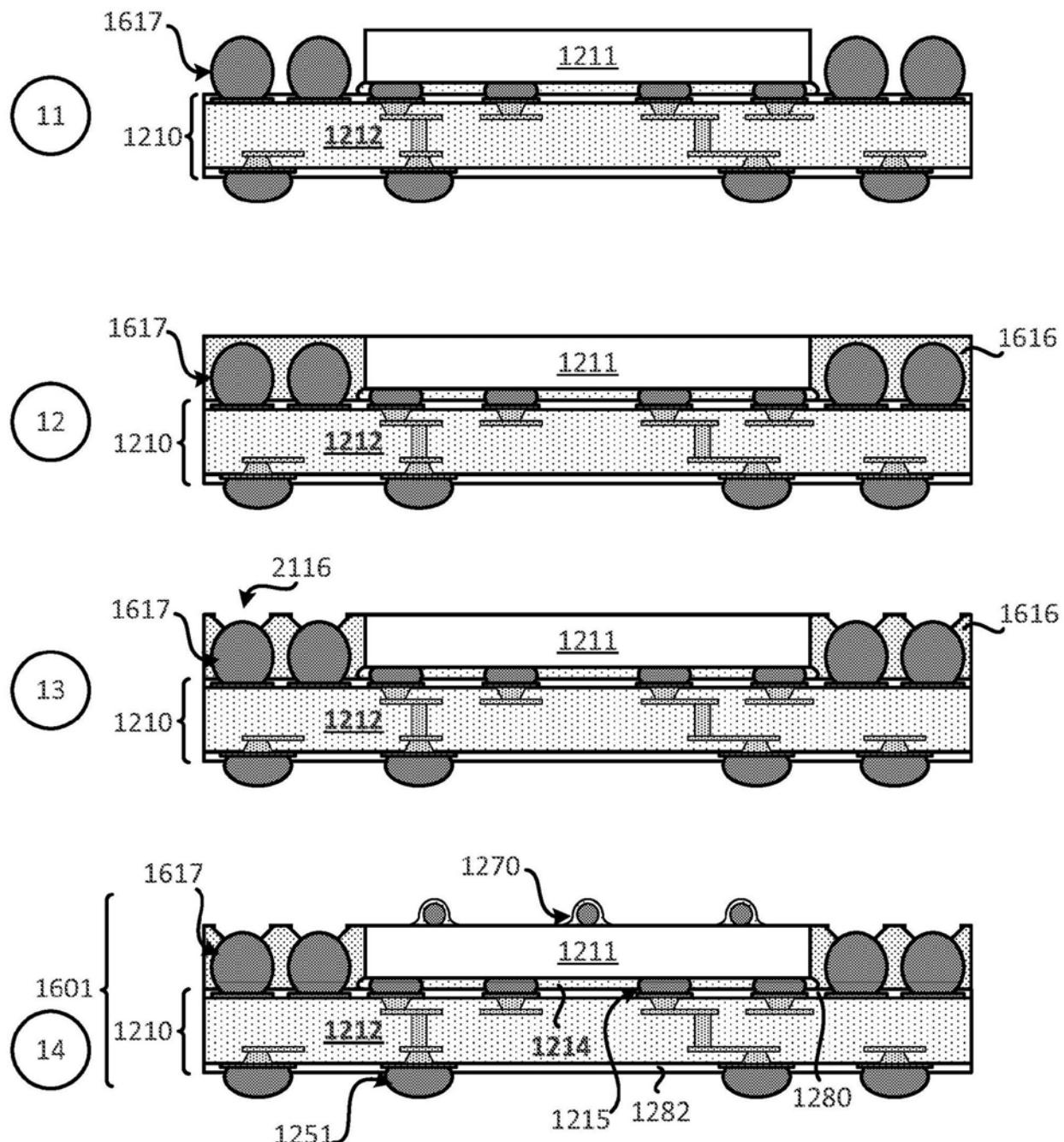


图21C

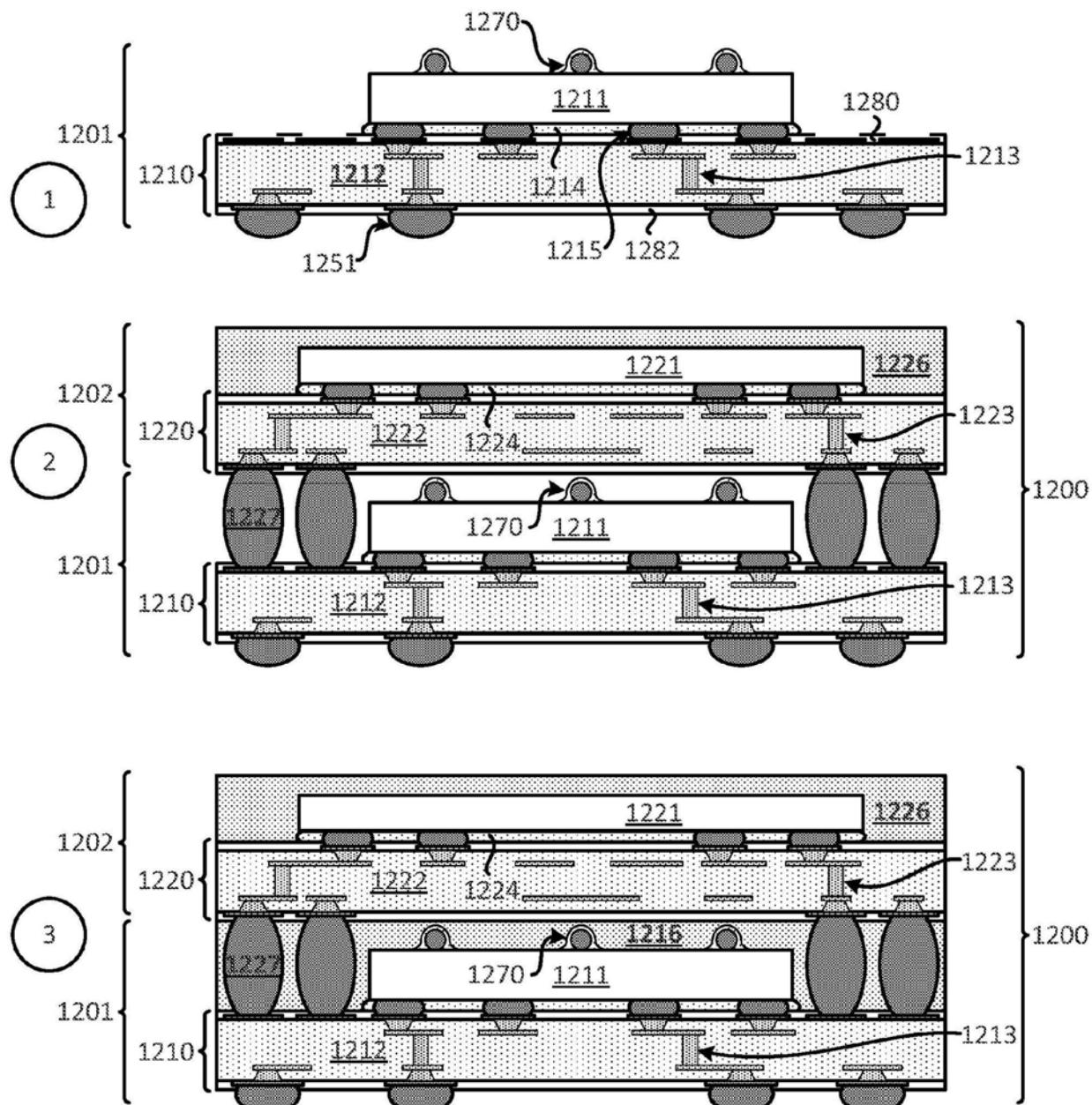


图22

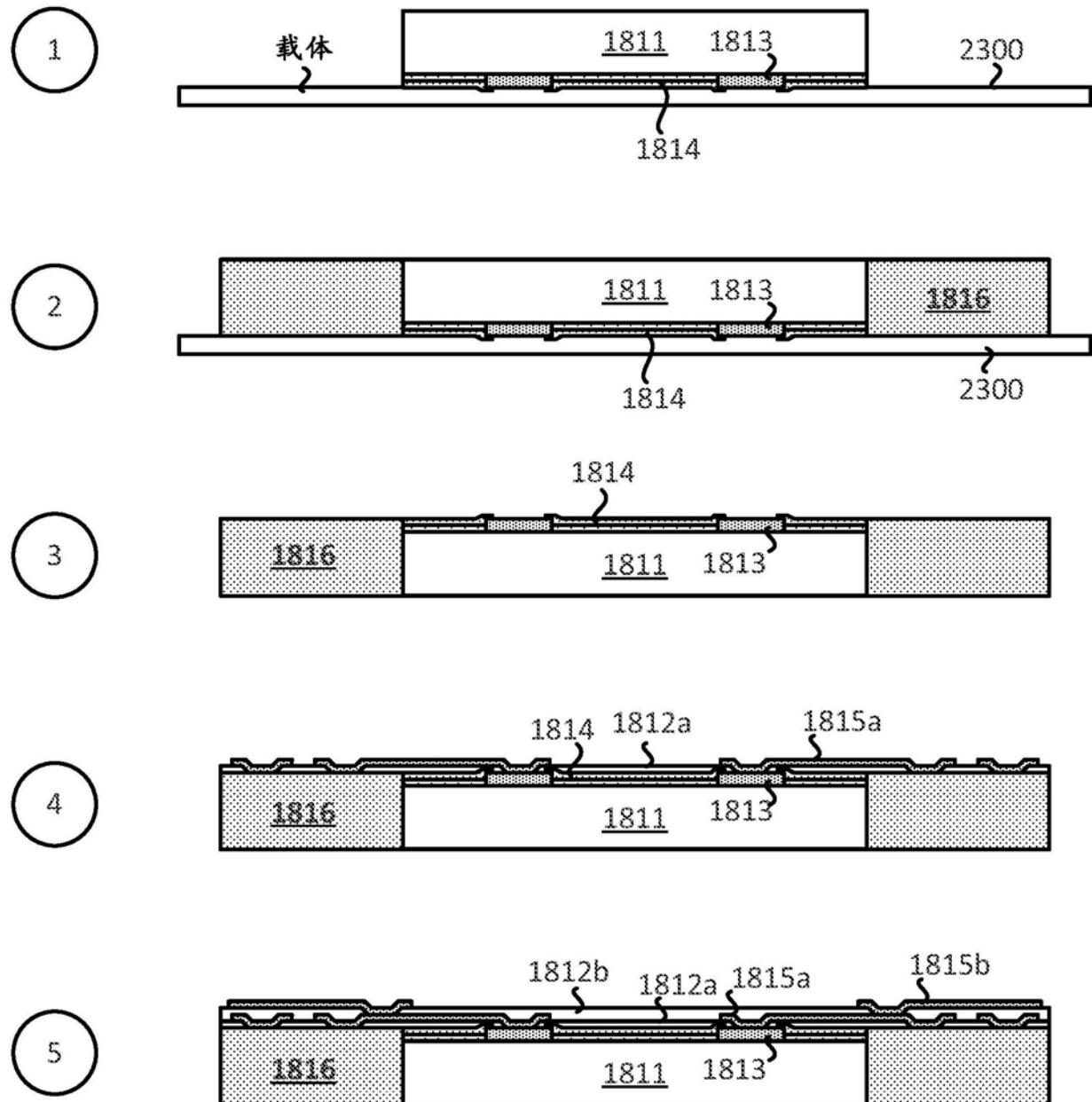


图23A

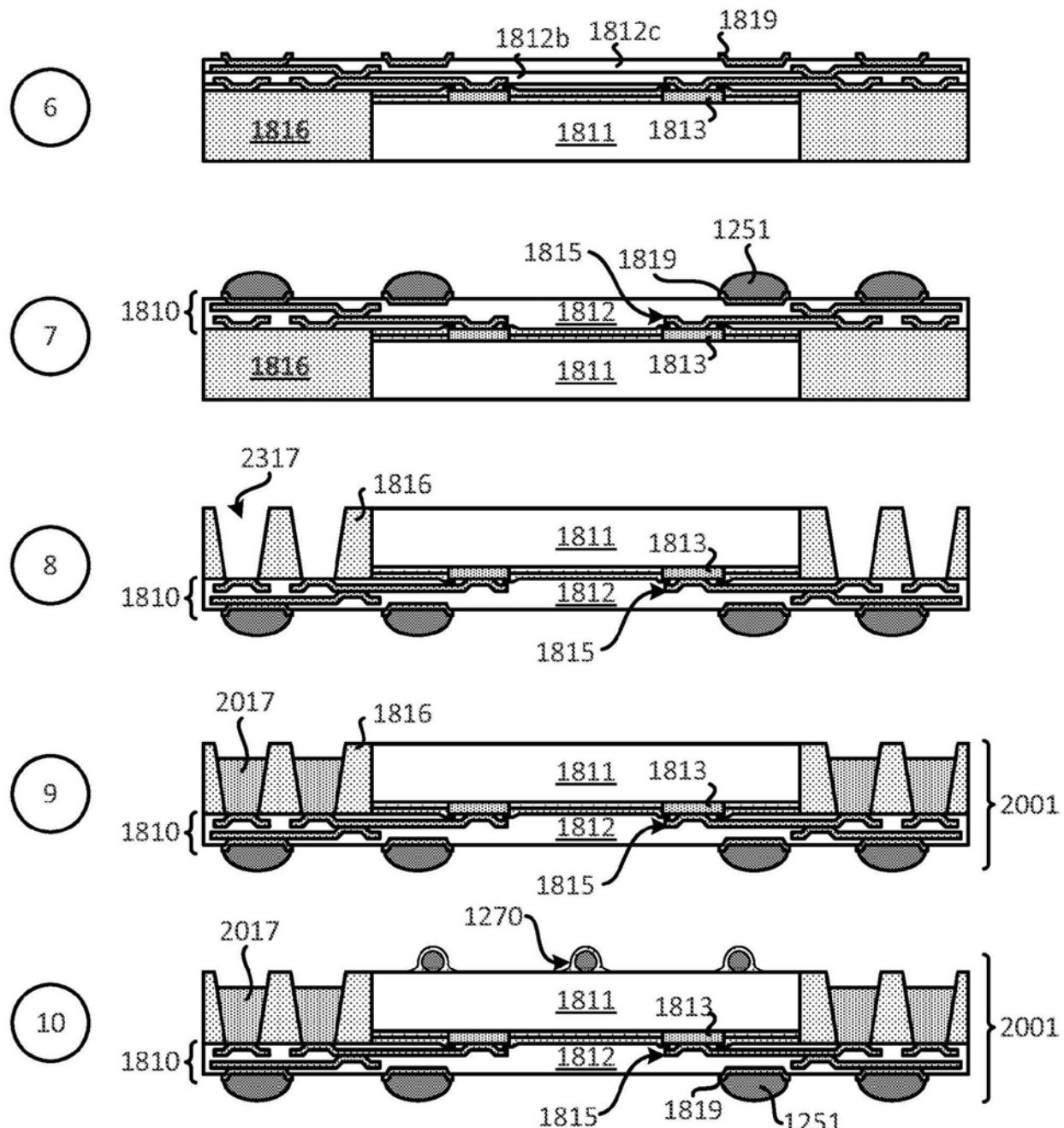


图23B

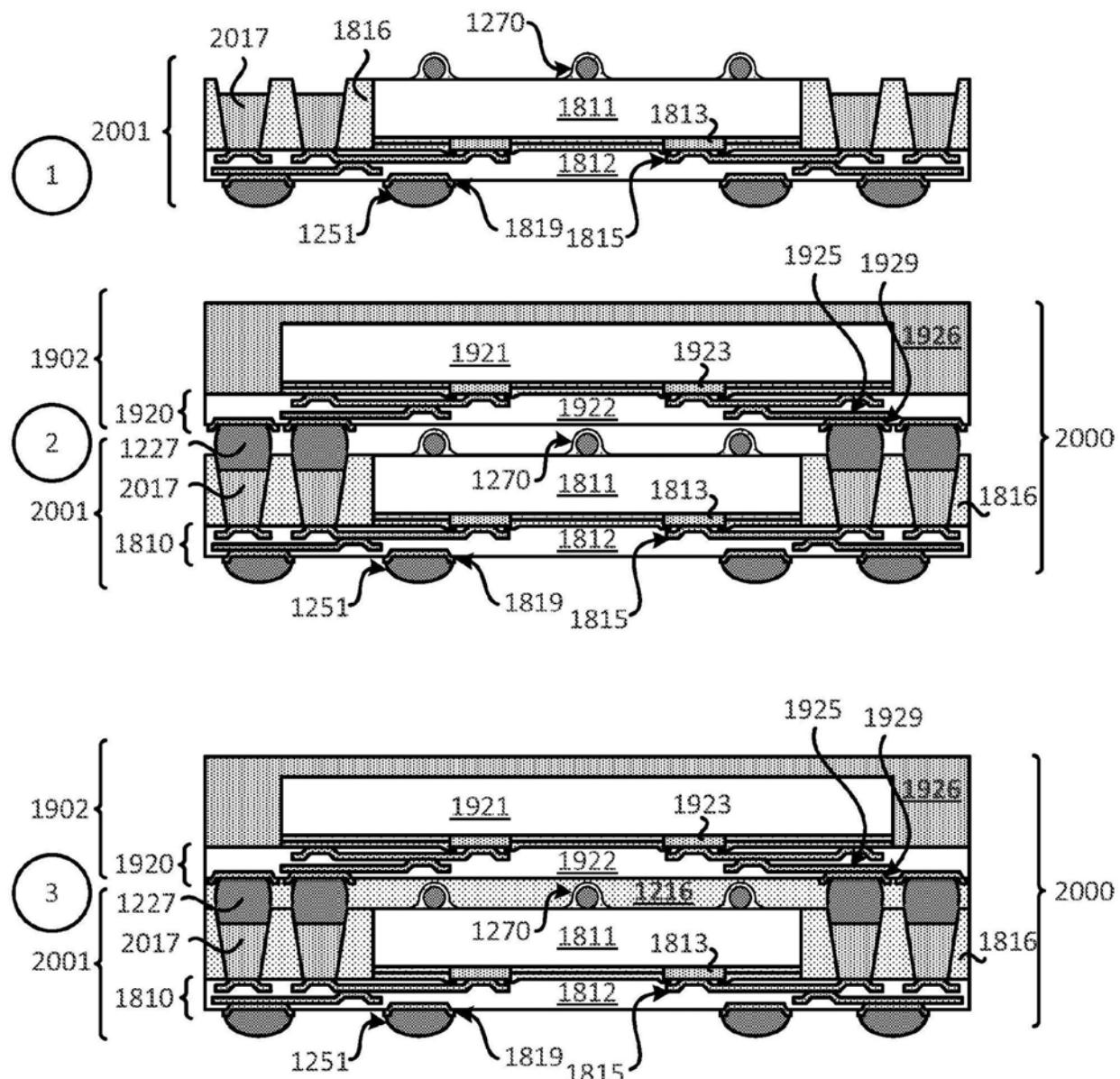


图24

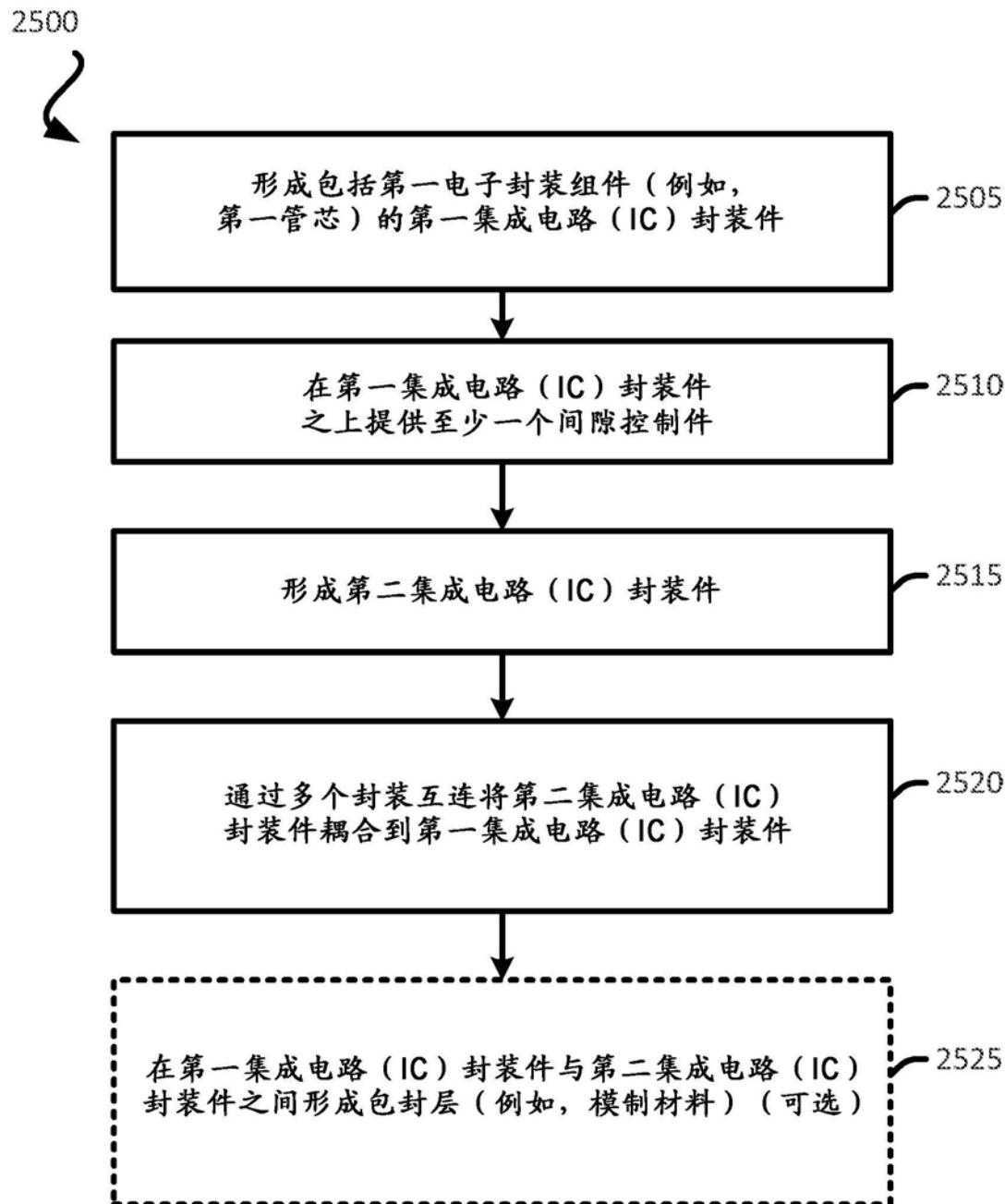


图25

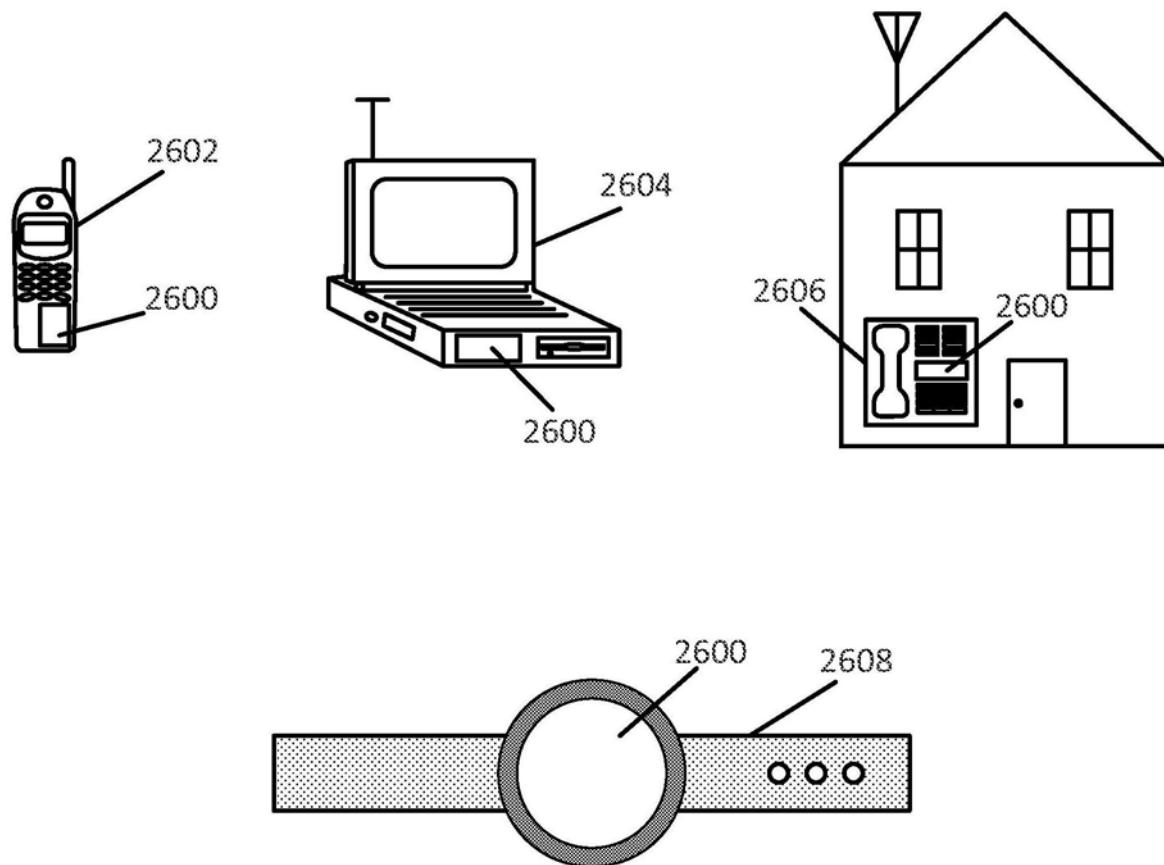


图26