

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-93524
(P2014-93524A)

(43) 公開日 平成26年5月19日(2014.5.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO1G 4/232 (2006.01)	HO1G 4/12 352	5E001
HO1G 4/30 (2006.01)	HO1G 4/30 301B	5E082
HO1G 4/252 (2006.01)	HO1G 4/30 301C	5E346
HO1G 2/06 (2006.01)	HO1G 1/14 V	
HO5K 3/46 (2006.01)	HO1G 1/035 D	

審査請求 有 請求項の数 28 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2013-224055 (P2013-224055)
 (22) 出願日 平成25年10月29日 (2013.10.29)
 (31) 優先権主張番号 10-2012-0122149
 (32) 優先日 平成24年10月31日 (2012.10.31)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 512255804
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 Samsung Electro-Mec
 hanics Co., Ltd.
 大韓民国、キョンギード、スウォンシ、
 ヨントング、マエヨンロ 150
 150, Maeyeong-ro, Y
 eongtong-gu, Suwon-
 si, Gyeonggi-do, Re
 public of Korea

(74) 代理人 100088605
 弁理士 加藤 公延
 (74) 代理人 100166420
 弁理士 福川 晋矢

最終頁に続く

(54) 【発明の名称】 積層セラミックキャパシタ及びこれを含む印刷回路基板

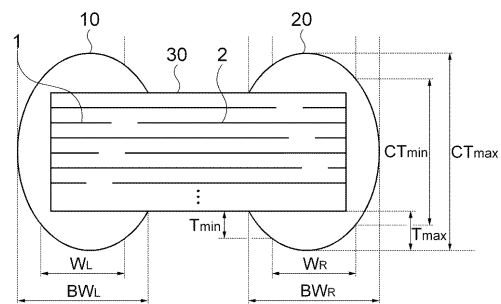
(57) 【要約】

【課題】 積層セラミックまたは積層セラミックキャパシタの外部電極に対する厚さバラツキを最小化することで、該積層セラミックキャパシタの厚さバラツキによる不良を除去し、レジンの充填性の問題を解決した積層セラミックキャパシタ及びこれを含む印刷回路基板を提供する。

【解決手段】 積層セラミック及び積層セラミックの両側に設けられた外部電極を含む積層セラミックキャパシタであって、 T_{max} がビア加工領域における外部電極の最大厚さ、 T_{min} が該ビア加工領域における外部電極の最小厚さ、 CT_{max} が該ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{min} が該ビア加工領域における積層セラミックキャパシタの最小厚さであるとき、 $|T_{max} - T_{min}|$ は $10\mu m$ 以下で、 $|CT_{max} - CT_{min}|$ は $20\mu m$ 以下である。

【選択図】 図1

50



【特許請求の範囲】

【請求項 1】

積層セラミック、及び、該積層セラミックの両側に設けられた外部電極を含む積層セラミックキャパシタにおいて、

T_{max} がビア加工領域における外部電極の最大厚さ、 T_{min} が該ビア加工領域における外部電極の最小厚さ、 CT_{max} が該ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{min} が該ビア加工領域における積層セラミックキャパシタの最小厚さであるとき、

$|T_{max} - T_{min}|$ は $10\ \mu\text{m}$ 以下で、

$|CT_{max} - CT_{min}|$ は $20\ \mu\text{m}$ 以下であることを特徴とする積層セラミックキャパシタ。

10

【請求項 2】

T_{max_L} が左側ビア加工領域における外部電極の最大厚さ、 T_{max_R} が右側ビア加工領域における外部電極の最大厚さ、 CT_{max_L} が該左側ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{max_R} が該右側ビア加工領域における積層セラミックキャパシタの最大厚さであるとき、

$|T_{max_L} - T_{max_R}|$ は、 $5\ \mu\text{m}$ 以下で、

$|CT_{max_L} - CT_{max_R}|$ は、 $10\ \mu\text{m}$ 以下であることを特徴とする請求項 1 に記載の積層セラミックキャパシタ。

20

【請求項 3】

前記積層セラミックは、

ダミーパターン、及び、

前記ダミーパターンと異種極性を有し前記ダミーパターンと同じ層に設けられた容量形成パターン、を含み、

前記ダミーパターン、及び、前記容量形成パターンは、30層以上設けられることを特徴とする請求項 1 に記載の積層セラミックキャパシタ。

【請求項 4】

前記外部電極は、外部電極形成用ペーストに前記積層セラミックの両側をディッピングして形成され、

前記外部電極形成用ペーストの粘度は、 $18,000\ \text{cps}$ 以下であることを特徴とする請求項 1 に記載の積層セラミックキャパシタ。

30

【請求項 5】

前記外部電極は、3秒以上20秒以下の時間内にプロットイングして設けられる請求項 4 に記載の積層セラミックキャパシタ。

【請求項 6】

前記外部電極は、プロットイング時に、定盤に入られた前記外部電極形成用ペーストの高さが $30\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下のものによって設けられる請求項 4 に記載の積層セラミックキャパシタ。

【請求項 7】

前記積層セラミックは、

第 1 のダミーパターン、

前記第 1 のダミーパターンと異種極性を有し前記第 1 のダミーパターンと同じ層に設けられた第 1 の容量形成パターン、

前記第 1 のダミーパターンと同種極性を有し前記第 1 のダミーパターンと異なる層に設けられた第 2 のダミーパターン、及び、

前記第 2 のダミーパターンと異種極性を有し前記第 2 のダミーパターンと同じ層に設けられた第 2 の容量形成パターン、を含み、

前記第 1 のダミーパターンと前記第 1 の容量形成パターンとの間の間隔は、前記第 2 のダミーパターンと前記第 2 の容量形成パターンとの間の間隔と同じ、かつ

前記第 1 のダミーパターンの長さは、前記第 2 のダミーパターンの長さより長いことを特

40

50

徴とする請求項 1 に記載の積層セラミックキャパシタ。

【請求項 8】

前記第 1 のダミーパターンと前記第 1 の容量形成パターンとの間の間隔に対する、前記第 1 の容量形成パターンの長さとの差の比率は、0.7 以上 1.0 未満であることを特徴とする請求項 7 に記載の積層セラミックキャパシタ。

【請求項 9】

前記第 1 のダミーパターンと前記第 2 のダミーパターンとは、一つの絶縁層を挟んで上下に積層されることを特徴とする請求項 8 に記載の積層セラミックキャパシタ。

【請求項 10】

前記第 1 のダミーパターンと異種極性を有し前記第 1 のダミーパターンと同じ長さで設けられた第 3 のダミーパターン、

前記第 1 の容量形成パターンと異種極性を有し前記第 1 の容量形成パターンと同じ長さで設けられた第 3 の容量形成パターン、

前記第 2 のダミーパターンと異種極性を有し前記第 2 のダミーパターンと同じ長さで設けられた第 4 のダミーパターン、及び、

前記第 2 の容量形成パターンと異種極性を有し前記第 2 の容量形成パターンと同じ長さで設けられた第 4 の容量形成パターン

をさらに含むことを特徴とする請求項 9 に記載の積層セラミックキャパシタ。

【請求項 11】

前記第 3 のダミーパターンと前記第 3 の容量形成パターンとは、同じ層に形成され、

前記第 4 のダミーパターンと前記第 4 の容量形成パターンとは、同じ層に設けられることを特徴とする請求項 10 に記載の積層セラミックキャパシタ。

【請求項 12】

前記第 3 のダミーパターンは、前記第 1 の容量形成パターンと前記第 2 の容量形成パターンとの間に形成され、

前記第 4 のダミーパターンは、一つの絶縁層を介して前記第 2 の容量形成パターンの下面に設けられることを特徴とする請求項 11 に記載の積層セラミックキャパシタ。

【請求項 13】

前記第 1 のダミーパターンと前記第 1 の容量形成パターン、前記第 2 のダミーパターンと前記第 2 の容量形成パターン、前記第 3 のダミーパターンと前記第 3 の容量形成パターン

、及び、前記第 4 のダミーパターンと前記第 4 の容量形成パターンは、それぞれ複数設けられることを特徴とする請求項 12 に記載の積層セラミックキャパシタ。

【請求項 14】

積層セラミック、及び、該積層セラミックの両側に設けられた外部電極を含む積層セラミックキャパシタと、

前記積層セラミックキャパシタの実装されたキャビティが形成されたコア層と、

前記積層セラミックキャパシタと前記キャビティとの間、及び、前記コア層の上下面に設けられた絶縁層と、

前記外部電極の電氣的導通のために前記絶縁層に設けられたビアホールと、

前記絶縁層上に設けられた回路層と、を含み、

前記積層セラミックキャパシタは、 T_{max} がビア加工領域における外部電極の最大厚さ、 T_{min} が該ビア加工領域における外部電極の最小厚さ、 CT_{max} が該ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{min} が該ビア加工領域における積層セラミックキャパシタの最小厚さであるとき、

$|T_{max} - T_{min}|$ は、 $10\ \mu\text{m}$ 以下で、

$|CT_{max} - CT_{min}|$ は、 $20\ \mu\text{m}$ 以下であることを特徴とする印刷回路基板。

【請求項 15】

T_{max_L} が左側ビア加工領域における外部電極の最大厚さ、 T_{max_R} が右側ビア加工領域における外部電極の最大厚さ、 CT_{max_L} が該左側ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{max_R} が該右側ビア加工領域における積層

10

20

30

40

50

セラミックキャパシタの最大厚さであるとき、

| T m a x _ L - T m a x _ R | は、5 μ m 以下で、

| C T m a x _ L - C T m a x _ R | は、10 μ m 以下であることを特徴とする請求項 14 に記載の印刷回路基板。

【請求項 16】

前記ビアホールは、複数形成され、前記上部絶縁層、及び、前記下部絶縁層のうちの少なくともいずれか一つに設けられることを特徴とする請求項 14 に記載の印刷回路基板。

【請求項 17】

前記ビアホールは、

正極性を有する第 1 のビアホールと、

負極性を有する第 2 のビアホールと、

前記第 1 のビアホールと前記第 2 のビアホールとが、前記絶縁層の上部と下部に各々設けられるか、または

前記第 1 のビアホールと前記第 2 のビアホールとが、前記絶縁層の下部と上部に各々設けられる請求項 14 に記載の印刷回路基板。

【請求項 18】

前記積層セラミックは、

ダミーパターン、及び、

前記ダミーパターンと異種極性を有し前記ダミーパターンと同じ層に設けられた容量形成パターン、を含み、

前記ダミーパターン、及び、前記容量形成パターンは、30 層以上であることを特徴とする請求項 14 に記載の印刷回路基板。

【請求項 19】

前記外部電極は、外部電極形成用ペーストに前記積層セラミックの両側をディッピングして形成され、

前記外部電極形成用ペーストの粘度は、18,000 cps 以下であることを特徴とする請求項 14 に記載の印刷回路基板。

【請求項 20】

前記外部電極は、3 秒以上 20 秒以下の時間内にプロットングして設けられることを特徴とする請求項 19 に記載の印刷回路基板。

【請求項 21】

前記外部電極は、プロットング時、定盤に入られた前記外部電極形成用ペーストの高さが 30 μ m 以上 100 μ m 以下のものによって設けられることを特徴とする請求項 19 に記載の印刷回路基板。

【請求項 22】

前記積層セラミックは、

第 1 のダミーパターン、

前記第 1 のダミーパターンと異種極性を有し前記第 1 のダミーパターンと同じ層に設けられた第 1 の容量形成パターン、

前記第 1 のダミーパターンと同種極性を有し前記第 1 のダミーパターンと異なる層に設けられた第 2 のダミーパターン、及び、

前記第 2 のダミーパターンと異種極性を有し前記第 2 のダミーパターンと同じ層に設けられた第 2 の容量形成パターン、を含み、

前記第 1 のダミーパターンと前記第 1 の容量形成パターンとの間の間隔は、前記第 2 のダミーパターンと前記第 2 の容量形成パターンとの間の間隔と同じ、かつ

前記第 1 のダミーパターンの長さは、前記第 2 のダミーパターンの長さより長いことを特徴とする請求項 14 に記載の印刷回路基板。

【請求項 23】

前記第 1 のダミーパターンと前記第 1 の容量形成パターンとの間の間隔に対する、前記第 1 の容量形成パターンの長さとの差の比率は、0 .

10

20

30

40

50

7以上1.0未満であることを特徴とする請求項22に記載の印刷回路基板。

【請求項24】

前記第1のダミーパターンと前記第2のダミーパターンとは、一つの絶縁層を挟んで上下に積層されることを特徴とする請求項23に記載の印刷回路基板。

【請求項25】

前記第1のダミーパターンと異種極性を有し、前記第1のダミーパターンと同じ長さで設けられた第3のダミーパターンと、

前記第1の容量形成パターンと異種極性を有し、前記第1の容量形成パターンと同じ長さで設けられた第3の容量形成パターンと、

前記第2のダミーパターンと異種極性を有し、前記第2のダミーパターンと同じ長さで設けられた第4のダミーパターンと、

前記第2の容量形成パターンと異種極性を有し、前記第2の容量形成パターンと同じ長さで設けられた第4の容量形成パターンと、

をさらに含むことを特徴とする請求項24に記載の印刷回路基板。

【請求項26】

前記第3のダミーパターンと前記第3の容量形成パターンは、同じ層に形成され、また前記第4のダミーパターンと前記第4の容量形成パターンは、同じ層に設けられることを特徴とする請求項25に記載の印刷回路基板。

【請求項27】

前記第3のダミーパターンは、前記第1の容量形成パターンと前記第2の容量形成パターンとの間に形成され、

前記第4のダミーパターンは、一つの絶縁層を介して前記第2の容量形成パターンの下面に設けられることを特徴とする請求項26に記載の印刷回路基板。

【請求項28】

前記第1のダミーパターンと前記第1の容量形成パターン、前記第2のダミーパターンと前記第2の容量形成パターン、前記第3のダミーパターンと前記第3の容量形成パターン、及び、前記第4のダミーパターンと前記第4の容量形成パターンは、それぞれ複数設けられることを特徴とする請求項27に記載の印刷回路基板。

【発明の詳細な説明】

【技術分野】

本発明は、積層セラミックキャパシタ及びこれを含む印刷回路基板に関し、特に、外部電極及び積層セラミックの厚さバラツキを最小化することができるものに関する。

【背景技術】

【0002】

印刷回路基板に内蔵される積層セラミックキャパシタ、すなわち組込み型MLCC(Multi-Layer Ceramic Capacitor)は、ビアホールを介して回路層と電氣的に接続される。MLCCの外部電極において、ビアホールの領域がレーザで加工される部位では、印刷回路基板の絶縁層の厚さバラツキなどによって不良が発生するため、MLCCの厚さバラツキを最小化する必要がある。

【0003】

また、印刷回路基板の厚さが薄くなるにつれ、コアとビルドアップ層の厚さも薄くならなければならないが、ビルドアップ層の厚さが薄くなるほどMLCCの厚さバラツキによる不良率が高くなる。また、印刷回路基板の厚さが薄くなるほど、撓み(Warp)問題のため、基板の資材としてLow CTEを使用するようになる。この場合、レジンの流れ性が小さく、MLCCの厚さバラツキが大きいほど、レジンの充填性の問題が発生する。

【先行技術文献】

【特許文献】

【0004】

10

20

30

40

50

【特許文献1】米国特許出願公開第2008/0013252号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

また、微細ピッチ (Fine pitch) への要求に伴ってビアのサイズが徐々に小さくなっているが、MLCCの外部電極の厚さが均一でなければ、ビアのボトム大きさによる不良率も高くなる。

【0006】

また、ICの高電流化によって、30層以上のMLCCを内蔵することがあるが、この場合、MLCCの全体厚さと外部電極の厚さ、平坦度が急激に低下するので、レーザによるビアの加工において不良が大量に発生することになる。

10

【0007】

そのため、印刷回路基板に内蔵されるMLCC全体の厚さ、及び、MLCCの外部電極の厚さに対する各々のバラツキを最小化して、ビア加工における不良率を最小化する必要がある。

【0008】

本発明は上記の問題点に鑑みて成されたものであって、積層セラミックまたは積層セラミックキャパシタの外部電極に対する厚さバラツキを最小化することによって、該積層セラミックキャパシタの厚さバラツキによる不良を除去し、レジンの充填性の問題を解決することができる積層セラミックキャパシタ、及び、これを含む印刷回路基板を提供することにその目的がある。

20

【課題を解決するための手段】

【0009】

上記の目的を解決するために、本発明の一実施形態による積層セラミックキャパシタは、積層セラミック、及び、該積層セラミックの両側に設けられた外部電極を含む積層セラミックキャパシタであって、 $|T_{max} - T_{min}|$ は $10\ \mu\text{m}$ 以下で、 $|CT_{max} - CT_{min}|$ は $20\ \mu\text{m}$ 以下である (ここで、 T_{max} はビア加工領域における外部電極の最大厚さ、 T_{min} は該ビア加工領域における外部電極の最小厚さ、 CT_{max} は該ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{min} は該ビア加工領域における積層セラミックキャパシタの最小厚さである)。

30

【0010】

一実施形態によれば、 $|T_{max_L} - T_{max_R}|$ は $5\ \mu\text{m}$ 以下で、 $|CT_{max_L} - CT_{max_R}|$ は $10\ \mu\text{m}$ 以下である (ここで、 T_{max_L} は左側ビア加工領域における外部電極の最大厚さ、 T_{max_R} は右側ビア加工領域における外部電極の最大厚さ、 CT_{max_L} は該左側ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{max_R} は、該右側ビア加工領域における積層セラミックキャパシタの最大厚さである)。

【0011】

一実施形態によれば、前記積層セラミックは、ダミーパターンと、該ダミーパターンと異種極性を有し、前記ダミーパターンと同じ層に設けられた容量形成パターンとを含み、前記ダミーパターンと前記容量形成パターンは、30層以上が設けられる。

40

【0012】

一実施形態によれば、前記外部電極は、外部電極形成用ペーストに前記積層セラミックの両側をディッピング (dipping) して形成され、前記外部電極形成用ペーストの粘度は、 $18,000\ \text{cps}$ 以下である。

【0013】

一実施形態によれば、前記外部電極は、3秒以上20秒以下の時間内にプロットイング (Blotting) して設けられる。

【0014】

一実施形態によれば、前記外部電極は、プロットイングの際に、定盤に収められた前記外

50

部電極形成用ペーストの高さが、 $30\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下のものによって設けられる。

【0015】

一実施形態によれば、前記積層セラミックは、第1のダミーパターン、該第1のダミーパターンと異種極性を有し前記第1のダミーパターンと同じ層に設けられた第1の容量形成パターン、前記第1のダミーパターンと同種極性を有し前記第1のダミーパターンと異なる層に設けられた第2のダミーパターン、及び、該第2のダミーパターンと異種極性を有し前記第2のダミーパターンと同じ層に設けられた第2の容量形成パターン、を含み、前記第1のダミーパターンと前記第1の容量形成パターンとの間の間隔は、前記第2のダミーパターンと前記第2の容量形成パターンとの間の間隔と同じ、かつ前記第1のダミーパ

10

【0016】

一実施形態によれば、前記第1のダミーパターンと前記第1の容量形成パターンとの間の間隔に対する、前記第1の容量形成パターンの長さと同種極性を有し前記第2の容量形成パターンの長さとの差の比率は、 0.7 以上 1.0 未満である。

【0017】

一実施形態によれば、前記第1のダミーパターンと前記第2のダミーパターンとは、一つのセラミック絶縁層を挟んで上下に積層される。

【0018】

一実施形態によれば、前記第1のダミーパターンと異種極性を有し前記第1のダミーパターンと同じ長さで設けられた第3のダミーパターン、前記第1の容量形成パターンと異種極性を有し前記第1の容量形成パターンと同じ長さで設けられた第3の容量形成パターン、前記第2のダミーパターンと異種極性を有し前記第2のダミーパターンと同じ長さで設けられた第4のダミーパターン、及び、前記第2の容量形成パターンと異種極性を有し前記第2の容量形成パターンと同じ長さで設けられた第4の容量形成パターン、をさらに含む。

20

【0019】

一実施形態によれば、前記第3のダミーパターンと前記第3の容量形成パターンとは同じ層に形成され、また前記第4のダミーパターンと前記第4の容量形成パターンとは同じ層に設けられる。

30

【0020】

一実施形態によれば、前記第3のダミーパターンは、前記第1の容量形成パターンと前記第2の容量形成パターンとの間に形成され、前記第4のダミーパターンは、一つのセラミック絶縁層を挟んで前記第2の容量形成パターンの下方に設けられる。

【0021】

前記第1のダミーパターンと前記第1の容量形成パターン、前記第2のダミーパターンと前記第2の容量形成パターン、前記第3のダミーパターンと前記第3の容量形成パターン、及び、前記第4のダミーパターンと前記第4の容量形成パターンは、各々、複数設けられる。

【0022】

本発明の実施形態による印刷回路基板は、積層セラミック、及び、該積層セラミックの両側に設けられた外部電極を含む積層セラミックキャパシタと、前記積層セラミックキャパシタが実装されたキャビティを形成するコア層と、前記積層セラミックキャパシタと前記キャビティとの間並びに前記コア層の上部と下部に設けられた絶縁層と、前記外部電極の電氣的導通のために前記絶縁層に設けられたビアホールと、前記絶縁層上に設けられた回路層と、を含み、前記積層セラミックキャパシタは、 $|T_{\text{max}} - T_{\text{min}}|$ が $10\ \mu\text{m}$ 以下で、 $|C_{T_{\text{max}}} - C_{T_{\text{min}}}|$ が $20\ \mu\text{m}$ 以下である（ここで、 T_{max} はビア加工領域における外部電極の最大厚さ、 T_{min} はビア加工領域における外部電極の最小厚さ、 $C_{T_{\text{max}}}$ はビア加工領域における積層セラミックキャパシタの最大厚さ、また、 $C_{T_{\text{min}}}$ はビア加工領域における積層セラミックキャパシタの最小厚さである）。

40

50

【0023】

また、 $|T_{max_L} - T_{max_R}|$ は $5\ \mu\text{m}$ 以下で、 $|CT_{max_L} - CT_{max_R}|$ は $10\ \mu\text{m}$ 以下である（ここで、 T_{max_L} は、左側ビア加工領域における外部電極の最大厚さ、 T_{max_R} は、右側ビア加工領域における外部電極の最大厚さ、 CT_{max_L} は、左側ビア加工領域における積層セラミックキャパシタの最大厚さ、 CT_{max_R} は、右側ビア加工領域における積層セラミックキャパシタの最大厚さである）。

【0024】

前記ビアホールは、第1のビアホールと第2のビアホールとを含み、これら第1のビアホールと第2のビアホールは、前記絶縁層上部に設けられるか、または前記絶縁層の下部に設けられる。

10

【0025】

前記ビアホールは、正極性を有する第1のビアホールと負極性を有する第2のビアホールとを含む。これら第1のビアホールと第2のビアホールとは、前記絶縁層の上部と下部に各々設けられるか、または前記絶縁層の下部と下部に各々設けられる。

【0026】

前記積層セラミックは、ダミーパターン、及び、該ダミーパターンと異種極性を有し前記ダミーパターンと同じ層に設けられた容量形成パターンを含む。これらダミーパターンと容量形成パターンは、30層以上とすることができる。

【0027】

前記外部電極は、外部電極形成用ペーストに前記積層セラミックの両側をディッピングして形成され、前記外部電極形成用ペーストの粘度は、 $18,000\ \text{cps}$ 以下である。

20

【0028】

前記外部電極は、3秒以上20秒以下の時間内にプロットングして設けられる。

【0029】

前記外部電極は、プロットングの際に定盤に収められた前記外部電極形成用ペーストの高さは、 $30\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下である。

【0030】

前記積層セラミックは、第1のダミーパターン、前記第1のダミーパターンと異種極性を有し前記第1のダミーパターンと同じ層に設けられた第1の容量形成パターン、前記第1のダミーパターンと同種極性を有し前記第1のダミーパターンと異なる層に設けられた第2のダミーパターン、及び、前記第2のダミーパターンと異種極性を有し前記第2のダミーパターンと同じ層に設けられた第2の容量形成パターンを含む。前記第1のダミーパターンと前記第1の容量形成パターンとの間の間隔は、前記第2のダミーパターンと前記第2の容量形成パターンとの間の間隔と同じ、かつ前記第1のダミーパターンの長さは、前記第2のダミーパターンの長さより長いことを特徴とする。

30

【0031】

前記第1のダミーパターンと前記第1の容量形成パターンとの間の間隔に対する、前記第1の容量形成パターンの長さとの差の比率は、 0.7 以上 1.0 未満である。

【0032】

前記第1のダミーパターンと前記第2のダミーパターンとは、一つのセラミック絶縁層を挟んで上下に積層される。

40

【0033】

前記第1のダミーパターンと異種極性を有し前記第1のダミーパターンと同じ長さで設けられた第3のダミーパターン、前記第1の容量形成パターンと異種極性を有し前記第1の容量形成パターンと同じ長さで設けられた第3の容量形成パターン、前記第2のダミーパターンと異種極性を有し前記第2のダミーパターンと同じ長さで設けられた第4のダミーパターン、及び、前記第2の容量形成パターンと異種極性を有し前記第2の容量形成パターンと同じ長さで設けられた第4の容量形成パターン、をさらに含む。

【0034】

50

前記第3のダミーパターンと前記第3の容量形成パターンとは同じ層に形成され、前記第4のダミーパターンと前記第4の容量形成パターンとは同じ層に設けられる。

【0035】

前記第3のダミーパターンは、前記第1の容量形成パターンと前記第2の容量形成パターンとの間に形成され、前記第4のダミーパターンは一つのセラミック絶縁層を挟んで前記第2の容量形成パターンの下方に設けられる。

【0036】

前記第1のダミーパターンと前記第1の容量形成パターン、前記第2のダミーパターンと前記第2の容量形成パターン、前記第3のダミーパターンと前記第3の容量形成パターン、及び、前記第4のダミーパターンと前記第4の容量形成パターンは、それぞれ複数設けられる。

10

【発明の効果】

【0037】

従って、本発明によれば、積層セラミックキャパシタの外部電極の厚さバラツキが小さいため、レーザによるビアホール加工において不良を減らせる、という効果が奏される。

【0038】

また、積層セラミックキャパシタの厚さが薄くなっても不良の発生が最小化されるため、印刷回路基板の厚さも薄くすることができ、またLow CTEを用いる基板においてレジンの流れ性が小さいとしても、積層セラミックキャパシタの厚さバラツキが少ないので、レジンの充填性の問題を解決できるという効果が奏される。

20

【0039】

また、ビアのサイズが徐々に小さくなるような傾向に合わせて、積層セラミックキャパシタの外部電極の厚さが平坦になるため、ビアボトムサイズによる不良率を減らせるという効果を奏する。

【図面の簡単な説明】

【0040】

【図1】本発明の実施形態による積層セラミックキャパシタの断面図である。

【図2】本発明の実施形態による積層セラミックキャパシタの平面図である。

【図3】本発明の実施形態による積層セラミックの断面図である。

【図4】本発明の一実施形態による印刷回路基板の断面図である。

30

【図5】本発明の他の実施形態による印刷回路基板の断面図である。

【発明を実施するための形態】

【0041】

以下、本発明の好適な実施の形態は図面を参考にして詳細に説明する。次に示される各実施の形態は当業者にとって本発明の思想が十分に伝達されることができるようするために例として挙げられるものである。従って、本発明は以下示している各実施の形態に限定されることなく他の形態で具体化することができる。そして、図面において、装置の大きさや厚さなどは便宜上誇張して表現される場合がある。明細書全体に渡って同一の参照符号は同一の構成要素を示している。

【0042】

本明細書で使われた用語は、実施形態を説明するためのものであって、本発明を制限しようとするものではない。本明細書において、単数形は特別に言及しない限り複数形も含む。明細書で使われる「含む」とは、言及された構成要素、ステップ、動作及び/又は素子は、一つ以上の他の構成要素、ステップ、動作及び/又は素子の存在または追加を排除しないことに理解されたい。

40

【0043】

図1は、本発明の一実施形態による積層セラミックキャパシタの断面図で、図2は、本発明の一実施形態による積層セラミックキャパシタの平面図である。

【0044】

図1と図2を参照して、本発明の一実施形態による積層セラミックキャパシタ50は、積

50

層セラミック、及び、該積層セラミックの両側に設けられた外部電極を含む。ここで、 $|T_{max} - T_{min}|$ は $10\mu\text{m}$ 以下で、 $|CT_{max} - CT_{min}|$ は $20\mu\text{m}$ 以下である。 T_{max} はビア加工領域における外部電極10、20の最大厚さ、 T_{min} はビア加工領域における外部電極10、20の最小厚さ、 CT_{max} はビア加工領域における積層セラミックキャパシタ50の最大厚さ、また、 CT_{min} はビア加工領域における積層セラミックキャパシタ50の最小厚さである。さらに、 BW は、前記積層セラミックキャパシタにおいて、積層セラミック30の両端側に設けられる外部電極10、20の全幅、すなわち、帯域幅であって、 BW_L 、 BW_R は各々、前記積層セラミック30の左側帯域幅と右側帯域幅を表す。 W は前記積層セラミック30でのビア加工領域であって、 W_L 、 W_R は、各々前記積層セラミック30の左側ビア加工領域と右側ビア加工領域を表す。 W は、 BW の95%にあたる領域として設定される。

10

【0045】

ここで、ビア加工領域での W が、外部電極の全幅である BW の95%にあたる領域として設定される理由は、外部電極10、20の帯域幅内にビアの下端部が接触するようにビアを形成する時、該ビアの下端部の下面における外部電極の表面に対する接触効率が最大に設けられ得る領域に当たるためである。すなわち、外部電極の外側が曲面に設けられるため、曲面領域へのビアの形成時、導電材の未充填などによって接触信頼性が低下する恐れがあるためである。

【0046】

W_L 、 W_R 各々の領域内において、前記外部電極10、20における最も厚い部分と最も薄い部分との厚さバラツキ($|T_{max} - T_{min}|$)が $10\mu\text{m}$ を超過する場合、前記外部電極10、20の曲率半径が小さくなるため、ピアホールの加工時に不良が発生することがある。この不良とは、レーザなどによるピアホール加工時に、外部電極が厚い部分では、ピアホールが外部電極の表面に接触するが、薄い部分では、ピアホールが外部電極の表面に接触しないことを意味する。場合によっては、該不良は、ピアホールが外部電極に触れども、微小な領域のみに触れるようになり、ピアのボトムサイズが最小値にも及ばず、電気的な接続に不良が発生したり、信頼性に問題が生じたりすることを意味する。

20

【0047】

前記外部電極10、20の厚さバラツキが $10\mu\text{m}$ 以下の場合でも、前記積層セラミックキャパシタ50の厚さバラツキ($|CT_{max} - CT_{min}|$)が $20\mu\text{m}$ を超過する場合には、上記のような不良が発生することになる。

30

【0048】

前記外部電極10、20の厚さバラツキ、及び、前記積層セラミックキャパシタ50の厚さバラツキによる加工不良の有無の具体的な実験例を下記表1に示す。

【0049】

一方、上記のような条件で、 $|T_{max_L} - T_{max_R}|$ は $5\mu\text{m}$ 以下で、 $|CT_{max_L} - CT_{max_R}|$ は $10\mu\text{m}$ 以下である(ここで、 T_{max_L} は、左側ビア加工領域における外部電極10、20の最大厚さ、 T_{max_R} は、右側ビア加工領域における外部電極10、20の最大厚さ、 CT_{max_L} は、左側ビア加工領域における積層セラミックキャパシタ50の最大厚さ、 CT_{max_R} は、右側ビア加工領域における積層セラミックキャパシタ50の最大厚さである)。

40

これらの具体的な意味に対する説明は前述と同様なので、重複説明は省略する。前記左側ビア加工領域における外部電極10、20の最大厚さ、及び、前記右側ビア加工領域における外部電極10、20の最大厚さのバラツキ、前記左側ビア加工領域における積層セラミックキャパシタ50の最大厚さ、及び、前記右側ビア加工領域における積層セラミックキャパシタ50の最大厚さのバラツキによる加工不良の有無の具体的な実験例を、下記表2のように示す。

【0050】

前記積層セラミック30は、ダミーパターン1と、このダミーパターン1と異種極性を有し、前記ダミーパターン1と同じ層に設けられた容量形成パターン2とを含む。これらダ

50

ミーパターン 1 と容量形成パターン 2 は、30 層以上設けられてもよい。

【0051】

一般に、外部電極はディッピング (Dipping) 法によって形成され、25,000 cps 以上の粘度を有する外部電極形成用ペーストを使用して設けられる。しかし、埋め込み型積層セラミックキャパシタの場合、外部電極においてビア加工領域になる W の長さが一般 MLC に比べて長く、積層セラミックの平坦度が良好であっても、既存の工法を適用すると、ペーストの粘度が薄いため、外部電極の平坦度は悪くなる。

【0052】

そのため、本発明の実施形態によれば、前記外部電極 10、20 は、外部電極形成用ペーストに前記積層セラミック 30 の両側をディッピングして形成される。前記外部電極形成用ペーストの粘度は、18,000 cps 以下であることが望ましい。また、ディッピング後にはブロッティング (Blotting) 工法を用いる。これは、少量の外部電極形成用ペーストが入られた定盤に、ディッピングによって外部電極が設けられた積層セラミックキャパシタを再度ディッピングし、積層セラミックに付着している外部電極形成用ペーストを取り除くことを意味する。

10

【0053】

この場合、前記外部電極 10、20 は、3 秒以上 20 秒以下の時間内にブロッティングして設けられる。前記外部電極 10、20 は、定盤に入られた前記外部電極形成用ペーストの高さが 30 μm 以上 100 μm 以下のものによって設けられる。

【0054】

20

【表 1】

No	ダミー パターン 層数	ダミー パター ン間隔 比 (B/A)	ペース トの粘 度 (cps)	プロッ ティン グ時間(sec)	定盤に収め られたペー スト高さ(μm)	$ T_{\text{max}} - T_{\text{min}} $ (μm)	$ CT_{\text{max}} - CT_{\text{min}} $ (μm)	判定
1	0	-	25000	-	-	14.5	26.1	×
2	0	-	25000	2	150	13.4	24.3	×
3	0	-	25000	10	50	10.8	23.1	×
4	0	-	25000	30	20	11.2	23.9	×
5	0	-	18000	-	-	13.2	24.6	×
6	0	-	18000	2	150	12.8	23.5	×
7	0	-	18000	10	50	9.1	21.8	×
8	0	-	18000	30	20	12.1	22.5	×
9	0	-	16000	-	-	12.5	25.8	×
10	0	-	16000	2	150	11.8	24.3	×
11	0	-	16000	10	50	6.7	22.0	×
12	0	-	16000	30	20	11.5	23.1	×
13	10	0.7	25000	-	-	14.3	24.4	×
14	10	0.7	25000	2	150	13.7	23.5	×
15	10	0.7	25000	10	50	10.8	21.7	×
16	10	0.7	25000	30	20	11.5	22.6	×
17	10	0.7	18000	-	-	13.3	25.8	×
18	10	0.7	18000	2	150	12.5	24.1	×
19	10	0.7	18000	5	100	8.1	18.6	○
20	10	0.7	18000	10	50	9.4	19.2	○
21	10	0.7	18000	30	20	12.1	23.6	×
22	10	0.7	18000	-	-	12.4	23.5	×
23	10	0.7	18000	2	150	12.0	24.1	×
24	10	0.7	16000	5	100	7.6	17.6	○
25	10	0.7	16000	10	50	7.3	16.8	○
26	10	0.7	16000	30	20	11.3	22.1	×
27	10	0.5	25000	-	-	14.8	24.1	×
28	10	0.5	25000	2	150	13.3	26.7	×
29	10	0.5	25000	10	50	10.6	21.8	×
30	10	0.5	25000	30	20	11.6	23.1	×
31	10	0.5	18000	-	-	13.0	25.2	×
32	10	0.5	18000	2	150	12.7	24.9	×
33	10	0.5	18000	10	50	9.1	21.7	×

10

20

30

40

【 0 0 5 5 】

34	10	0.5	18000	30	20	11.8	23.6	×
35	10	0.5	16000	—	—	12.2	23.7	×
36	10	0.5	16000	2	150	11.9	22.9	×
37	10	0.5	16000	10	50	7.1	20.6	×
38	10	0.5	16000	30	20	11.7	22.6	×
39	20	0.7	25000	—	—	14.6	25.1	×
40	20	0.7	25000	2	150	13.5	24.3	×
41	20	0.7	25000	10	50	11.1	23.1	×
42	20	0.7	25000	30	20	11.3	22.5	×
43	20	0.7	18000	—	—	12.9	22.9	×
44	20	0.7	18000	2	150	12.3	22.3	×
45	20	0.7	18000	5	100	8.3	18.3	○
46	20	0.7	18000	10	50	9.0	19.1	○
47	20	0.7	18000	30	20	11.7	22.1	×
48	20	0.7	16000	—	—	12.8	22.6	×
49	20	0.7	16000	2	150	12.3	22.5	×
50	20	0.7	16000	5	100	7.5	17.4	○
51	20	0.7	16000	10	50	6.8	16.5	○
52	20	0.7	16000	30	20	11.6	21.6	×
53	20	0.9	25000	—	—	14.3	24.2	×
54	20	0.9	25000	2	150	13.7	23.8	×
55	20	0.9	25000	10	50	11.0	21.2	×
56	20	0.9	25000	30	20	11.7	21.6	×
57	20	0.9	18000	—	—	12.7	22.5	×
58	20	0.9	18000	2	150	12.8	22.7	×
59	20	0.9	18000	5	100	7.7	17.5	○
60	20	0.9	18000	10	50	8.2	18.3	○
61	20	0.9	18000	30	20	12.1	22.5	×
62	20	0.9	16000	—	—	12.6	22.7	×
63	20	0.9	16000	2	150	12.4	22.3	×
64	20	0.9	16000	5	100	7.8	17.6	○
65	20	0.9	16000	10	50	7.1	17.2	○
66	20	0.9	16000	30	20	11.7	22.0	×

10

20

30

40

【 0 0 5 6 】

上記表 1 において「判定」とは、ビアのサイズと模様 (Shape) などを検査してスペックに符合するか否かを決定することである。ビアクラックなど、信頼性が問題となる事項を判断し、これを満足する場合は「○」と表示し、信頼性が問題になる場合は「×」と表示した。上記表 1 からわかるように、ダミーパターンがあり、第 1 のダミーパターンと第 1 の容量形成パターンとの間の間隔に対する、第 1 の容量形成パターンの長さとの差の比率が 0.7 以上 1.0 未満の場合、前記積層セラミックの厚さバラツキは維持される (この詳細は、図 2 の説明を参照)。また、前記外部電極 10、20 の厚さバラツキが 10 μm 以下で、前記積層セラミックキャパシタ 50 の厚さバラツキ (|CTmax - CTmin|) が 20 μm 以下の場合、前述のような信頼性の問題は発生しないことが分かる。

【 0 0 5 7 】

【表 2】

No	ペーストの粘度(cps)	プロッテキング時間(sec)	定盤に収められたペースト高さ(μ m)	$ T_{max}-T_{min} $ (μ m)	$ CT_{max}-CT_{min} $ (μ m)	$ T_{max,L}-T_{max,R} $ (μ m)	$ CT_{max,L}-CT_{max,R} $ (μ m)	判定
1	20000	3	120	13.5	23.3	6.5	12.3	×
2	20000	3	100	13.1	23.4	6.3	12.0	×
3	20000	3	30	13.0	23.2	6.0	12.1	×
4	20000	3	10	14.4	24.5	6.7	13.1	×
5	20000	3	120	12.2	22.6	5.6	11.0	×
6	20000	3	100	10.5	20.7	5.3	10.2	×
7	20000	3	30	10.6	21.0	5.2	10.6	×
8	20000	3	10	14.1	24.3	6.8	13.0	×
9	20000	20	120	13.8	23.7	6.3	12.6	×
10	20000	20	100	10.6	21.2	5.2	10.4	×
11	20000	20	30	10.7	20.9	5.4	10.8	×
12	20000	20	10	12.5	22.6	5.8	11.1	×
13	20000	30	120	14.6	24.8	6.9	13.3	×
14	20000	30	100	13.8	23.7	6.3	12.7	×
15	20000	30	30	11.7	22.9	5.6	10.8	×
16	20000	30	10	12.5	23.1	5.8	11.2	×
17	18000	2	120	12.5	22.8	5.8	11.3	×
18	18000	2	100	12.0	22.2	5.6	11.0	×
19	18000	2	30	12.0	22.1	5.9	11.9	×
20	18000	2	10	13.1	24.0	6.7	12.5	×
21	18000	3	120	11.0	21.2	6.0	11.0	×
22	18000	3	100	9.5	19.6	4.5	9.6	○
23	18000	3	30	8.7	18.5	3.7	8.5	○
24	18000	3	10	13.0	23.4	6.3	12.1	×

10

20

30

【 0 0 5 8 】

25	18000	20	120	12.6	23.7	6.1	12.0	×
26	18000	20	100	9.0	18.9	4.1	8.7	○
27	18000	20	30	9.2	19.1	4.7	9.1	○
28	18000	20	10	11.1	21.2	5.4	10.5	×
29	18000	30	120	13.3	23.5	6.6	12.3	×
30	18000	30	100	12.7	23.1	6.2	11.7	×
31	18000	30	30	10.8	20.7	5.5	10.6	×
32	18000	30	10	11.2	21.5	5.7	10.2	×
33	16000	2	120	12.7	23.0	6.6	11.5	×
34	16000	2	100	12.3	22.3	5.5	10.6	×
35	16000	2	30	11.8	21.7	5.8	11.7	×
36	16000	2	10	13.1	23.2	6.3	12.4	×
37	16000	3	120	11.0	21.2	5.8	11.5	×
38	16000	3	100	8.3	8.1	4.6	9.2	○
39	16000	3	30	7.5	17.5	4.1	8.3	○
40	16000	3	10	12.0	22.1	6.0	12.1	×
41	16000	20	120	11.8	21.9	6.3	12.0	×
42	16000	20	100	8.2	18.0	4.2	8.5	○
43	16000	20	30	7.8	18.1	4.5	9.3	○
44	16000	20	10	11.3	21.4	5.5	10.7	×
45	16000	30	120	12.8	22.5	6.1	12.1	×
46	16000	30	100	12.5	22.6	5.6	11.5	×
47	16000	30	30	11.2	21.3	5.3	10.4	×
48	16000	30	10	12.0	22.1	5.8	10.9	×

10

20

【 0 0 5 9 】

上記表 2 から理解されるように、前記外部電極形成用ペーストの粘度は 18,000 cps 以下で、プロットング時間は 3 秒以上 20 秒以下であり、プロットング時に定盤に入られた外部電極形成用ペーストの高さは 30 μm 以上 100 μm 以下ではなければならない。また、前記外部電極 10、20 の厚さバラツキが 10 μm 以下で、前記積層セラミックキャパシタ 50 の厚さバラツキ (| C T m a x - C T m i n |) が 20 μm 以下の場合、及び、 | T m a x _ L - T m a x _ R | は 5 μm 以下で、 | C T m a x _ L - C T m a x _ R | が 10 μm 以下の場合には、前述のような信頼性の問題が発生しないことが分かる。

30

【 0 0 6 0 】

したがって、上記表 1 と表 2 に示した結果を総合したところ、信頼性に問題が発生しない条件として、下記表 3 のような結果が得られた。

【 0 0 6 1 】

40

【表 3】

No	Tmax-Tmin (μm)	CTmax-CTmin (μm)	Tmax_L-Tmax_R (μm)	CTmax_L-CTmax_R (μm)	判定
1	8.5	17.6	4.2	8.8	○
2	8.7	17.0	4.4	8.7	○
3	8.3	16.7	4.2	8.8	○
4	8.4	16.9	4.0	8.7	○
5	8.4	17.2	3.9	8.8	○
6	8.6	17.3	4.2	9.1	○
7	8.3	16.2	4.3	8.8	○
8	8.2	17.3	4.1	8.4	○
9	8.2	17.6	4.2	8.8	○
10	8.5	17.2	4.2	8.9	○
11	8.5	17.9	4.1	8.5	○
12	8.5	16.9	4.0	8.5	○
13	8.4	17.0	3.9	8.7	○
14	8.5	16.4	4.1	8.6	○
15	8.7	18.0	4.2	8.6	○
16	8.5	17.1	4.3	8.9	○
17	8.7	16.8	4.2	8.6	○
18	9.0	16.9	4.1	8.9	○
19	9.0	17.6	4.2	8.4	○
20	9.1	16.9	4.0	8.4	○
21	8.3	16.4	4.1	8.5	○
22	8.5	16.8	4.2	9.1	○
23	8.8	16.8	4.0	8.6	○
24	8.5	16.9	4.2	9.0	○
25	8.3	16.7	4.1	8.3	○
26	8.5	18.0	4.1	8.6	○
27	8.6	17.9	4.3	8.8	○
28	8.2	16.6	4.0	8.7	○
29	8.6	16.9	4.0	9.0	○
30	8.3	17.2	4.0	8.8	○

10

20

30

【0062】

図3は、本発明の実施形態による積層セラミックの断面図である。

【0063】

図3を参照して、本発明による積層セラミック30は、第1ダミーパターン1、前記第1のダミーパターン1と異種極性を有し前記第1のダミーパターン1と同じ層に設けられた第1の容量形成パターン2、前記第1のダミーパターン1と同種極性を有し前記第1のダミーパターン1と異なる層に設けられた第2のダミーパターン11、及び、前記第2のダミーパターン11と異種極性を有し前記第2のダミーパターン11と同じ層に設けられた第2の容量形成パターン12、を含む。前記第1のダミーパターン1と前記第1の容量形成パターン2との間の間隔は、前記第2のダミーパターン11と前記第2の容量形成パターン12との間の間隔と実質的に同じ、かつ前記第1のダミーパターン1の長さは、前記第2のダミーパターン11の長さより長い。

40

【0064】

50

一般に、積層数が多い積層セラミックの場合、内部電極が重なる部分と重ならない部分との間の密度差のために、積層セラミックの中央部分が上下に凸になる形状を有するようになる。そのため、埋め込み型MLCCでは、積層セラミックの高さの差による厚さバラツキに備えて、積層セラミックの平坦度が良好になるように設ける必要がある。

【0065】

前記第1のダミーパターン1と前記第1の容量形成パターン2との間の間隔Aに対する前記第1の容量形成パターン2長さ l_1 と前記第2の容量形成パターン1長さ l_2 との差Bの比率、すなわち、 B/A は、0.7以上1.0未満である。前記第1のダミーパターン1と前記第2のダミーパターン1とは、一つのセラミック絶縁層5を挟んで上下に積層されてもよい。

10

【0066】

また、前記第1のダミーパターン1と異種極性を有し前記第1のダミーパターン1と同じ長さで設けられた第3のダミーパターン3、前記第1の容量形成パターン2と異種極性を有し前記第1の容量形成パターン2と同じ長さで設けられた第3の容量形成パターン4、前記第2のダミーパターン1と異種極性を有し前記第2のダミーパターン1と同じ長さで設けられた第4のダミーパターン13、及び、前記第2の容量形成パターン12と異種極性を有し前記第2の容量形成パターン12と同じ長さで設けられた第4の容量形成パターン14、をさらに含む。

【0067】

前記第3のダミーパターン3と前記第3の容量形成パターン4とは同じ層に形成され、また、前記第4のダミーパターン13と前記第4の容量形成パターン14とは同じ層に設けられる。前記第3のダミーパターン3は、前記第1の容量形成パターン2と前記第2の容量形成パターン12との間に形成される。前記第4のダミーパターン13は、一つのセラミック絶縁層5を介して、前記第2の容量形成パターン12の下部に設けられる。

20

【0068】

前記第1のダミーパターン1と前記第1の容量形成パターン2、前記第2のダミーパターン11と前記第2の容量形成パターン12、前記第3のダミーパターン3と前記第3の容量形成パターン4、及び、前記第4のダミーパターン13と前記第4の容量形成パターン14は、複数であり、例えば、30層以上に積層されてもよい。ここで、各ダミーパターンと容量形成パターンは、誘電体で構成されたセラミック絶縁層5上に並んで設けられる。各ダミーパターンと容量形成パターンが設けられた複数のセラミック絶縁層5は、垂直方向に複数積層される。

30

【0069】

本発明の実施形態に適用される積層セラミックキャパシタは、下記の工程によって製作される。

【0070】

チタン酸バリウム($BaTiO_3$)などのパウダーを含んで設けられたスラリーをキャリアフィルム上に塗布して乾燥させ、 $1.4\mu m$ の厚さで製造された複数のセラミックグリーンシートを用意する。続いて、これらのセラミックグリーンシート上に、スクリーンを用いて、ニッケル内部電極用導電性ペーストを塗布して内部電極を形成する。

40

【0071】

前記セラミックグリーンシートを約40層積層し、該積層体を圧縮成形後、セラミック積層体を個別チップの形態に切断し、切断したチップを200~250程度の温度にて20~60時間、脱バインダを行った。

【0072】

続いて、1150~1200にて、内部電極が酸化されないように還元雰囲気中で焼成した。続いて、外部電極、Cuメッキなどの工程によって積層セラミックキャパシタに製作した。完成された積層チップキャパシタのチップサイズの長さLと幅Wは、約1.00mm×0.5mm(L×W)である。該完成された積層セラミック30の製作工差は、L×Wの基準で±0.05mm以内の範囲として決められた。

50

【 0 0 7 3 】

図 4 は、本発明の一実施形態による印刷回路基板の断面図である。

【 0 0 7 4 】

図 4 を参照すると、本発明の実施形態による印刷回路基板 1 0 0 は、積層セラミック 3 0、及び、該積層セラミック 3 0 の両側に設けられた外部電極 1 0、2 0 を有する積層セラミックキャパシタ 5 0 と、前記積層セラミックキャパシタ 5 0 が実装されたキャビティを形成するコア層 4 0 と、前記積層セラミックキャパシタ 5 0 と前記キャビティとの間、及び、前記コア層 4 0 の上部と下部に設けられた絶縁層 6 0 と、前記外部電極 1 0、2 0 の電氣的導通のために前記絶縁層 6 0 に設けられたビアホール 7 0、7 1 と、また、前記絶縁層 6 0 上に設けられた回路層 8 0、8 1 と、を含む。前記積層セラミックキャパシタ 5 0 10
0 では、 $|T_{max} - T_{min}|$ は $10\mu m$ 以下で、 $|CT_{max} - CT_{min}|$ は $20\mu m$ 以下である。ここで、 T_{max} は、ビア加工領域における外部電極 1 0、2 0 の最大厚さ、 T_{min} は、ビア加工領域における外部電極 1 0、2 0 の最小厚さ、 CT_{max} は、ビア加工領域における積層セラミックキャパシタ 5 0 の最大厚さ、 CT_{min} は、ビア加工領域における積層セラミックキャパシタ 5 0 の最小厚さである。また、 $|T_{max_L} - T_{max_R}|$ は $5\mu m$ 以下で、 $|CT_{max_L} - CT_{max_R}|$ は $10\mu m$ 以下である。ここで、 T_{max_L} は左側ビア加工領域における外部電極 1 0、2 0 の最大厚さ、 T_{max_R} は、右側ビア加工領域における外部電極 1 0、2 0 の最大厚さ、 CT_{max_L} は、左側ビア加工領域における積層セラミックキャパシタ 5 0 の最大厚さ、 CT_{max_R} は、右側ビア加工領域における積層セラミックキャパシタ 5 0 の最大厚さである。なお、図 1 の説明と重複する説明は省略する。 20

【 0 0 7 5 】

前記コア層 4 0 は、前記積層セラミックキャパシタ 5 0 と同じ層に形成され、前記外部電極 1 0、2 0 とは所定の幅をおいて離間して設けられる。また、前記絶縁層 6 0 は、前記コア層 4 0 の上部と下部、前記コア層 4 0 と前記外部電極 1 0、2 0 との間、及び、前記積層セラミックキャパシタ 5 0 の上部と下部に設けられる。前記ビアホール 7 0、7 1 は、前記外部電極 1 0、2 0 の上部と下部の一方に前記回路層 8 0、8 1 との電氣的導通のために設けられる。

【 0 0 7 6 】

この場合、前記ビアホール 7 0、7 1 は、第 1 ビアホール 7 0 と第 2 のビアホール 7 1 を有する。前記第 1 のビアホール 7 0 と前記第 2 のビアホール 7 1 とは、前記絶縁層 6 0 の上部に設けられるか、または前記絶縁層 6 0 の下部に設けられる。 30

【 0 0 7 7 】

図 5 は、本発明の他の実施形態による印刷回路基板の断面図である。

【 0 0 7 8 】

図 5 を参照すると、前記ビアホール 1 7 0、1 7 1 は、正極性を有する第 1 のビアホール 1 7 0 と、負極性を有する第 2 のビアホール 1 7 1 とを有する。前記第 1 のビアホール 1 7 0 と前記第 2 のビアホール 1 7 1 とは各々前記絶縁層 1 6 0 の上部と下部に設けられる。前記第 1 のビアホールと前記第 2 のビアホールとは各々前記絶縁層の下部と下部に設けられる。この場合、前記第 1 のビアホール 1 7 0 は負極性を有し、前記第 2 のビアホール 1 7 1 は正極性を有してもよい。 40

【 0 0 7 9 】

また、前述の積層セラミックキャパシタが内蔵された印刷回路基板の実施形態による構造方法について簡略に説明する。

【 0 0 8 0 】

まず、積層セラミックキャパシタの厚さに対応するコア基板 (C C L) を準備する。続いて、コア基板に基準ホールと貫通ホールを、C N C ドリルまたはレーザを用いて加工する。ホールの設けられたコア基板にキャビティ、アラインマーク、及び、回路の形成のために前処理とパターンニングを行って、該パターンニング済のコア基板にレーザまたは C N C ドリルを用いて電子部品、積層セラミックキャパシタが内蔵されるべきキャビティを形成す 50

る。

【0081】

続いて、レーザまたはCNCドリルを利用したホール加工の際に設けられたスミアを除去するためのディスミア工程を実施して、絶縁層間の接着力の確保のために、銅パターンの設けられた絶縁層の表面に表面処理を施すことができる。該表面処理済のコア基板のキャビティ内に接着フィルムを付着し、アラインマークを用いてキャビティ内の接着フィルム上に積層セラミックキャパシタ(MLCC)を位置させる。

【0082】

前記キャビティの接着フィルムに固定された積層セラミックキャパシタが挿入された状態で、コア基板上に仮硬化状態の絶縁材を積層し、該仮硬化状態の絶縁材を硬化させながら、絶縁材に含まれたレジンが積層セラミックキャパシタの周辺へ流れ込み、これを硬化させることによって、積層セラミックキャパシタが固定されるようにする。

10

【0083】

絶縁材は、プリプレグ、RCC、ABFなどの樹脂材で構成されてもよい。絶縁材の種類によって、適切な積層温度と圧力で積層され、レジソフローが発生することによって、積層セラミックキャパシタがキャビティの内部へ流れるようにする。

【0084】

続いて、コア基板のキャビティ内に積層セラミックキャパシタが固定されると、接着フィルムを除去し、該接着フィルムを除去した面に、絶縁材と銅箔とを積層する。そして、他面に積層された絶縁材も完全に硬化するように、適切な温度と圧力を加えて絶縁材を硬化させる。

20

【0085】

両面に絶縁材の積層が完了したコア基板に、CNCドリルを用いてスルホールを形成し、コア基板に内蔵された積層セラミックキャパシタの電極位置まで、レーザを用いてビア加工を行う。レーザ加工によるビアの形成が完了すると、ディスミアなどの表面処理工程を経た後に、回路形成のためのパターンニング工程を実施する。

【0086】

続いて、基板の必要層数によって、絶縁材と銅箔との積層、ビア加工、及び、回路形成工程を繰り返し行って、積層型セラミックキャパシタが内蔵された多層基板を製作する。

【0087】

このようにして製作された、積層セラミックキャパシタが内蔵された印刷回路基板を用い、上記表1～表3に示された印刷回路基板のビアと積層セラミックキャパシタの外部電極との間の接続信頼性に対する関係を立証するための実験例と評価方法では、積層セラミックキャパシタの外部電極の厚さバラツキと、積層セラミックキャパシタの全体厚さバラツキが大きくなるほど熱膨張係数の差によるTC(Thermal cycling)によってビアクラックが発生すること、を検証することによって、ビアの接触信頼性を評価した。

30

【0088】

TC条件は、JESD22-A104D規格によって評価し、-65～150まで500cycle/1000cycle後、クラックが発生する程度を評価した。

40

【0089】

ビアクラックの発生の有無は、積層セラミックキャパシタが内蔵された基板において積層セラミックキャパシタの電極と接続された上部と下部のビアに高電圧(200V)を印加して測定することによって、検証した。

【0090】

この時、クラックが発生したビアは、高電圧の印加の時、クラックが拡がって抵抗が数十以上に大きくなるので、ビアクラックの発生の有無が分かる。

【0091】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、前記した実施の形態の説明ではなく、特許請求の範囲に

50

よって示され、特許請求の範囲と均等の意味、及び、その範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0092】

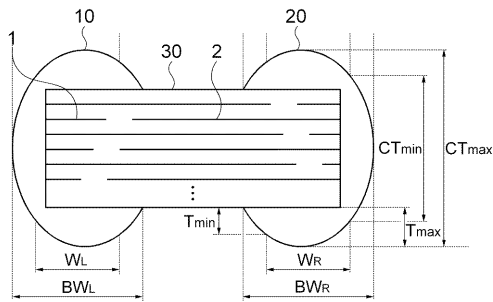
- 1 第1のダミーパターン
- 2 第1の容量形成パターン
- 3 第3のダミーパターン
- 4 第3の容量形成パターン
- 5 セラミック絶縁層
- 10 第2のダミーパターン
- 11 第2の容量形成パターン
- 12 第4のダミーパターン
- 13 第4の容量形成パターン
- 10、110 第1の外部電極
- 20、120 第2の外部電極
- 30、130 積層セラミック
- 40、140 コア層
- 50、150 積層セラミックキャパシタ
- 60、160 絶縁層
- 70、71、170、171 ビアホール
- 80、81、180、181 回路層
- 100、200 印刷回路基板

10

20

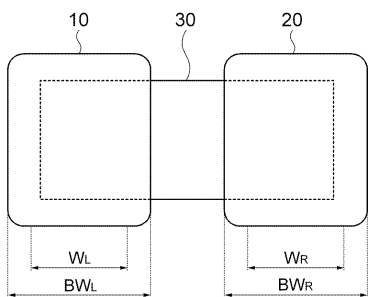
【図1】

50



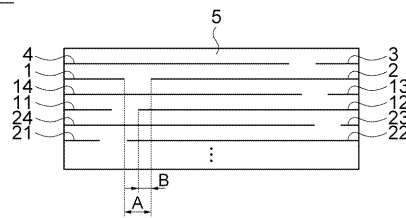
【図2】

50



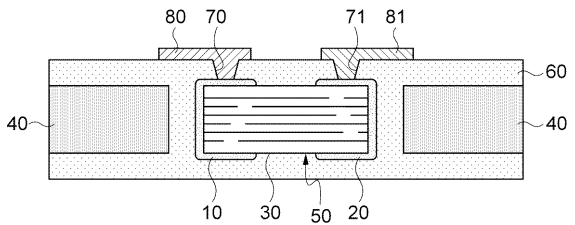
【図3】

30



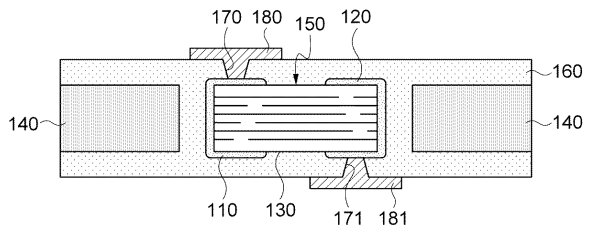
【図4】

100



【図5】

200



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 G 4/30 3 1 1 E	
	H 0 5 K 3/46 Q	

(72)発明者 イ・スン・ウン
大韓民国、4 4 3 - 7 4 3 キョンギ - ド、スウォン - シ、ヨントン - グ、マエヨン - ロ 1 5 0
、サムソン エレクトロ - メカニックス カンパニーリミテッド

(72)発明者 イ・ビョン・ファ
大韓民国、4 4 3 - 7 4 3 キョンギ - ド、スウォン - シ、ヨントン - グ、マエヨン - ロ 1 5 0
、サムソン エレクトロ - メカニックス カンパニーリミテッド

(72)発明者 シン・イー・ナ
大韓民国、4 4 3 - 7 4 3 キョンギ - ド、スウォン - シ、ヨントン - グ、マエヨン - ロ 1 5 0
、サムソン エレクトロ - メカニックス カンパニーリミテッド

(72)発明者 ジョン・ユル・キュ
大韓民国、4 4 3 - 7 4 3 キョンギ - ド、スウォン - シ、ヨントン - グ、マエヨン - ロ 1 5 0
、サムソン エレクトロ - メカニックス カンパニーリミテッド

Fターム(参考) 5E001 AB03 AC07 AE02 AE03 AF06
5E082 AA01 AB03 BC38 EE04 EE23 EE35 FF05 FG04 FG26 GG10
PP09
5E346 AA12 AA15 AA32 AA38 AA43 AA53 BB02 CC08 CC17 CC37
DD02 DD13 EE09 FF10 FF23 FF45 GG15 GG19 HH07 HH26