(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월11일
(11) 등록번호 10-2780614
(24) 등록일자 2025년03월07일

(51) 국제특허분류(Int. Cl.)
C23C 16/34 (2006.01) *C23C 16/04* (2006.01)
C23C 16/455 (2006.01) *C23C 16/505* (2006.01)
(52) CPC특허분류
C23C 16/345 (2013.01)
C23C 16/042 (2013.01)
(21) 출원번호 10-2021-7021633
(22) 출원일자(국제) 2019년10월14일
심사청구일자 2022년10월06일
(85) 번역문제출일자 2021년07월09일
(65) 공개번호 10-2021-0091825
(43) 공개일자 2021년07월22일
(86) 국제출원번호 PCT/US2019/056066
(87) 국제공개번호 WO 2020/123024
국제공개일자 2020년06월18일
(30) 우선권주장
62/779,002 2018년12월13일 미국(US)
(56) 선행기술조사문헌
US20030139062 A1*
US20080020591 A1*
JP2004095909 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050
(72) 발명자
후, 케송
미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)
하울라더, 라나
미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)
(뒷면에 계속)
(74) 대리인
특허법인(유)남아이피그룹, 특허법인 남앤남

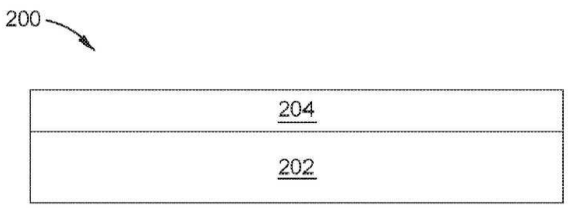
전체 청구항 수 : 총 20 항 심사관 : 정석환

(54) 발명의 명칭 **인 도핑된 실리콘 나이트라이드 막들을 증착하기 위한 방법들**

(57) 요 약

하드마스크 재료들 및 막들을 증착하기 위한, 더욱 구체적으로는, 인 도핑된 실리콘 나이트라이드 막들을 증착하기 위한 방법들이 제공된다. 프로세싱 챔버에서 기판 상에 재료를 증착하는 방법은, PE-CVD(plasma-enhanced chemical vapor deposition) 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 RF 전력의 존재 시 기판을 증착 가스에 노출시키는 단계를 포함한다. 증착 가스는 하나 이상의 실리콘 전구체들, 하나 이상의 질소 전구체들, 하나 이상의 인 전구체들 및 하나 이상의 캐리어 가스들을 포함한다. 인 도핑된 실리콘 나이트라이드 막은 약 0.1 원자%(at%) 내지 약 10 원자% 범위의 인 농도를 갖는다.

대 표 도 - 도2



(52) CPC특허분류
C23C 16/45523 (2013.01)
C23C 16/505 (2013.01)
(72) 발명자
치앙, 마이클 웬영
미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)
한, 신하이
미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)
유, 항
미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)
패디, 디네쉬
미국 95054 캘리포니아 산타 클라라 바우어스 애비뉴 3050 엠/에스 1269 로우 디파트먼트 어플라이드 머티어리얼스, 인코포레이티드 (내)

명 세 서

청구범위

청구항 1

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법으로서,

플라즈마 강화 화학 기상 증착 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 RF 전력의 존재 시 상기 기판을 증착 가스에 노출시키는 단계를 포함하고,

상기 증착 가스는 실리콘 전구체, 질소 전구체, 인 전구체 및 캐리어 가스를 포함하며, 그리고

상기 인 도핑된 실리콘 나이트라이드 막은 0.1 원자%(at%) 내지 10 원자% 범위의 인 농도를 갖는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 2

제1 항에 있어서,

상기 기판을 상기 증착 가스에 계속 노출시키는 동안 상기 RF 전력을 턴 오프(turning off)하는 단계를 더 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 3

제1 항에 있어서,

상기 플라즈마 강화 화학 기상 증착 프로세스는, 상기 기판을 상기 증착 가스에 계속 노출시키는 동안 상기 RF 전력을 온(on) 그리고 오프(off)로 펄싱(pulsing)하는 것을 포함하는 펄스식 플라즈마 프로세스인,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 4

제1 항에 있어서,

상기 플라즈마 강화 화학 기상 증착 프로세스는, 상기 기판을 상기 증착 가스에 계속 노출시키는 동안 상기 RF 전력을 온으로 유지하는 것을 포함하는 연속 플라즈마 프로세스인,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 5

제1 항에 있어서,

상기 기판을 상기 증착 가스에 계속 노출시키는 동안 상기 기판을 수소에 노출시킴으로써, 상기 인 도핑된 실리콘 나이트라이드 막을 조밀화하는 단계를 더 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 6

제1 항에 있어서,

상기 플라즈마 강화 화학 기상 증착 프로세스의 사이클과 질소 플라즈마 프로세스의 사이클을 순차적으로 교번시킴으로써, 상기 인 도핑된 실리콘 나이트라이드 막을 조밀화하는 단계를 더 포함하고, 상기 질소 플라즈마 프로세스는, 상기 기판을 상기 증착 가스에 노출시키는 것을 중지(ceasing)하는 동안 상기 기판을 질소 플라즈마에 노출시키는 것을 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 7

제1 항에 있어서,

상기 인 농도는 0.5 원자% 내지 8 원자% 범위에 있는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 8

제1 항에 있어서,

상기 인 농도는 1 원자% 내지 6 원자% 범위에 있는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 9

제1 항에 있어서,

상기 인 도핑된 실리콘 나이트라이드 막은 40 원자% 내지 70 원자% 범위의 질소 농도를 갖는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 10

제1 항에 있어서,

상기 인 도핑된 실리콘 나이트라이드 막은 25 원자% 내지 55 원자% 범위의 실리콘 농도를 갖는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 11

제1 항에 있어서,

상기 인 전구체는 포스핀, 메틸포스핀, 에틸포스핀, 프로필포스핀, 부틸포스핀, 포스포러스 옥시클로라이드, 트리메틸포스페이트, 트리에틸포스페이트, 이들의 이성질체들 또는 이들의 임의의 조합을 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 12

제1 항에 있어서,

상기 질소 전구체는 암모니아, 하이드라진, 디메틸 하이드라진, tert-부틸하이드라진, 페닐하이드라진, 2,2'-아조이소부탄, 에틸아지드, 이들의 이성질체들 또는 이들의 임의의 조합들을 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 13

제1 항에 있어서,

상기 실리콘 전구체는 실란, 디실란, 트리실란, 테트라실란, 펜타실란, 메틸실란, 클로로실란, 디클로로실란, 트리클로로실란, 실리콘 테트라클로라이드, 헥사클로로디실란, 또는 이들의 임의의 조합들을 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 14

제1 항에 있어서,

상기 캐리어 가스는 질소(N_2), 아르곤, 헬륨, 이들의 플라즈마 또는 이들의 임의의 조합을 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 15

제1 항에 있어서,

상기 인 도핑된 실리콘 나이트라이드 막은 하드마스크 층 또는 에칭 정지 층(stop etch layer)인,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 16

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법으로서,

플라즈마 강화 화학 기상 증착 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하면서 상기 기판을 증착 가스에 노출시키는 단계를 포함하고,

상기 증착 가스는 실리콘 전구체, 질소 전구체, 인 전구체 및 캐리어 가스를 포함하며, 그리고

상기 인 도핑된 실리콘 나이트라이드 막은 0.5 원자%(at%) 내지 8 원자% 범위의 인 농도를 갖는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 17

제16 항에 있어서,

상기 증착 가스는 포스핀, 실란 및 암모니아를 포함하고, 상기 인 농도는 1 원자% 내지 6 원자% 범위에 있는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 18

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법으로서,

플라즈마 강화 화학 기상 증착 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 RF 전력의 존재 시 상기 기판을 증착 가스에 노출시키고, 그리고 상기 기판을 상기 증착 가스에 계속 노출시키는 동안 상기 RF 전력을 턴 오프(turning off)하는 단계 -

상기 증착 가스는 실리콘 전구체, 질소 전구체, 인 전구체 및 캐리어 가스를 포함하며, 그리고

상기 인 도핑된 실리콘 나이트라이드 막은 0.1 원자%(at%) 내지 10 원자% 범위의 인 농도를 가짐-;

상기 플라즈마 강화 화학 기상 증착 프로세스를 중지하는 단계;

그런 다음, 질소 플라즈마 프로세스 동안 상기 인 도핑된 실리콘 나이트라이드 막을 조밀화하기 위해 상기 기판을 질소 플라즈마에 노출시키는 단계;

상기 질소 플라즈마 프로세스를 중지하는 단계; 및

상기 플라즈마 강화 화학 기상 증착 프로세스의 사이클과 상기 질소 플라즈마 프로세스의 사이클을 순차적으로 반복하는 단계

를 포함하는,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 19

제18 항에 있어서,

상기 플라즈마 강화 화학 기상 증착 프로세스는, 상기 기판을 상기 증착 가스에 계속 노출시키는 동안 RF 전력을 온 그리고 오프로 펄싱하는 것을 포함하는 펄스식 플라즈마 프로세스인,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

청구항 20

제18 항에 있어서,

상기 플라즈마 강화 화학 기상 증착 프로세스는, 상기 기판을 상기 증착 가스에 계속 노출시키는 동안 RF 전력을 온으로 유지하는 것을 포함하는 연속 플라즈마 프로세스인,

프로세싱 챔버에서 기판 상에 재료를 증착하는 방법.

발명의 설명

기 술 분 야

[0001] [0001] 본 개시내용의 실시예들은 일반적으로, 증착 프로세스들, 특히, 실리콘 나이트라이드 막들을 증착하기 위한 기상 증착 프로세스들에 관한 것이다.

배 경 기 술

[0002] [0002] 집적 회로들은 단일 칩 상에 수백만의 트랜지스터들, 커패시터들 및 저항기들을 포함할 수 있는 복잡한 디바이스들로 발전해왔다. 칩 설계들의 발전은 더 빠른 회로소자 및 더 큰 회로 밀도를 지속적으로 필요로 한다. 더 큰 회로 밀도들을 갖는 더 빠른 회로들에 대한 요구들은 그러한 집적 회로들을 제작하기 위해 사용되는 재료들에 대응하는 요구들을 부과한다. 특히, 집적 회로 컴포넌트들의 치수들이 서브-미크론 스케일(sub-micron scale)로 감소됨에 따라, 그러한 컴포넌트들로부터 적절한 전기적 성능을 획득하기 위해 저 비저항 전도성 재료들 뿐만 아니라 저 유전 상수 절연 재료들을 사용하는 것이 이제 바람직하다.

[0003] [0003] 더 큰 집적 회로 밀도들에 대한 요구들은 또한, 집적 회로 컴포넌트들의 제조 시 사용되는 프로세스 시퀀스들에 요구들을 부과한다. 예컨대, 종래의 포토 리소그래피 기법들을 사용하는 프로세스 시퀀스들에서, 에너지에 민감한 레지스트 층이 기판 상에 배치된 재료 층들의 스택 위에 형성된다. 에너지에 민감한 레지스트 층이 패턴의 이미지에 노출되어, 포토레지스트 마스크가 형성된다. 그 후, 마스크 패턴은 에칭 프로세스를 사용하여 스택의 재료 층들 중 하나 이상으로 전사된다. 에칭 프로세스에서 사용되는 화학적 에천트는 에너지에 민감한 레지스트의 마스크에 대해서보다 스택의 재료 층들에 대해서 더 큰 에칭 선택비를 갖도록 선택된다. 즉, 화학적 에천트는 에너지에 민감한 레지스트보다 훨씬 더 빠른 레이트(rate)로 재료 스택의 하나 이상의 층들을 에칭한다. 레지스트 위의 스택의 하나 이상의 재료 층들에 대한 에칭 선택비는 에너지에 민감한 레지스트가 패턴 전사의 완료 전에 소모되는 것을 방지한다. 따라서, 고도로 선택적인 에천트가 정확한 패턴 전사를 향상시킨다.

[0004] [0004] 패턴 치수들이 감소됨에 따라, 패턴 분해능(resolution)을 제어하기 위하여, 에너지에 민감한 레지스트의 두께가 대응하게 감소되어야 한다. 그러한 얇은 레지스트 층들은 화학적 에천트에 의한 공격에 기인하여 패턴 전사 단계 동안 하부(underlying) 재료 층들을 마스킹하기에 불충분할 수 있다. 하드마스크로 불리는 중간 층이, 화학 에천트에 대한 이러한 중간 층의 더 큰 저항 때문에, 패턴 전사를 가능하게 하기 위해 하부 재료 층들과 에너지에 민감한 레지스트 층 사이에 대개 사용된다. 높은 에칭 선택비를 가질 뿐만 아니라 에칭 프로세스가 완료된 후에 제거하기도 쉬운 얇은 하드마스크들을 갖는 것이 바람직하다. 임계 치수들이 감소함에 따라, 현재의 하드마스크 재료들은 하부 재료들에 비해 원하는 에칭 선택비가 없으며, 대개 제거하기가 어렵다.

[0005] [0005] 따라서, 하드마스크 재료들 및 막들을 증착하기 위한 개선된 방법들이 필요하다.

발명의 내용

[0006] [0006] 실시예들은, 하드마스크 재료들 및 막들을 증착하기 위한, 더욱 구체적으로는, 인 도핑된 실리콘 나이트라이드 막들을 증착하기 위한 방법들을 제공한다. 하나 이상의 실시예들에서, 프로세싱 챔버에서 기판 상에 재료를 증착하는 방법은, PE-CVD(plasma-enhanced chemical vapor deposition) 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 RF 전력의 존재 시 기판을 증착 가스에 노출시키는 단계를 포함한다. 증착 가스는 하나 이상의 실리콘 전구체들, 하나 이상의 질소 전구체들, 하나 이상의 인 전구체들 및 하나 이상의 캐리어 가스들을 포함한다. 인 도핑된 실리콘 나이트라이드 막은 약 0.1 원자%(at%) 내지 약 10 원자% 범위의 인 농도를 갖는다.

[0007] [0007] 일부 실시예들에서, 프로세싱 챔버에서 기판 상에 재료를 증착하는 방법은, PE-CVD 프로세스 동안 기판

상에 인 도핑된 실리콘 나이트라이드 막을 증착하면서 기판을 증착 가스에 노출시키는 단계를 포함한다. 증착 가스는 하나 이상의 실리콘 전구체들, 하나 이상의 질소 전구체들, 하나 이상의 인 전구체들 및 하나 이상의 캐리어 가스들을 포함한다. 인 도핑된 실리콘 나이트라이드 막은 약 0.5 원자% 내지 약 8 원자% 범위의 인 농도를 갖는다.

[0008] [0008] 다른 실시예들에서, 프로세싱 챔버에서 기판 상에 재료를 증착하는 방법은, PE-CVD 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 기판을 증착 가스에 노출시키는 단계를 포함하고, 증착 가스는 하나 이상의 실리콘 전구체들, 하나 이상의 질소 전구체들, 하나 이상의 인 전구체들 및 하나 이상의 캐리어 가스들을 포함하며, 그리고 인 도핑된 실리콘 나이트라이드 막은 약 0.1 원자% 내지 약 10 원자% 범위의 인 농도를 갖는다. 방법은 또한, PE-CVD 프로세스를 중지(ceasing)하는 단계, 그런 다음, 질소 플라즈마 프로세스 동안 인 도핑된 실리콘 나이트라이드 막을 조밀화하기 위해 기판을 질소 플라즈마에 노출시키는 단계, 및 질소 플라즈마 프로세스를 중지하는 단계를 포함한다. 방법은, PE-CVD 프로세스의 사이클과 질소 플라즈마 프로세스의 사이클을 순차적으로 반복하는 단계를 더 포함한다.

도면의 간단한 설명

[0009] [0009] 본 개시내용의 위에서 언급된 특징들이 상세히 이해될 수 있는 방식으로, 위에서 간략히 요약된 본 개시내용의 더욱 상세한 설명이 실시예들을 참조함으로써 이루어질 수 있으며, 이 실시예들 중 일부는 첨부된 도면들에 예시된다. 그러나, 첨부된 도면들이 예시적인 실시예들만을 예시하며, 그러므로 본 개시내용의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 개시내용이 다른 동일하게 유효한 실시예들을 허용할 수 있기 때문이다.

[0010] [0010] 도 1은 본원의 하나 이상의 실시예들에서 논의 및 설명되는 바와 같은, 증착 방법들을 행하기 위해 사용될 수 있는 장치의 개략도를 도시한다.

[0011] [0011] 도 2는 본원의 하나 이상의 실시예들에서 논의 및 설명되는 바와 같은, 하드마스크 층으로서 인 도핑된 실리콘 나이트라이드 막을 포함하는 기판 구조의 개략적인 단면도를 도시한다.

[0012] [0012] 도 3은 본원의 하나 이상의 실시예들에서 논의 및 설명되는 바와 같은, 인 도핑된 그리고 도핑되지 않은 실리콘 나이트라이드 막들에 대한 에칭 레이트들 대 인 농도들의 그래프이다.

[0013] [0013] 이해를 용이하게 하기 위해, 도면들에 대해 공통인 동일한 엘리먼트들을 지정하기 위해 가능한 경우 동일한 참조 번호들이 사용되었다. 일 실시예의 엘리먼트들 및 특징들이 추가적인 언급 없이 다른 실시예들에 유익하게 통합될 수 있다는 것이 고려된다.

발명을 실시하기 위한 구체적인 내용

[0010] [0014] 본원에서 논의 및 설명되는 실시예들은, 하드마스크 재료들 및 막들을 증착하기 위한, 더욱 구체적으로는, 기판들 상에 인 도핑된 실리콘 나이트라이드 막들을 증착하기 위한 방법들을 제공한다. 하나 이상의 실시예들에서, 그러한 재료들을 증착하기 위한 방법은, PE-CVD(plasma-enhanced chemical vapor deposition) 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 RF 전력의 존재 시 기판을 증착 가스에 노출시키는 단계를 포함한다. 일부 예들에서, 증착 방법은, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 턴 오프(turning off)하는 단계를 포함한다. 증착 가스는 하나 이상의 실리콘 전구체들, 하나 이상의 질소 전구체들, 하나 이상의 인 전구체들 및 하나 이상의 캐리어 가스들을 포함한다. 인이 실리콘 및 질소와 함께 인-시투(in-situ) 도핑되거나 또는 다른 방식으로 공동 증착되어(co-deposited), 인 도핑된 실리콘 나이트라이드 막 또는 재료가 생성된다. 인 도핑된 실리콘 나이트라이드 막은 약 0.1 원자%(at%) 내지 약 10 원자% 범위의 인 농도를 갖는다.

[0011] [0015] 도 1은 본원에서 설명되는 실시예들에 따른, 인 도핑된 실리콘 나이트라이드 증착을 수행하기 위해 사용될 수 있는 기판 프로세싱 시스템(132)의 개략도를 도시한다. 기판 프로세싱 시스템(132)으로서 사용될 수 있는 적절한 시스템들의 예들은, 캘리포니아주 산타 클라라의 Applied Materials, Inc.로부터 상업적으로 입수가능한, PRODUCER® SE 또는 GT 프로세싱 챔버 또는 시스템, PRECISION™ 5000 시스템들, DxZ™ 프로세싱 챔버를 사용할 수 있는 CENTURA® 시스템들을 포함한다. 다른 제조업체들로부터 입수가능한 프로세싱 시스템들을 포함하는 다른 프로세싱 시스템이 본원에서 설명되는 실시예들을 실시하도록 구성될 수 있다는 것이 고려된다.

[0012] [0016] 프로세싱 시스템(132)은 가스 패널(130) 및 제어기(110)에 커플링된 프로세스 챔버(100)를 포함한다.

프로세스 챔버(100)는 일반적으로, 내부 프로세싱 볼륨(126)을 정의하는, 최상부(124), 측벽(101) 및 최하부 벽(122)을 포함한다. 지지 페데스탈(150)이 프로세스 챔버(100)의 내부 프로세싱 볼륨(126)에 제공된다. 기판 지지 페데스탈(150)은 스템(160)에 의해 지지되며, 통상적으로 알루미늄, 세라믹 및 다른 적절한 재료들로 제작될 수 있다. 기판 지지 페데스탈(150)은 변위 메커니즘(미도시)을 사용하여 프로세스 챔버(100) 내부에서 수직 방향으로 이동될 수 있다.

[0013] [0017] 기판 지지 페데스탈(150)은 기판 지지 페데스탈(150)의 표면(192) 상에서 지지되는 기판(190)의 온도를 제어하기에 적절한 내장된 히터 엘리먼트(170)를 포함할 수 있다. 기판 지지 페데스탈(150)은, 전력 공급부(106)로부터 히터 엘리먼트(170)로 전류를 인가함으로써 저항 가열될 수 있다. 히터 엘리먼트(170)는 니켈-철-크롬 합금(예컨대, INCOLOY® 합금) 시스(sheath) 튜브에 캡슐화된 니켈-크롬 와이어로 만들어질 수 있다. 전력 공급부(106)로부터 공급되는 전류가, 히터 엘리먼트(170)에 의해 생성되는 열을 제어하기 위해 제어기(110)에 의해 조절되어서, 기판(190) 및 기판 지지 페데스탈(150)은 막 증착 동안 실질적으로 일정한 온도에서 유지된다. 공급되는 전류는, 약 100 ℃ 내지 약 700 ℃ 범위에서 기판 지지 페데스탈(150)의 온도를 선택적으로 제어하도록 조정될 수 있다.

[0014] [0018] 온도 센서(172), 이를테면, 열전대가 종래의 방식으로 기판 지지 페데스탈(150)의 온도를 모니터링하기 위해 지지 페데스탈(150)에 내장될 수 있다. 측정된 온도는, 기판을 원하는 온도에서 유지하도록 가열 엘리먼트(170)에 공급되는 전력을 제어하기 위해 제어기(110)에 의해 사용된다.

[0015] [0019] 진공 펌프(102)가 프로세스 챔버(100)의 최하부에 형성된 포트에 커플링된다. 진공 펌프(102)는 프로세스 챔버(100) 내의 원하는 가스 압력을 유지하기 위해 사용된다. 진공 펌프(102)는 또한, 프로세스 챔버(100)로부터 프로세스의 포스트-프로세싱 가스(post-processing gas)들 및 부산물들을 진공배기한다. 도시되지 않았지만, 프로세싱 시스템(132)은 챔버 압력을 제어하기 위한 부가적인 장비, 예컨대, 챔버 압력을 제어하도록 프로세스 챔버(100)와 진공 펌프(102) 사이에 포지셔닝된 밸브들(예컨대, 스로틀 밸브들 및 격리 밸브들)을 더 포함할 수 있다.

[0016] [0020] 복수의 애퍼처들(128)을 갖는 샤워헤드(120)가 기판 지지 페데스탈(150) 위에서 프로세스 챔버(100)의 최상부에 배치된다. 샤워헤드(120)의 애퍼처들(128)은 증착 가스들을 프로세스 챔버(100) 내로 유입시키기 위해 활용된다. 애퍼처들(128)은 상이한 프로세스 요건들에 대한 다양한 증착 가스들의 유동을 가능하게 하기 위해 상이한 사이즈들, 개수, 분포들, 형상, 설계 및 직경들을 가질 수 있다. 샤워헤드(120)는, 다양한 가스들이 프로세스 동안 내부 프로세싱 볼륨(126)에 공급될 수 있게 하는 가스 패널(130)에 연결된다. 기판(190)의 표면(191) 상에 재료의 증착을 야기하는 증착 가스들의 열 분해(thermal decomposition)를 향상시키기 위해, 샤워헤드(120)를 빠져 나가는 증착 가스 혼합물로부터 플라즈마가 형성된다.

[0017] [0021] 샤워헤드(120)와 기판 지지 페데스탈(150)은, 내부 프로세싱 볼륨(126)에서 한 쌍의 이격된 전극들을 형성할 수 있다. 하나 이상의 RF 전력원들(140)은, 샤워헤드(120)와 기판 지지 페데스탈(150) 사이에서 플라즈마의 생성을 가능하게 하기 위해, 정합 네트워크(138)를 통해 샤워헤드(120)에 바이어스 전위를 제공한다. 대안적으로, RF 전력원들(140) 및 정합 네트워크(138)는 샤워헤드(120), 기판 페데스탈(150)에 커플링되거나, 또는 샤워헤드(120) 및 기판 페데스탈(150) 둘 모두에 커플링되거나, 또는 프로세스 챔버(100) 외부에 배치된 안테나(미도시)에 커플링될 수 있다. 하나 이상의 실시예들에서, RF 전력원들(140)은 약 50 kHz 내지 약 13.6 MHz의 주파수에서 약 100 와트 내지 약 3,000 와트를 제공할 수 있다. 다른 실시예에서, RF 전력원들(140)은 약 50 kHz 내지 약 13.6 MHz의 주파수에서 약 500 와트 내지 약 1,800 와트를 제공할 수 있다.

[0018] [0022] 제어기(110)는, 프로세스 시퀀스를 제어하고 가스 패널(130)로부터의 가스 유동들을 조절하기 위해 활용되는, CPU(central processing unit)(112), 메모리(116) 및 지원 회로(114)를 포함한다. CPU(112)는 산업 현장에서 사용될 수 있는 임의의 형태의 범용 컴퓨터 프로세서일 수 있다. 소프트웨어 루틴들은 메모리(116), 이를테면, 랜덤 액세스 메모리, 판독 전용 메모리, 플로피 또는 하드 디스크 드라이브, 또는 다른 형태의 디지털 저장부에 저장될 수 있다. 지원 회로(114)는 CPU(112)에 통상적으로 커플링되며, 캐시, 클록 회로들, 입력/출력 시스템들, 전력 공급부들 등을 포함할 수 있다. 제어기(110)와 프로세싱 시스템(132)의 다양한 컴포넌트들 사이의 양방향 통신들은, 신호 버스들(118)(이들 중 일부가 도 1에 예시됨)로 총괄하여 지칭되는 많은 신호 케이블들을 통해 핸들링된다.

[0019] [0023] 다른 증착 챔버들이 또한, 본원에서 설명 및 논의되는 증착 프로세스들로부터 이익을 얻을 수 있으며, 위에서 열거된 파라미터들은 인 도핑된 실리콘 나이트라이드 막을 형성하기 위해 사용되는 특정 증착 챔버에 따라 변할 수 있다. 예컨대, 다른 증착 챔버들은, Applied Materials, Inc.로부터 입수가능한 증착 챔버들에 대

해 언급되는 가스 유량들보다 더 크거나 또는 더 작은 가스 유량들을 필요로 하는, 더 크거나 또는 더 작은 볼륨을 가질 수 있다. 하나 이상의 실시예들에서, 인 도핑된 실리콘 나이트라이드 막은, 캘리포니아주 산타 클라라의 Applied Materials, Inc.로부터 상업적으로 입수가능한 PRODUCER® SE 또는 GT 프로세싱 챔버 또는 시스템을 사용하여 증착될 수 있다.

[0020] [0024] 일반적으로, 다음의 예시적인 증착 프로세스 파라미터들은 인 도핑된 실리콘 나이트라이드 막을 형성하기 위해 사용될 수 있다. 프로세스 파라미터들은 약 100 ℃ 내지 약 700 ℃, 예컨대, 약 200 ℃ 내지 약 500 ℃의 기판 온도의 범위일 수 있다. 챔버 압력은 약 1 Torr 내지 약 20 Torr, 예컨대, 약 2 Torr 내지 약 10 Torr의 챔버 압력의 범위일 수 있다.

[0021] [0025] 하나 이상의 예들에서, 증착 가스는 하나 이상의 실리콘 전구체들, 하나 이상의 질소 전구체들, 하나 이상의 인 전구체들 및 하나 이상의 캐리어 가스들을 포함한다. 실리콘 전구체, 질소 전구체, 인 전구체 및 캐리어 가스는, 기판을 증착 가스에 노출시킬 때 함께 공동 유동될(co-flowed) 수 있다. 실리콘 전구체의 유량은 약 200 sccm 내지 약 5,000 sccm, 예컨대, 약 400 sccm 내지 약 2,000 sccm 범위에 있다. 질소 전구체의 유량은 약 200 sccm 내지 약 5,000 sccm, 예컨대, 약 400 sccm 내지 약 2,000 sccm 범위에 있다. 인 전구체의 유량은 약 10 sccm 내지 약 1,000 sccm, 예컨대, 약 50 sccm 내지 약 500 sccm 범위에 있다. 캐리어 가스의 유량은 약 500 sccm 내지 약 20,000 sccm, 예컨대, 약 2,000 sccm 내지 약 10,000 sccm 범위에 있다. 수소 가스의 유량은 약 500 sccm 내지 약 20,000 sccm, 예컨대, 약 2,000 sccm 내지 약 10,000 sccm 범위에 있다.

[0022] [0026] 인 전구체는 포스핀(PH_3), 메틸포스핀(CH_3PH_2), 에틸포스핀($CH_3CH_2PH_2$), 프로필포스핀($CH_3(CH_2)_2PH_2$), 부틸포스핀($CH_3(CH_2)_3PH_2$), 포스포러스 옥시클로라이드($POCl_3$), 트리메틸포스페이트($(CH_3)_3P$), 트리에틸포스페이트($(CH_3(CH_2))_3P$), 이들의 이성질체들 또는 이들의 임의의 조합일 수 있거나 또는 이를 포함할 수 있다. 실리콘 전구체는 실란(SiH_4), 디실란(Si_2H_6), 트리실란(Si_3H_8), 테트라실란(Si_4H_{10}), 펜타실란(Si_5H_{12}), 메틸실란(CH_3SiH_3), 클로로실란(SiH_3Cl), 디클로로실란(SiH_2Cl_2), 트리클로로실란($SiHCl_3$), 실리콘 테트라클로라이드($SiCl_4$), 헥사클로로디실란(Si_2Cl_6), 또는 이들의 임의의 조합들일 수 있거나 또는 이를 포함할 수 있다. 질소 전구체는 암모니아(NH_3), 하이드라진(N_2H_4), 디메틸 하이드라진($(CH_3)_2N_2H_2$), tertert-부틸하이드라진($C_4H_9N_2H_3$), 페닐하이드라진($C_6H_5N_2H_3$), 2,2'-아조이소부탄($(CH_3)_6C_2N_2$), 에틸아지드($C_2H_5N_3$), 이들의 이성질체들 또는 이들의 임의의 조합들일 수 있거나 또는 이를 포함할 수 있다. 캐리어 가스는 질소(N_2), 아르곤, 헬륨, 이들의 플라즈마 또는 이들의 임의의 조합을 포함한다. 하나 이상의 예들에서, 증착 가스는 포스핀, 실란, 암모니아, 및 하나 이상의 캐리어 가스들을 포함한다.

[0023] [0027] 하나 이상의 예들에서, PE-CVD 프로세스는, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 온(on) 그리고 오프(off)로 펄싱(pulsing)하는 것을 포함하는 펄스식 플라즈마 프로세스이다. 다른 예들에서, PE-CVD 프로세스는, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 온으로 유지하는 것을 포함하는 연속 플라즈마 프로세스이다. RF 전력은 약 1 W/in^2 내지 약 100 W/in^2, 이를테면, 약 3 W/in^2 내지 약 20 W/in^2 범위에 있다. 기판의 최상부 표면과 샤워헤드 사이의 플레이트 간격은 약 200 mil 내지 약 600 mil, 이를테면, 약 250 mil 내지 약 400 mil 범위에 있다.

[0024] [0028] 도 2는 본원의 하나 이상의 실시예들에서 논의 및 설명되는 바와 같은, 기판(202) 상에 배치된 인 도핑된 실리콘 나이트라이드 막(204)을 포함하는 기판 구조(200)의 개략적인 단면도를 도시한다. 인 도핑된 실리콘 나이트라이드 막(204)은 하드마스크 층 또는 에칭 정지 층(stop etch layer), 희생 층, 자기 정렬된 멀티 패터닝을 위한 더미 패턴 층, 및/또는 제작 프로세스들에서 사용되는 다른 타입들의 층들 및 막들일 수 있거나 또는 이를 포함할 수 있다.

[0025] [0029] 도 2에 도시된 바와 같은 기판(202)은 실질적으로 평면 표면을 갖는다. 대안적으로, 기판(202)은 내부에 트렌치들, 홀들 또는 비아들이 형성되어 있는 표면인 패터닝된 구조들을 가질 수 있다. 기판(202)은 또한, 실질적으로 평면 표면을 가질 수 있으며, 이러한 평면 표면 상에 또는 이러한 평면 표면에 원하는 높이(elevation)로 구조가 형성된다. 기판(202)이 단일 바디로서 예시되어 있지만, 기판(202)은, 금속 콘택들, 트렌치 격리부들, 게이트들, 비트라인들, 또는 임의의 다른 인터커넥트 피처(interconnect feature)들과 같은 반도체 디바이스들을 형성할 때 사용되는 하나 이상의 재료들을 포함할 수 있다는 것이 이해된다. 기판(202)은 반도체 디바이스들, 디스플레이 디바이스들 및/또는 광전지 디바이스를 제작하기 위해 활용되는 하나 이상의 금

속 층들, 하나 이상의 유전체 재료들, 반도체 재료, 및/또는 이들의 조합들을 포함할 수 있다. 예컨대, 기판(202)은 애플리케이션에 따라 옥사이드 재료, 나이트라이드 재료, 폴리실리콘 재료 등을 포함할 수 있다. 메모리 애플리케이션이 요구되는 하나 이상의 실시예들에서, 기판(202)은 실리콘 기판 재료, 옥사이드 재료 및 나이트라이드 재료를 포함할 수 있으며, 폴리실리콘이 그 사이에 끼워지거나 끼워지지 않을 수 있다. 다른 실시예들에서, 기판(202)은 기판(미도시)의 표면 상에 증착된 복수의 교번하는 옥사이드 및 나이트라이드 재료들(예컨대, 옥사이드-나이트라이드-옥사이드(ONO; oxide-nitride-oxide))을 포함할 수 있다. 다양한 실시예들에서, 기판(202)은 복수의 교번하는 옥사이드 및 나이트라이드 재료들, 하나 이상의 옥사이드 또는 나이트라이드 재료들, 폴리실리콘 또는 비정질 실리콘 재료들, 비정질 실리콘과 교번하는 옥사이드들, 폴리실리콘과 교번하는 옥사이드들, 도핑된 실리콘과 교번하는 도핑되지 않은 실리콘, 도핑된 폴리실리콘과 교번하는 도핑되지 않은 폴리실리콘, 또는 도핑된 비정질 실리콘과 교번하는 도핑되지 않은 비정질 실리콘을 포함할 수 있다. 기판은 막 프로세싱이 수행되는 임의의 기판 또는 재료 표면일 수 있다. 예컨대, 기판(202)은 결정질 실리콘, 실리콘 옥사이드, 실리콘 옥시나이트라이드, 실리콘 나이트라이드, 스트레인드 실리콘(strained silicon), 실리콘 게르마늄, 텅스텐, 티타늄 나이트라이드, 도핑된 또는 도핑되지 않은 폴리실리콘, 도핑된 또는 도핑되지 않은 실리콘 웨이퍼들, 그리고 패터닝된 또는 패터닝되지 않은 웨이퍼들, SOI(silicon on insulator), 탄소 도핑된 실리콘 옥사이드들, 실리콘 나이트라이드들, 도핑된 실리콘, 게르마늄, 갈륨 아세나이드, 유리, 사파이어, 로우(low) k 유전체들, 또는 이들의 임의의 조합과 같은 하나 이상의 재료들일 수 있거나 또는 이를 포함할 수 있다.

[0026] [0030] 하나 이상의 실시예들에서, 인 도핑된 실리콘 나이트라이드 막은 약 100 Å, 약 200 Å, 약 300 Å, 약 500 Å, 약 800 Å, 또는 약 1,000 Å 내지 약 1,500 Å, 약 2,000 Å, 약 2,500 Å, 약 3,000 Å, 약 4,000 Å, 약 5,000 Å, 약 7,000 Å, 약 8,500 Å, 약 10,000 Å, 약 12,000 Å, 약 15,000 Å, 약 18,000 Å, 약 20,000 Å, 약 25,000 Å 또는 약 30,000 Å의 두께를 가질 수 있다. 예컨대, 인 도핑된 실리콘 나이트라이드 막은 약 100 Å 내지 약 30,000 Å, 약 100 Å 내지 약 25,000 Å, 약 100 Å 내지 약 20,000 Å, 약 100 Å 내지 약 15,000 Å, 약 100 Å 내지 약 12,000 Å, 약 100 Å 내지 약 10,000 Å, 약 100 Å 내지 약 8,000 Å, 약 100 Å 내지 약 5,000 Å, 약 100 Å 내지 약 4,000 Å, 약 100 Å 내지 약 3,000 Å, 약 100 Å 내지 약 2,000 Å, 약 100 Å 내지 약 1,500 Å, 약 100 Å 내지 약 1,000 Å, 약 100 Å 내지 약 800 Å, 약 100 Å 내지 약 500 Å, 약 100 Å 내지 약 300 Å, 약 100 Å 내지 약 200 Å, 약 300 Å 내지 약 30,000 Å, 약 300 Å 내지 약 25,000 Å, 약 300 Å 내지 약 20,000 Å, 약 300 Å 내지 약 15,000 Å, 약 300 Å 내지 약 12,000 Å, 약 300 Å 내지 약 10,000 Å, 약 300 Å 내지 약 8,000 Å, 약 300 Å 내지 약 5,000 Å, 약 300 Å 내지 약 4,000 Å, 약 300 Å 내지 약 3,000 Å, 약 300 Å 내지 약 2,000 Å, 약 300 Å 내지 약 1,500 Å, 약 300 Å 내지 약 1,000 Å, 약 300 Å 내지 약 800 Å, 약 300 Å 내지 약 500 Å, 약 500 Å 내지 약 30,000 Å, 약 500 Å 내지 약 25,000 Å, 약 500 Å 내지 약 20,000 Å, 약 500 Å 내지 약 15,000 Å, 약 500 Å 내지 약 12,000 Å, 약 500 Å 내지 약 10,000 Å, 약 500 Å 내지 약 8,000 Å, 약 500 Å 내지 약 5,000 Å, 약 500 Å 내지 약 4,000 Å, 약 500 Å 내지 약 3,000 Å, 약 500 Å 내지 약 2,000 Å, 약 500 Å 내지 약 1,500 Å, 약 500 Å 내지 약 1,000 Å, 또는 약 500 Å 내지 약 800 Å의 두께를 가질 수 있다.

[0027] [0031] 하나 이상의 실시예들에서, 인 도핑된 실리콘 나이트라이드 막은 약 100 Å/분, 약 200 Å/분, 약 300 Å/분, 약 500 Å/분, 약 800 Å/분, 또는 약 1,000 Å/분 내지 약 1,500 Å/분, 약 2,000 Å/분, 약 2,500 Å/분, 약 3,000 Å/분, 약 4,000 Å/분, 약 5,000 Å/분, 약 7,000 Å/분, 약 8,500 Å/분, 약 10,000 Å/분, 약 12,000 Å/분, 약 15,000 Å/분, 약 20,000 Å/분, 약 25,000 Å/분 또는 약 30,000 Å/분의 증착 레이트로 증착되거나, 형성되거나 또는 다른 방식으로 생성된다. 예컨대, 인 도핑된 실리콘 나이트라이드 막은 약 100 Å/분 내지 약 30,000 Å/분, 약 100 Å/분 내지 약 25,000 Å/분, 약 100 Å/분 내지 약 20,000 Å/분, 약 100 Å/분 내지 약 15,000 Å/분, 약 100 Å/분 내지 약 12,000 Å/분, 약 100 Å/분 내지 약 10,000 Å/분, 약 100 Å/분 내지 약 8,000 Å/분, 약 100 Å/분 내지 약 5,000 Å/분, 약 100 Å/분 내지 약 4,000 Å/분, 약 100 Å/분 내지 약 3,000 Å/분, 약 100 Å/분 내지 약 2,000 Å/분, 약 100 Å/분 내지 약 1,500 Å/분, 약 100 Å/분 내지 약 1,000 Å/분, 약 100 Å/분 내지 약 800 Å/분, 약 100 Å/분 내지 약 500 Å/분, 약 100 Å/분 내지 약 300 Å/분, 약 100 Å/분 내지 약 200 Å/분, 약 500 Å/분 내지 약 30,000 Å/분, 약 500 Å/분 내지 약 25,000 Å/분, 약 500 Å/분 내지 약 20,000 Å/분, 약 500 Å/분 내지 약 15,000 Å/분, 약 500 Å/분 내지 약 12,000 Å/분, 약 500 Å/분 내지 약 10,000 Å/분, 약 500 Å/분 내지 약 8,000 Å/분, 약 500 Å/분 내지 약 5,000 Å/분, 약 500 Å/분 내지 약 4,000 Å/분, 약 500 Å/분 내지 약 3,000 Å/분, 약 500 Å/분 내지 약 2,000 Å/분, 약 500 Å/분 내지 약 1,500 Å/분, 약 500 Å/분 내지 약 1,000 Å/분, 또는 약 500 Å/분 내지 약 800 Å/분의 증착 레이트로 증착되거나, 형성되거나 또는 다른 방식으로 생성된다.

[0028] [0032] 하나 이상의 예들에서, 인 도핑된 실리콘 나이트라이드 막(204)은 약 100 Å 내지 약 20,000 Å, 이를

테면, 약 300 Å 내지 약 5,000 Å의 두께로 증착될 수 있다. 일부 예들에서, 위의 프로세스 파라미터들은 약 500 Å/분 내지 약 10,000A/분 범위에서 인 도핑된 실리콘 나이트라이드 막(204)에 대한 통상적인 증착 레이트를 제공하며, 캘리포니아주 산타 클라라의 Applied Materials, Inc.로부터 입수가능한 증착 챔버에서 300 mm(직경) 기판 상에 구현될 수 있다.

[0029] [0033] 인 도핑된 실리콘 나이트라이드 막(204)은 약 15 원자%(at%), 약 20 원자%, 약 25 원자%, 약 30 원자%, 약 35 원자%, 약 38 원자%, 또는 약 40 원자% 내지 약 41 원자%, 약 42 원자%, 약 43 원자%, 약 45 원자%, 약 48 원자%, 약 50 원자%, 약 52 원자%, 약 55 원자% 또는 약 60 원자% 범위의 실리콘 농도를 갖는다. 예컨대, 인 도핑된 실리콘 나이트라이드 막(204)은 약 15 원자% 내지 약 60 원자%, 약 20 원자% 내지 약 60 원자%, 약 25 원자% 내지 약 60 원자%, 약 30 원자% 내지 약 60 원자%, 약 35 원자% 내지 약 60 원자%, 약 38 원자% 내지 약 60 원자%, 약 40 원자% 내지 약 60 원자%, 약 42 원자% 내지 약 60 원자%, 약 45 원자% 내지 약 60 원자%, 약 50 원자% 내지 약 60 원자%, 약 15 원자% 내지 약 55 원자%, 약 25 원자% 내지 약 55 원자%, 약 35 원자% 내지 약 55 원자%, 약 40 원자% 내지 약 55 원자%, 약 15 원자% 내지 약 45 원자%, 약 20 원자% 내지 약 45 원자%, 약 25 원자% 내지 약 45 원자%, 약 30 원자% 내지 약 45 원자%, 약 35 원자% 내지 약 45 원자%, 약 38 원자% 내지 약 45 원자%, 약 40 원자% 내지 약 45 원자%, 또는 약 42 원자% 내지 약 45 원자% 범위의 실리콘 농도를 갖는다.

[0030] [0034] 인 도핑된 실리콘 나이트라이드 막(204)은 약 25 원자%, 약 30 원자%, 약 35 원자%, 약 40 원자%, 약 45 원자%, 또는 약 50 원자% 내지 약 52 원자%, 약 54 원자%, 약 55 원자%, 약 58 원자%, 약 60 원자%, 약 65 원자%, 약 70 원자% 또는 약 75 원자% 범위의 질소 농도를 갖는다. 예컨대, 인 도핑된 실리콘 나이트라이드 막(204)은 약 25 원자% 내지 약 75 원자%, 약 25 원자% 내지 약 70 원자%, 약 25 원자% 내지 약 65 원자%, 약 25 원자% 내지 약 60 원자%, 약 25 원자% 내지 약 55 원자%, 약 25 원자% 내지 약 50 원자%, 약 25 원자% 내지 약 45 원자%, 약 25 원자% 내지 약 40 원자%, 약 40 원자% 내지 약 75 원자%, 약 40 원자% 내지 약 70 원자%, 약 40 원자% 내지 약 65 원자%, 약 40 원자% 내지 약 60 원자%, 약 40 원자% 내지 약 55 원자%, 약 40 원자% 내지 약 54 원자%, 약 40 원자% 내지 약 50 원자%, 또는 약 40 원자% 내지 약 45 원자% 범위의 질소 농도를 갖는다.

[0031] [0035] 인 도핑된 실리콘 나이트라이드 막(204)은 약 0.1 원자%, 약 0.5 원자%, 약 0.8 원자%, 약 1 원자%, 약 1.5 원자%, 또는 약 2 원자% 내지 약 2.5 원자%, 약 3 원자%, 약 3.5 원자%, 약 4 원자%, 약 4.5 원자%, 약 5 원자%, 약 6 원자%, 약 7 원자%, 약 8 원자%, 약 9 원자% 또는 약 10 원자% 이상의 인 농도를 갖는다. 예컨대, 인 도핑된 실리콘 나이트라이드 막(204)은 약 0.1 원자% 내지 약 10 원자%, 약 0.1 원자% 내지 약 8 원자%, 약 0.1 원자% 내지 약 6 원자%, 약 0.1 원자% 내지 약 5 원자%, 약 0.1 원자% 내지 약 4 원자%, 약 0.1 원자% 내지 약 3 원자%, 약 0.1 원자% 내지 약 2 원자%, 약 0.1 원자% 내지 약 1 원자%, 약 0.1 원자% 내지 약 0.5 원자%, 약 0.5 원자% 내지 약 10 원자%, 약 0.5 원자% 내지 약 8 원자%, 약 0.5 원자% 내지 약 6 원자%, 약 0.5 원자% 내지 약 5 원자%, 약 0.5 원자% 내지 약 4 원자%, 약 0.5 원자% 내지 약 3 원자%, 약 0.5 원자% 내지 약 2 원자%, 약 0.5 원자% 내지 약 1 원자%, 약 1 원자% 내지 약 10 원자%, 약 1 원자% 내지 약 8 원자%, 약 1 원자% 내지 약 6 원자%, 약 1 원자% 내지 약 5 원자%, 약 1 원자% 내지 약 4 원자%, 약 1 원자% 내지 약 3 원자%, 약 1 원자% 내지 약 2 원자%, 또는 약 1 원자% 내지 약 1.5 원자%의 인 농도를 갖는다.

[0032] [0036] 하나 이상의 실시예들에서, 인 도핑된 실리콘 나이트라이드 막은, 기판을 증착 가스에 계속 노출시키는 동안 기판을 수소에 노출시킴으로써 조밀화될 수 있다. 수소는 수소 가스(H_2), 원자 수소, 이들의 플라즈마들 또는 이들의 임의의 조합일 수 있거나 또는 이를 포함할 수 있다. 다른 실시예들에서, 인 도핑된 실리콘 나이트라이드 막을 조밀화하기 위하여 전체 프로세스가 변경될 수 있다. 예컨대, 인 도핑된 실리콘 나이트라이드 막은, 원하는 두께의 인 도핑된 실리콘 나이트라이드 막이 획득될 때까지, PE-CVD 프로세스의 사이클과 질소 플라즈마 프로세스의 사이클을 순차적으로 교번시킴으로써 조밀화될 수 있다. PE-CVD 프로세스는 연속 플라즈마 프로세스 또는 펄스식(불연속) 플라즈마 프로세스일 수 있다. 질소 플라즈마 프로세스는, 기판을 증착 가스에 노출시키는 것을 중지하는 동안 기판을 질소 플라즈마에 노출시키는 것을 포함하는 조밀화 프로세스이다. 질소 플라즈마는 아르곤, 헬륨 또는 이들의 조합과 같은 적어도 하나 이상의 가스들, 그리고 질소 가스(N_2)로부터 생성될 수 있다.

[0033] [0037] 일부 예들에서, 증착 방법은, PE-CVD 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 기판을 증착 가스에 노출시키는 단계를 포함하고, 여기서, 증착 가스는 하나 이상의 실리콘 전구체들, 하나 이상의 질소 전구체들, 하나 이상의 인 전구체들 및 하나 이상의 캐리어 가스들을 포함한다. 인 도핑된 실리콘 나이트라이드 막은 약 0.1 원자% 내지 약 10 원자% 범위의 인 농도를 갖는다. 방법은 또한, PE-CVD

프로세스를 중지하는 단계, 그런 다음, 질소 플라즈마 프로세스 동안 인 도핑된 실리콘 나이트라이드 막을 조밀화하기 위해 기판을 질소 플라즈마에 노출시키는 단계, 및 질소 플라즈마 프로세스를 중지하는 단계를 포함한다. 방법은, PE-CVD 프로세스의 사이클과 질소 플라즈마 프로세스의 사이클을 순차적으로 반복하는 단계를 더 포함한다.

[0034] **실험적**

[0035] [0038] 도 3은 본원의 하나 이상의 실시예들에서 논의 및 설명되는 바와 같은, 다양한 에천트들에 노출된, 인 도핑된 그리고 도핑되지 않은 실리콘 나이트라이드 막들에 대한 에칭 레이트들 대 인 농도들의 그래프이다. 도 3에서 라벨링된 바와 같은 3 개의 에천트들은 고온 인산(H_3PO_4), 6:1 LAL 용액 및 200:1 희석 플루오린화수소산(DHF) 용액을 포함했다. 고온 인산은 약 50 ℃의 온도로 가열되었다. 6:1 LAL 용액은 플루오린화 암모늄, 플루오린화 수소 및 물을 함유하는 혼합물이었다. 6:1 LAL 용액은 중량으로 약 6:1:6의 플루오린화 암모늄 대 플루오린화 수소 대 물을 함유했다. DHF 용액은 중량으로 약 200:1의 탈이온수 대 플루오린화 수소를 함유했다.

[0036] [0039] 인이 없는 실리콘 나이트라이드 막들은, 6:1 LAL에서 약 102 Å/분의 레이트로, 고온 인산에서 약 37 Å/분의 레이트로, 그리고 200:1 DHF에서 약 10 Å/분의 레이트로 에칭되었다.

[0037] [0040] PECVD 실리콘 나이트라이드로의 인의 인-시투 도핑으로, 인 도핑된 실리콘 나이트라이드 막들은 다양한 에천트 용액들에서 튜너블(tunable) 습식 에칭 레이트들을 나타낸다. 더 큰 값들의 인 농도들(0% 내지 약 4.8%의 [P])의 경우, 6:1 LAL에서의 에칭 레이트들은 약 102 Å/분 내지 약 21 Å/분에서 약 80%만큼 떨어졌다. 그다지 크지는 않지만, 200:1 DHF에서의 에칭 레이트들은 약 10 Å/분(0%의 [P])으로부터 약 2 Å/분(약 2.5%의 [P])으로 떨어졌다. 더 큰 값들의 인 농도들(0% 내지 약 4.8%의 [P])의 경우, 고온 인산에서의 에칭 레이트들은 약 37 Å/분 내지 약 79 Å/분에서 약 114%만큼 증가했다.

[0038] [0041] 본 개시 내용의 실시예들은 추가로, 다음의 단락 1-단락 21 중 임의의 하나 이상의 단락들에 관한 것이다:

[0039] [0042] 1. 프로세싱 챔버에서 기판 상에 재료를 증착하는 방법으로서, 플라즈마 강화 화학 기상 증착 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 RF 전력의 존재 시 기판을 증착 가스에 노출시키는 단계를 포함하고, 증착 가스는 실리콘 전구체, 질소 전구체, 인 전구체 및 캐리어 가스를 포함하며, 그리고 인 도핑된 실리콘 나이트라이드 막은 약 0.1 원자%(at%) 내지 약 10 원자% 범위의 인 농도를 갖는다.

[0040] [0043] 2. 프로세싱 챔버에서 기판 상에 재료를 증착하는 방법으로서, 플라즈마 강화 화학 기상 증착 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하면서 기판을 증착 가스에 노출시키는 단계를 포함하고, 증착 가스는 실리콘 전구체, 질소 전구체, 인 전구체 및 캐리어 가스를 포함하며, 그리고 인 도핑된 실리콘 나이트라이드 막은 약 0.5 원자%(at%) 내지 약 8 원자% 범위의 인 농도를 갖는다.

[0041] [0044] 3. 프로세싱 챔버에서 기판 상에 재료를 증착하는 방법으로서, 플라즈마 강화 화학 기상 증착 프로세스 동안 기판 상에 인 도핑된 실리콘 나이트라이드 막을 증착하기 위해 기판을 증착 가스에 노출시키는 단계 -증착 가스는 실리콘 전구체, 질소 전구체, 인 전구체 및 캐리어 가스를 포함하며, 그리고 인 도핑된 실리콘 나이트라이드 막은 약 0.1 원자%(at%) 내지 약 10 원자% 범위의 인 농도를 가짐-; 플라즈마 강화 화학 기상 증착 프로세스를 중지하는 단계; 그런 다음, 질소 플라즈마 프로세스 동안 인 도핑된 실리콘 나이트라이드 막을 조밀화하기 위해 기판을 질소 플라즈마에 노출시키는 단계; 질소 플라즈마 프로세스를 중지하는 단계; 및 플라즈마 강화 화학 기상 증착 프로세스의 사이클과 질소 플라즈마 프로세스의 사이클을 순차적으로 반복하는 단계를 포함한다.

[0042] [0045] 4. 단락 1 내지 단락 3 중 어느 한 단락에 따른 방법에 있어서, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 턴 오프하는 단계를 더 포함한다.

[0043] [0046] 5. 단락 1 내지 단락 4 중 어느 한 단락에 따른 방법에 있어서, 플라즈마 강화 화학 기상 증착 프로세스는, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 온 그리고 오프로 펄싱하는 것을 포함하는 펄스식 플라즈마 프로세스이다.

[0044] [0047] 6. 단락 1 내지 단락 5 중 어느 한 단락에 따른 방법에 있어서, 플라즈마 강화 화학 기상 증착 프로세스는, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 온으로 유지하는 것을 포함하는 연속 플라즈마 프로세스이다.

[0045] [0048] 7. 단락 1 내지 단락 6 중 어느 한 단락에 따른 방법에 있어서, 기판을 증착 가스에 계속 노출시키는 동안 기판을 수소에 노출시킴으로써, 인 도핑된 실리콘 나이트라이드 막을 조밀화하는 단계를 더 포함한다.

[0046] [0049] 8. 단락 1 내지 단락 7 중 어느 한 단락에 따른 방법에 있어서, 플라즈마 강화 화학 기상 증착 프로세스의 사이클과 질소 플라즈마 프로세스의 사이클을 순차적으로 교번시킴으로써, 인 도핑된 실리콘 나이트라이드 막을 조밀화하는 단계를 더 포함하고, 질소 플라즈마 프로세스는, 기판을 증착 가스에 노출시키는 것을 중지하는 동안 기판을 질소 플라즈마에 노출시키는 것을 포함한다.

[0047] [0050] 9. 단락 1 내지 단락 8 중 어느 한 단락에 따른 방법에 있어서, 인 농도는 약 0.5 원자% 내지 약 8 원자% 범위에 있다.

[0048] [0051] 10. 단락 1 내지 단락 9 중 어느 한 단락에 따른 방법에 있어서, 인 농도는 약 1 원자% 내지 약 6 원자% 범위에 있다.

[0049] [0052] 11. 단락 1 내지 단락 10 중 어느 한 단락에 따른 방법에 있어서, 인 도핑된 실리콘 나이트라이드 막은 약 40 원자% 내지 약 70 원자% 범위의 질소 농도를 갖는다.

[0050] [0053] 12. 단락 1 내지 단락 11 중 어느 한 단락에 따른 방법에 있어서, 인 도핑된 실리콘 나이트라이드 막은 약 25 원자% 내지 약 55 원자% 범위의 실리콘 농도를 갖는다.

[0051] [0054] 13. 단락 1 내지 단락 12 중 어느 한 단락에 따른 방법에 있어서, 인 전구체는 포스핀, 메틸포스핀, 에틸포스핀, 프로필포스핀, 부틸포스핀, 포스포러스 옥시클로라이드, 트리메틸포스페이트, 트리에틸포스페이트, 이들의 이성질체들 또는 이들의 임의의 조합을 포함한다.

[0052] [0055] 14. 단락 1 내지 단락 13 중 어느 한 단락에 따른 방법에 있어서, 질소 전구체는 암모니아, 하이드라진, 디메틸 하이드라진, tert-부틸하이드라진, 페닐하이드라진, 2,2'-아조이소부탄, 에틸아지드, 이들의 이성질체들 또는 이들의 임의의 조합들을 포함한다.

[0053] [0056] 15. 단락 1 내지 단락 14 중 어느 한 단락에 따른 방법에 있어서, 실리콘 전구체는 실란, 디실란, 트리실란, 테트라실란, 펜타실란, 메틸실란, 클로로실란, 디클로로실란, 트리클로로실란, 실리콘 테트라클로라이드, 헥사클로로디실란, 또는 이들의 임의의 조합들을 포함한다.

[0054] [0057] 16. 단락 1 내지 단락 15 중 어느 한 단락에 따른 방법에 있어서, 캐리어 가스는 질소(N_2), 아르곤, 헬륨, 이들의 플라즈마 또는 이들의 임의의 조합을 포함한다.

[0055] [0058] 17. 단락 1 내지 단락 16 중 어느 한 단락에 따른 방법에 있어서, 인 도핑된 실리콘 나이트라이드 막은 하드마스크 층 또는 에칭 정지 층이다.

[0056] [0059] 18. 단락 1 내지 단락 17 중 어느 한 단락에 따른 방법에 있어서, 증착 가스는 포스핀, 실란 및 암모니아를 포함하고, 인 농도는 약 1 원자% 내지 약 6 원자% 범위에 있다.

[0057] [0060] 19. 단락 1 내지 단락 18 중 어느 한 단락에 따른 방법에 있어서, 플라즈마 강화 화학 기상 증착 프로세스는, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 온 그리고 오프로 펄싱하는 것을 포함하는 펄스식 플라즈마 프로세스이다.

[0058] [0061] 20. 단락 1 내지 단락 19 중 어느 한 단락에 따른 방법에 있어서, 플라즈마 강화 화학 기상 증착 프로세스는, 기판을 증착 가스에 계속 노출시키는 동안 RF 전력을 온으로 유지하는 것을 포함하는 연속 플라즈마 프로세스이다.

[0059] [0062] 21. 단락 1 내지 단락 20 중 어느 한 단락에 따른 방법을 행하거나 또는 수행하기 위한 프로세싱 챔버 또는 시스템.

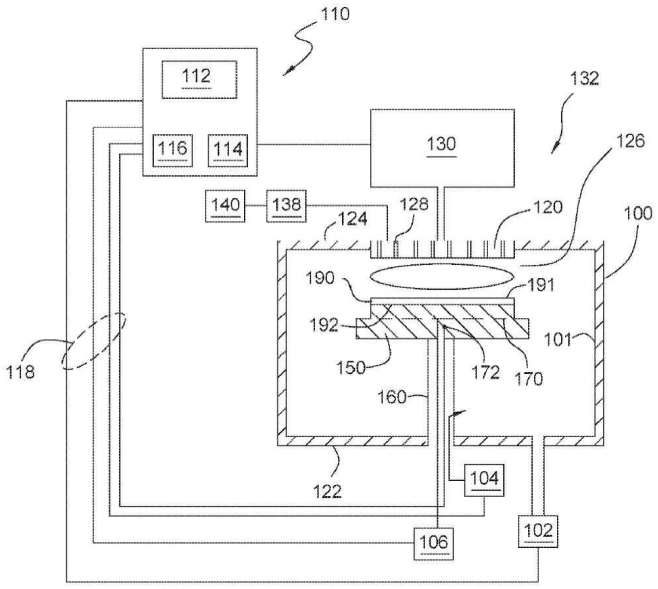
[0060] [0063] 전술된 내용이 본 개시내용의 실시예들에 관한 것이지만, 다른 그리고 추가적인 실시예들이 본 개시내용의 기본적인 범위를 벗어나지 않고 안출될 수 있으며, 본 개시내용의 범위는 다음의 청구항들에 의해 결정된다. 본원에서 설명된 모든 문서들은, 임의의 우선권 문서들 및/또는 시험 절차들을 포함하여, 이들이 본원 내용과 모순되지 않는 한, 인용에 의해 본원에 포함된다. 전술된 일반적인 설명 및 특정 실시예들로부터 자명한 바와 같이, 본 개시내용의 형태들이 예시 및 설명되었지만, 본 개시내용의 사상 및 범위를 벗어나지 않고, 다양한 수정들이 행해질 수 있다. 이에 따라서, 본 개시내용이 이로써 제한되는 것으로 의도되지 않는다. 마찬가지로, "포함하는(comprising)"이라는 용어는 미국 법률의 목적상 "포함하는(including)"이라는 용어와 동의어로

간주된다. 마찬가지로, 조성, 엘리먼트 또는 엘리먼트들의 그룹이 "포함하는(comprising)"이라는 접속구 앞에 올 때마다, 우리는 또한, 조성, 엘리먼트 또는 엘리먼트들의 언급에 후행하는 "~을 필수구성으로 포함하는", "~로 구성된", "~로 구성된 그룹으로부터 선택된" 또는 "~이다"란 접속구들에 대해 동일한 조성 또는 엘리먼트들의 그룹을 고려하거나, 또는 그 반대로도 마찬가지임이 이해된다.

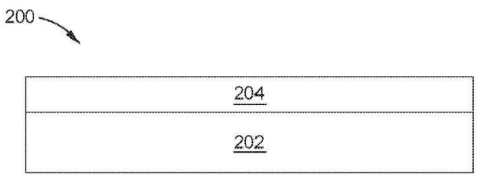
[0061] [0064] 특정 실시예들 및 특징들은 수치 상한들의 세트 및 수치 하한들의 세트를 사용하여 설명되었다. 달리 표시되지 않는 한, 임의의 2 개의 값들의 조합, 예컨대, 임의의 낮은 값과 임의의 높은 값의 조합, 임의의 2 개의 낮은 값들의 조합, 및/또는 임의의 2 개의 높은 값들의 조합을 포함하는 범위들이 고려된다는 것이 인식되어야 한다. 특정 하한들, 상한들 및 범위들은 아래의 하나 이상의 청구항들에서 드러난다.

도면

도면1



도면2



도면3

