

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015年3月5日(05.03.2015)



(10) 国際公開番号  
WO 2015/029680 A1

- (51) 国際特許分類:  
H01P 1/36 (2006.01)
- (21) 国際出願番号: PCT/JP2014/070003
- (22) 国際出願日: 2014年7月30日(30.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-180897 2013年9月2日(02.09.2013) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 向山和孝(MUKAIYAMA, Kazutaka); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 齋藤賢志(SAITO, Kenji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 和田貴也(WADA, Takaya); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中嶋礼滋(NAKAJIMA, Reiji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: ISOLATOR

(54) 発明の名称: アイソレータ

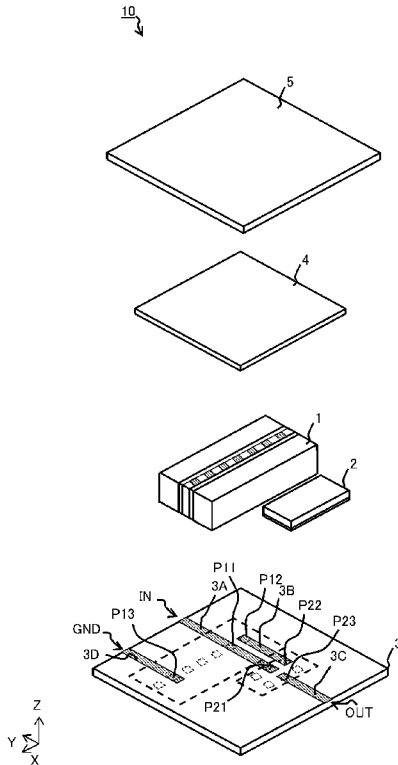


図2

(57) Abstract: This isolator (10) is provided with a core isolator (1), a main substrate (3) and a circuit formation part (2). The main substrate (3) is provided with, a wiring part (3A), a wiring part (3B) and a wiring part (3D), and the core isolator (1) and the circuit formation part (2) are mounted on the main substrate (3). An input port (P11) of the core isolator (1) is connected to the wiring part (3A). An output port (P12) of the core isolator (1) is connected to the wiring part (3B). A ground port (P13) of the core isolator (1) is connected to the wiring part (3D). The circuit formation part (2) is provided with a conductor pattern which comprises: a capacitor (C1) that is connected in parallel to the core isolator (1) via the wiring part (3A) and the wiring part (3B); and an impedance element that is connected to the wiring part (3A) and/or the wiring part (3B).

(57) 要約: アイソレータ (10) は、コアアイソレータ (1) と主基板 (3) と回路形成部 (2) とを備える。主基板 (3) は、配線部 (3A) と配線部 (3B) と配線部 (3D) とを備え、コアアイソレータ (1) と回路形成部 (2) とが搭載される。コアアイソレータ (1) の入力ポート (P11) は配線部 (3A) に接続される。コアアイソレータ (1) の出力ポート (P12) は配線部 (3B) に接続される。コアアイソレータ (1) のグランドポート (P13) は配線部 (3D) に接続される。回路形成部 (2) は、配線部 (3A) と配線部 (3B) とを介してコアアイソレータ (1) と並列に接続されるキャパシタ (C1)、および、配線部 (3A) と配線部 (3B) との少なくとも一方に接続されるインピーダンス素子、を含む導体パターンが構成されている。

WO 2015/029680 A1

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：アイソレータ

### 技術分野

[0001] 本発明は、高周波信号を特定方向にのみ伝送するアイソレータに関する。

### 背景技術

[0002] 不平衡型の入力ポートおよび出力ポートを有するアイソレータは、例えば、入力ポートと出力ポートとを接続する第1の中心導体と、入力ポートとグランドポートとを接続する第2の中心導体と、表面に第1の中心導体と第2の中心導体とが互いに絶縁された状態で交差するように設けられる軟磁性体コアと、第1の中心導体と第2の中心導体との交差部分に磁束を印加する永久磁石と、からなるコアアイソレータを備えている。

[0003] アイソレータには、コアアイソレータとともに複数のインピーダンス素子を設ける必要があり、コアアイソレータは、複数のインピーダンス素子が設けられた回路基板に搭載される。コアアイソレータとともにアイソレータを構成するインピーダンス素子としては、コアアイソレータの入力ポートと出力ポートとの間に接続されるキャパシタや、コアアイソレータの入力ポートと出力ポートとの間に接続される抵抗、その抵抗とともにコアアイソレータの入力ポートと出力ポートとの間に接続されLC直列回路を構成するキャパシタおよびインダクタ、コアアイソレータの入力ポートまたは出力ポートと外部接続端子との間に接続されるインピーダンス調整用のキャパシタ、などが設けられる（例えば特許文献1参照）。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2011-13756号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 従来は、アイソレータの複数のインピーダンス素子が、それぞれチップ部

品として個別に構成されていた。主基板に搭載される複数のチップ部品は、それぞれの間に一定以上の配置間隔が設けられるため、チップ部品の数が多ければ、主基板が大型化するとともに、チップ部品同士を接続する接続配線が長くなり、接続配線に発生する寄生成分が種々の問題を引き起こすことがあった。例えば、寄生インダクタが大きくなることで、アイソレータの出力ポートから入力ポートへの信号の伝搬が抑えられる周波数帯域（アイソレーション帯域）が狭帯域化することがあった。また、寄生抵抗が大きくなることで、アイソレータにおける信号の通過損失が大きくなることがあった。また、寄生インダクタや寄生キャパシタが大きくなることで、アイソレータの入力インピーダンスが高インピーダンス化することがあった。

[0006] そこで本発明は、コアアイソレータを搭載する主基板を小型に構成するとともに、チップ部品同士を接続する接続配線を短くすることができる、アイソレータの提供を目的とする。

#### 課題を解決するための手段

[0007] 本発明のアイソレータは、コアアイソレータと、主基板と、回路形成部と、を備えている。コアアイソレータは、永久磁石、前記永久磁石から直流磁界が印加される軟磁性体コア、前記軟磁性体コアの表面で互いに絶縁状態で対向する第1の中心導体および第2の中心導体、を備えている。主基板は、入力側接続部と出力側接続部とグランド側接続部とを備え、前記コアアイソレータが搭載されている。前記第1の中心導体の一端と前記第2の中心導体の一端とが前記入力側接続部に接続される。前記第1の中心導体の他端が前記出力側接続部に接続される。前記第2の中心導体の他端が前記グランド側接続部に接続される。回路形成部は、前記入力側接続部と前記出力側接続部とを介して前記第1の中心導体と並列に接続されるキャパシタ、および、前記入力側接続部と前記出力側接続部との少なくとも一方に接続されるインピーダンス素子、を少なくとも含む導体パターンが構成されている。

[0008] これにより、複数のインピーダンス素子それぞれを個別部品として主基板に搭載する場合よりも、主基板に搭載される部品点数を削減でき、主基板を

小型に構成することができる。そして、上記のキャパシタとインピーダンス素子とを回路形成部に配置することで、これらの間の接続配線長を抑制でき、その接続配線に発生する寄生成分を低減できる。また、上記のキャパシタとインピーダンス素子との実装不良や実装ずれ、製造誤差を抑制でき、それぞれの素子値の精度を高められる。すると、キャパシタンスの精度を高められることと接続配線に発生する寄生成分（特に寄生インダクタ）を抑制することにより、コアアイソレータの出力ポートから入力ポートへの信号の伝搬が抑えられる周波数帯域（アイソレーション帯域）に大きな周波数シフトが生じて、アイソレーション帯域が所望の周波数帯域からずれてしまうような不良の発生を抑制できる。

[0009] 前記回路形成部は、前記導体パターンが表面に成膜されている半導体薄膜を備えることが好ましい。これにより、半導体薄膜に導体パターンを高密度に形成でき、回路形成部における接続配線長をさらに低減できる。また、導体パターンを高い形状精度にでき、アイソレーション特性のばらつきを低減できる。

[0010] 前記回路形成部は、前記半導体薄膜が形成されている支持基板と、前記半導体薄膜上に設けられ、前記導体パターンを前記入力側接続部と前記出力側接続部とに接続するバンプと、をさらに備えることが好ましい。これにより、支持基板で半導体薄膜を支持していても、回路形成部の導体パターンを主基板の接続部に接続するための接続配線長を抑制できる。

[0011] 前記支持基板は、絶縁体基板であることが好ましい。ガラスやGaAsなどの絶縁体基板は半導体薄膜の支持基板として一般に利用されるSiなどの半導体基板に比べて絶縁抵抗が大きいいため、回路形成部における信号の通過損失を低減できる。

[0012] 前記回路形成部は、前記入力側接続部に接続されるバンプと前記出力側接続部に接続されるバンプとが隣接して配置されており、前記キャパシタを構成する導体パターンは、前記バンプ間に配置されていることが好ましい。これにより、第1の中心導体とキャパシタとの間の接続配線を短縮でき、この

接続配線による寄生成分を大幅に低減させて、より良好なアイソレータ特性を実現できる。

### 発明の効果

[0013] 本発明によれば、主基板を小型化できる。また、回路形成板に設けるインピーダンス素子の間を接続するための接続配線長を抑制して、その接続配線に発生する寄生成分を低減できる。すると、寄生抵抗を抑制してアイソレータの通過損失を低減でき、寄生インダクタや寄生キャパシタを抑制して入力インピーダンスを低インピーダンス化できる。

[0014] また、寄生成分を抑制するとともに、回路形成板に設けるキャパシタのキャパシタンスの精度を高められるので、コアアイソレータのアイソレーション帯域に大きな周波数シフトが生じて、アイソレーション帯域が所望の周波数帯域からずれてしまうような不良の発生を抑制できる。

### 図面の簡単な説明

[0015] [図1]本発明の実施形態に係るアイソレータの等価回路図である。

[図2]本発明の実施形態に係るアイソレータの分解斜視図である。

[図3]本発明の実施形態に係るコアアイソレータの分解斜視図である。

[図4]本発明の実施形態に係る軟磁性体コアおよび中心導体を示す斜視図である。

[図5]本発明の実施形態に係る回路形成部の斜視図および平面図である。

[図6]アイソレータの実施例と比較例とを示す平面図である。

[図7]アイソレータの実施例と比較例とに係るアイソレーション特性を示す平面図である。

[図8]アイソレータの実施例と比較例とに係るインピーダンスチャートを示す平面図である。

### 発明を実施するための形態

[0016] 以下、本発明の実施形態に係るアイソレータ10について図を参照して説明する。

[0017] 図1は、第1の実施形態に係るアイソレータ10の等価回路図である。

- [0018] アイソレータ 10 は、携帯電話の送信用回路に組み込まれるものであり、送信側パワーアンプ PA に整合回路を介して接続される外部接続端子 IN と、デュプレクサなどを介してアンテナに接続される外部接続端子 OUT と、グラウンドに接続される外部接続端子 GND とを備えている。また、アイソレータ 10 は、コアアイソレータ 1 と、回路形成部 2 と、をさらに備えている。
- [0019] コアアイソレータ 1 は、詳細構造は後述するが、軟磁性体コア 16 の表面に、第 1 の中心導体 17 と第 2 の中心導体 18 とを互いに絶縁状態で交差させて配置し（図 4 参照）、その交差部分に永久磁石 11, 12 から直流磁界を印加させて（図 3 参照）、第 1 の中心導体 17 と第 2 の中心導体 18 とを磁氣的に結合させたものである。
- [0020] このコアアイソレータ 1 は、等価回路的には、第 1 の中心導体 17 が構成するインダクタ L1 と、第 2 の中心導体 18 が構成するインダクタ L2 と、を有している。インダクタ L1（第 1 の中心導体 17）の一端と、インダクタ L2（第 2 の中心導体 18）の一端とは、互いに接続されており、コアアイソレータ 1 の入力ポート P11 を構成している。インダクタ L1 の他端は、コアアイソレータ 1 の出力ポート P12 を構成している。インダクタ L2 の他端はグラウンドポート P13 を構成している。
- [0021] そして、コアアイソレータ 1 の入力ポート P11 は、アイソレータ 10 の外部接続端子 IN に接続される。コアアイソレータ 1 の出力ポート P12 は、後述するインピーダンス調整用のキャパシタ CS2 を介して、アイソレータ 10 の外部接続端子 OUT に接続される。コアアイソレータ 1 のグラウンドポート P13 は、アイソレータ 10 の外部接続端子 GND に接続される。
- [0022] 回路形成部 2 は、詳細構造は後述するが、入力ポート P21 と中継ポート P22 と出力ポート P23 とを備えている。入力ポート P21 は、アイソレータ 10 の外部接続端子 IN とコアアイソレータ 1 の入力ポート P11 とに接続される。中継ポート P22 は、コアアイソレータ 1 の出力ポート P12 に接続される。出力ポート P23 は、アイソレータ 10 の外部接続端子 O U

Tに接続される。また、回路形成部2は、キャパシタC1、C2、CS2と、抵抗Rと、インダクタL3と、をさらに備えている。キャパシタC1は、入力ポートP21と中継ポートP22との間に設けられ、コアアイソレータ1のインダクタL1と並列に接続される。キャパシタC2と抵抗RとインダクタL3とは、互いに直列に接続され、キャパシタC1と並列に入力ポートP21と中継ポートP22との間に設けられ、コアアイソレータ1のインダクタL1と並列に接続される。キャパシタCS2は、インピーダンス調整用のキャパシタであり、中継ポートP22と出力ポートP23との間に設けられる。

[0023] 図2は、第1の実施形態に係るアイソレータ10の分解斜視図である。なお、以降の図において、斜線を付した部分は導電体である。

[0024] アイソレータ10は、コアアイソレータ1と、回路形成部2と、主基板3と、接着シート（誘電体シート）4と、平板ヨーク5と、を備えている。

[0025] コアアイソレータ1と回路形成部2は主基板3に表面実装されている。平板ヨーク5は、電磁シールド機能を有するもので、コアアイソレータ1の上面に接着シート4を介して接合されている。平板ヨーク5の機能は、コアアイソレータ1から磁気の漏れを抑えること、高周波電磁界の漏れを抑えること、外部からの磁気の影響を抑えること、チップマウンタ等を用いてアイソレータ10を図示しない基板に搭載する際に、バキュームノズルでピックアップする場所を提供すること、などである。なお、平板ヨーク5は必ずしも接地されている必要はないが、はんだ付けや導電性接着剤などで接地してもよく、接地すると電磁シールドの効果が向上する。

[0026] 主基板3は、配線部3A、3B、3C、3Dを備えている。配線部3A、3B、3C、3Dは、それぞれ主基板3の上面に設けられている。配線部3Aは、外部接続端子INから、コアアイソレータ1の入力ポートP11が搭載される位置を通過し、回路形成部2の入力ポートP21が搭載される位置まで延びるように設けられる。配線部3Bは、コアアイソレータ1の出力ポートP12が搭載される位置から、回路形成部2の中継ポートP22が搭載



される位置まで延びるように設けられる。配線部 3 C は、外部接続端子 O U T から、回路形成部 2 の出力ポート P 2 3 が搭載される位置まで延びるように設けられる。配線部 3 D は、外部接続端子 G N D から、コアアイソレータ 1 のグランドポート P 1 3 が搭載される位置まで延びるように設けられる。配線部 3 A は、コアアイソレータ 1 の入力ポート P 1 1 が接続される入力側接続部である。配線部 3 B は、コアアイソレータ 1 の出力ポート P 1 2 が接続される出力側接続部である。配線部 3 D は、コアアイソレータ 1 のグランドポート P 1 3 が接続されるグランド側接続部である。

[0027] 図 3 は、コアアイソレータ 1 の分解斜視図である。コアアイソレータ 1 は、全体として直方体状であり、永久磁石 1 1、1 2 と中心導体形成部 1 3 と接着部 1 4、1 5 と、を備えている。

[0028] 中心導体形成部 1 3 は、直方体形状であり、表主面 1 3 A と、裏主面 1 3 B と、上面 1 3 C と下面 1 3 D と、左端面 1 3 E と、右端面 1 3 F と、を有している。表主面 1 3 A と上面 1 3 C と裏主面 1 3 B と下面 1 3 D とのそれぞれの境界は長辺となっており、表主面 1 3 A、上面 1 3 C、裏主面 1 3 B、および下面 1 3 D では、左端面 1 3 E および右端面 1 3 F との境界は短辺となっている。

[0029] 永久磁石 1 1 は、直方体形状であり、表裏の磁極面 1 1 A、1 1 B と、上面 1 1 C と、下面 1 1 D と、左端面 1 1 E と、右端面 1 1 F と、を有している。磁極面 1 1 A と上面 1 1 C と磁極面 1 1 B と下面 1 1 D とのそれぞれの境界は長辺となっており、磁極面 1 1 A、上面 1 1 C、磁極面 1 1 B、および下面 1 1 D では、左端面 1 1 E および右端面 1 1 F との境界は短辺となっている。

[0030] 永久磁石 1 2 は、直方体形状であり、表裏の磁極面 1 2 A、1 2 B と、上面 1 2 C と、下面 1 2 D と、左端面 1 2 E と、右端面 1 2 F と、を有している。磁極面 1 2 A と上面 1 2 C と磁極面 1 2 B と下面 1 2 D とのそれぞれの境界は長辺となっており、磁極面 1 2 A、上面 1 2 C、磁極面 1 2 B、および下面 1 2 D では、左端面 1 2 E および右端面 1 2 F との境界は短辺となっ

ている。

[0031] 永久磁石 1 1, 1 2 の磁極面 1 1 A, 1 2 A は、N 極または S 極の、互いに同じ磁極性を有している。永久磁石 1 1, 1 2 の磁極面 1 1 B, 1 2 B は、S 極または N 極の、互いに同じで磁極面 1 1 A, 1 2 A とは逆の磁極性を有している。したがって、永久磁石 1 1 と永久磁石 1 2 とは、中心導体形成部 1 3 の表主面 1 3 A と裏主面 1 3 B との間に、Y 軸に平行な静磁場を印加している。なお、永久磁石 1 1, 1 2 は、La, Co 置換型フェライト永久磁石と呼ばれる硬磁性体材料、または、ストロンチウム系、バリウム系、ネオジム系等の硬磁性体材料からなる。

[0032] 永久磁石 1 1 と中心導体形成部 1 3 とは、磁極面 1 1 B と表主面 1 3 A とを対向させて配置されている。永久磁石 1 2 と中心導体形成部 1 3 とは、磁極面 1 2 A と裏主面 1 3 B とを対向させて配置されている。そして、永久磁石 1 1 の磁極面 1 1 B は、中心導体形成部 1 3 の表主面 1 3 A に、接着部 1 4 を介して接合されている。永久磁石 1 2 の磁極面 1 2 A は、中心導体形成部 1 3 の裏主面 1 3 B に、接着部 1 5 を介して接合されている。接着部 1 4, 1 5 は、例えば一液性の熱硬化型エポキシ系接着剤からなる。

[0033] 図 3 (A) は、中心導体形成部 1 3 の斜視図である。中心導体形成部 1 3 は、軟磁性体コア 1 6 を備えている。図 3 (B) は、軟磁性体コア 1 6 の斜視図である。

[0034] 中心導体形成部 1 3 は、軟磁性体コア 1 6 と、中心導体 1 7, 1 8 と、接続電極 1 9 A, 1 9 B, 1 9 C と、ダミー電極 2 0 と、を備えている。

[0035] 軟磁性体コア 1 6 は、平板状であり、YIG 系フェライトや CVG 系フェライトなどの軟磁性体コア材料からなる。軟磁性体コア 1 6 は、中心導体形成部 1 3 の上面 1 3 C および下面 1 3 D となる面に、一定間隔で複数の凹部 1 6 A が設けられている。各凹部 1 6 A には、電極用導体が形成されており、これらの電極用導体が、ダミー電極 2 0、中心導体 1 7, 1 8 の一部、および接続電極 1 9 A, 1 9 B, 1 9 C を構成している。また、軟磁性体コア 1 6 は、中心導体形成部 1 3 の表主面 1 3 A および裏主面 1 3 B となる面に

、中心導体 17, 18の一部を構成する導体膜が、パターン形成されている。

[0036] 接続電極 19Aは、前述の主基板 3の配線部 3Aに接続される入力ポート P11である。接続電極 19Bは、前述の主基板 3の配線部 3Bに接続される出力ポート P12である。接続電極 19Cは、前述の主基板 3の配線部 3Cに接続されるグランドポート P13である。接続電極 19A, 19B, 19Cは、中心導体形成部 13の下面 13Dに形成されている。ダミー電極 20は、中心導体に接続されていない電極であり、中心導体形成部 13の下面 13Dおよび上面 13Cに形成されている。

[0037] 中心導体 17は、中心導体形成部 13の表主面 13Aと裏主面 13Bと上面 13Cと下面 13Dとに形成され、軟磁性体コア 16に 1ターン巻回されている。具体的には、中心導体 17は、表主面 13Aの右下から上方に延伸して 2本に分岐し、長辺に対して比較的小さな角度で傾斜しながら左上方に延伸し、1本に合流してから表主面 13Aの左上まで上方に延伸し、上面 13Cに回り込む。そして、上面 13Cを後方に延伸して裏主面 13Bに回り込む。そして、裏主面 13Bにおいて表主面 13Aと透視状態でほぼ重なるように 2本に分岐して形成され、表主面 13Aから見て裏主面 13Bの左上から右下まで延伸する。中心導体 17の表主面 13A側の一端は、下面 13Dに形成されている接続電極 19Aに接続されている。中心導体 17の裏主面 13B側の一端は、下面 13Dに形成されている接続電極 19Bに接続されている。

[0038] 中心導体 18は、中心導体形成部 13の表主面 13Aと裏主面 13Bと上面 13Cと下面 13Dとに形成され、図示していない絶縁膜を介して中心導体 17から電氣的に絶縁された状態で、軟磁性体コア 16に 4ターン巻回されている。なお、中心導体 17, 18の間を絶縁する絶縁膜は、ガラスやアルミナなどの誘電体厚膜、又は、ポリイミドなどの樹脂膜などとして印刷、転写、フォトリソグラフなどの工法で形成するとよい。

[0039] 中心導体 18は、具体的には、表主面 13Aの右下から長辺に対して比較

的大きな角度で傾斜し中心導体17に交差しながら左上方に延伸してから上面13Cに回り込む。そして、上面13Cを後方に延伸して裏主面13Bに回り込む。そして、裏主面13Bにおいて中心導体17に交差しながら下方に延伸してから下面13Dに回り込む。そして、下面13Dを前方に延伸して表主面13Aに回り込む。このようにして中心導体18は、1ターン目が軟磁性体コア16に巻回され、以下同様に2ターン目、3ターン目、4ターン目が軟磁性体コア16に巻回される。中心導体18の4ターン目の端は、下面13Dに形成されている接続電極19Cに接続されている。中心導体18の1ターン目の端は、下面13Dに形成されている接続電極19Aに接続されている。なお、接続電極19Aは、中心導体17の一端と中心導体18の一端とが接続され、中心導体17と中心導体18とを外部接続端子INに接続させる共用の入力ポートP11とされている。

[0040] この中心導体形成部13において、中心導体17と中心導体18とは、軟磁性体コア16の表面で互いに絶縁状態で交差しており、その交差部分に前述の永久磁石11, 12から垂直に磁束が印加されるので、互いに磁界により結合することになる。

[0041] 図5(A)は、回路形成部2の側面図である。図5(B)は、回路形成部2の下面側からみた平面図である。

[0042] 回路形成部2は、支持基板21と半導体薄膜22と端子部23A, 23B, 23C, 23D, 23E, 23Fとを備えている。

[0043] 支持基板21は、平面視して長形状の平板であり、ここでは、回路形成部2における信号の通過損失を低減するために、ガラス基板やGaAs基板等の絶縁抵抗の大きい絶縁体基板で構成している。半導体薄膜22は、Si等の半導体からなる薄膜であり、支持基板21の下面に接合されている。端子部23A, 23B, 23C, 23D, 23E, 23Fは、半導体薄膜22の下面にバンプとして構成されている。半導体薄膜22の下面に端子部23A~23Fを設けて回路形成部2を主基板3に接続することによって、支持基板21側に端子部23A~23Fを設ける場合に比べて、回路形成部2を

主基板 3 に接続するための接続配線長を抑制できる。また、端子部 2 3 A ~ 2 3 F をバンプで構成することで、端子部 2 3 A ~ 2 3 F を極めて低背に構成することができ、このことによっても、回路形成部 2 を主基板 3 に接続するための接続配線長を抑制できる。

[0044] なお、端子部 2 3 A, 2 3 B, 2 3 C は、半導体薄膜 2 2 の下面の対向する長辺の一方に沿って順番に設けられている。端子部 2 3 D, 2 3 E, 2 3 F は、半導体薄膜 2 2 の下面の対向する長辺の他方に沿って順番に設けられている。端子部 2 3 B は入力ポート P 2 1 に相当し、端子部 2 3 A は中継ポート P 2 2 に相当し、端子部 2 3 E は出力ポート P 2 3 に相当している。

[0045] 半導体薄膜 2 2 は、下面に設けられた第 1 のキャパシタ部 2 4 A と第 2 のキャパシタ部 2 4 B と抵抗部 2 4 C とインダクタ部 2 4 D と第 3 のキャパシタ部 2 4 E とを備えている。第 1 のキャパシタ部 2 4 A と第 2 のキャパシタ部 2 4 B と抵抗部 2 4 C とインダクタ部 2 4 D と第 3 のキャパシタ部 2 4 E とは、半導体薄膜プロセスにより高精度な微細加工を施した導体パターンを含んで構成されており、それぞれインピーダンス素子を構成している。このため、半導体薄膜 2 2 に各導体パターンすなわち各インピーダンス素子を高密度に形成でき、回路形成部 2 において各インピーダンス素子の間を接続する接続配線長を極めて短くできる。また、各導体パターンを高い形状精度にでき、各インピーダンス素子の素子値を高い精度で定めることができる。なお、各インピーダンス素子は、半導体薄膜に不純物をドーピングすることにより導電性を持たせた導体パターンを含んで構成されてもよい。

[0046] 第 1 のキャパシタ部 2 4 A は、図 1 に示したキャパシタ C 1 を構成するものである。第 1 のキャパシタ部 2 4 A は、端子部 2 3 B と端子部 2 3 A との間に挟まれる領域に、膜厚方向に絶縁膜を隔てて対向する 2 つの平面導体を設けて構成されており、入力ポート P 2 1 と中継ポート P 2 2 との間に接続されている。このように、主基板 3 の配線部 3 A, 3 B に接続される入力ポート P 2 1 と中継ポート P 2 2 との間に、キャパシタ C 1 を配置して、配線部 3 A, 3 B を介してキャパシタ C 1 を中心導体 1 7 に接続することにより

、これらの間の接続配線長を最大限に短縮することができる。すると、キャパシタC1と中心導体17との間の接続配線に生じる寄生成分を極小化することができ、寄生インダクタによるアイソレーション帯域の狭帯域化を効果的に抑制することができる。

[0047] 第2のキャパシタ部24Bは、図1に示したキャパシタC2を構成するものである。第2のキャパシタ部24Bは、端子部23Bと端子部23Cとの間に挟まれ、端子部23Bに近接する領域に、膜厚方向に絶縁膜を隔てて対向する2つの平面導体を設けて構成されており、入力ポートP21の端子部23Bに接続される平面導体に一端が接続されている。

[0048] 抵抗部24Cは、図1に示した抵抗Rを構成するものである。抵抗部24Cは、端子部23Bと端子部23Cとの間に挟まれ、端子部23Cに近接する領域に、抵抗薄膜を設けて構成されており、第2のキャパシタ部24Bの端子部23Bに接続されていない平面導体に一端が接続されている。

[0049] インダクタ部24Dは、図1に示したインダクタL3を構成するものである。インダクタ部24Dは、端子部23Bと端子部23Cと端子部23Eと端子部23Fとの間に挟まれる大面積の領域に、複数回ループする線状導体を設けて構成されており、一端が抵抗部24Cに接続されており、他端が、第1のキャパシタ部24Aの端子部23A（P22）側に接続される平面導体に接続されている。

[0050] 第3のキャパシタ部24Eは、図1に示したキャパシタCS2を構成するものである。第3のキャパシタ部24Eは、端子部23Aと端子部23Dとの間に挟まれる領域に、膜厚方向に絶縁膜を隔てて対向する2つの平面導体を設けて構成されており、中継ポートP22と出力ポートP23との間に接続されている。

[0051] このように、回路形成部2に複数のインピーダンス素子（キャパシタC1、C2、CS2、抵抗R、インダクタL3）を集積して設けると、各インピーダンス素子の間で実装バラツキや実装不良が発生せず、各インピーダンス素子の製造誤差を抑制でき、それぞれの素子値の精度を高められる。

[0052] ここで、本発明のアイソレータの実施例と、従来のアイソレータの比較例とについて説明する。図6(A)は、本発明の実施例に係るアイソレータ10Aの平面図であり、図6(B)は、従来の比較例に係るアイソレータ30の平面図である。

[0053] 実施例に係るアイソレータ10Aおよび比較例に係るアイソレータ30は、図1に示した等価回路と同じ等価回路と、図2に示した構成と殆ど同じ構成の主基板3およびコアアイソレータ1を有するものである。ただし、比較例に係るアイソレータ30は、回路形成部2を備えておらず、代わりに、主基板3に個別に搭載される複数のチップ部品を備えている。各チップ部品は、図1に示す回路素子、即ち、キャパシタC1、抵抗R、インダクタL3、キャパシタC2、およびキャパシタCS2が個別に構成されたものである。なお、キャパシタC2は、個別のチップ部品として構成されるキャパシタC2AとキャパシタC2Bとの合成容量として構成される。

[0054] 実施例に係るアイソレータ10Aと、比較例に係るアイソレータ30とを比較すると、比較例に係るアイソレータ30の主基板3においては、実施例に係るアイソレータ10Aの主基板3に比べて、複数のチップ部品の間を接続するための多数の配線パターンが必要である。したがって、比較例に係るアイソレータ30においては、配線パターンに生じる寄生成分によって、アイソレーション特性の得られる帯域幅が狭帯域化したり、通過損失が増大したり、入力インピーダンスが高インピーダンス化したりすることがある。

[0055] 一方、実施例に係るアイソレータ10Aにおいては、回路形成部2に複数のインピーダンス素子を配置しているので、主基板3に搭載する部品数（ここでは部品数2）を大幅に抑制することができ、各部品1, 2を搭載するために主基板3に必要な面積が抑制される。このため主基板3を小面積で小型に構成することができる。そして、主基板3の上面に形成する配線部3A, 3B, 3C, 3Dの接続配線長を抑制でき、接続配線に発生する寄生成分を低減できる。これにより、寄生抵抗を抑制してアイソレータの通過損失を低減したり、寄生インダクタや寄生キャパシタを抑制して入力インピーダンス

を低インピーダンス化したりできる。

[0056] 図7(A)は、実施例に係るアイソレータ10Aのアイソレーション特性を示すグラフである。図7(B)は、比較例に係るアイソレータ30のアイソレーション特性を示すグラフである。ここでは、アイソレータ10Aおよびアイソレータ30を、携帯電話での通信に利用される特定の通信バンド(例えば824MHz-915MHz)で利用する場合を例にしている。

[0057] 実施例に係るアイソレータ10Aは、アイソレーション帯域に含まれる2つのピークを、周波数824MHzと周波数915MHzとに合わせるように各インピーダンス素子を調整した状態を設計基準としている。この設計基準の状態では、図7(A)中に実線で示すように、周波数824MHzにおけるアイソレーションは-13.8dBであり、周波数915MHzにおけるアイソレーションは-12.2dBであり、824MHz-915MHzの周波数帯域の全域で-10.0dBよりも良好なアイソレーションが得られた。

[0058] そこで、キャパシタC1のキャパシタンスを設計基準よりも10%増加するように調整すると、図7(A)中に破線で示すように、実施例に係るアイソレータ10Aは、アイソレーション帯域が低周波数側に数十MHz程度シフトした。これにより、824MHz-915MHzの周波数帯域の上限周波数915MHzにおけるアイソレーションは、調整前の-12.2dBから-9.3dBまで比較的小幅に劣化した。また、キャパシタC1のキャパシタンスを設計基準よりも今度は10%低下するように調整すると、図7(A)中に一点鎖線で示すように、実施例に係るアイソレータ10Aは、アイソレーション帯域が高周波数側に数十MHz程度シフトした。これにより、824MHz-915MHzの周波数帯域の下限周波数824MHzにおけるアイソレーションは、調整前の-13.8dBから-10.1dBまで比較的小幅に劣化した。

[0059] すなわち、実施例に係るアイソレータ10Aでは、キャパシタC1に製造誤差が生じてキャパシタンスが約10%変動しても、同じ仕様で製造される



複数のアイソレータのそれぞれで、通信バンドの全域で $-10.0$  dB程度の比較的良好なアイソレーションを実現できる。したがって、アイソレーション帯域に大きな周波数シフトが生じてアイソレーション帯域が所望の周波数帯域からずれてしまうような不良の発生を抑制できる。

[0060] なお、実施例に係るアイソレータ10Aでは、キャパシタC1は、他のインピーダンス素子とともに回路形成部2に集積され、回路形成部2では、半導体薄膜22への半導体薄膜プロセスにより形成されるので、キャパシタンスの製造誤差は10%よりは抑制される。したがって、実施例に係るアイソレータ10Aと同じ仕様の複数のアイソレータそれぞれのアイソレーション帯域は、設計基準でのアイソレーション帯域から大きくは変わらない。

[0061] 一方、比較例に係るアイソレータ30は、 $824$  MHz $-915$  MHzの周波数帯域の下限周波数 $824$  MHzと上限周波数 $915$  MHzでのアイソレーションを、先に説明したアイソレータ10Aの設計基準でのアイソレーションと合わせるように各インピーダンス素子を調整した状態を設計基準としている。この設計基準では、図7(B)中に実線で示すように、周波数 $824$  MHzにおけるアイソレーションは $-13.8$  dBであり、周波数 $915$  MHzにおけるアイソレーションは $-12.7$  dBであり、 $824$  MHz $-915$  MHzの周波数帯域の全域で $-10.0$  dBよりも良好なアイソレーションが得られた。

[0062] そこで、キャパシタC1のキャパシタンスを設計基準よりも10%増加するように調整すると、図7(B)中に破線で示すように、比較例に係るアイソレータ30は、アイソレーション帯域の上限周波数が低周波数側に百MHz程度シフトした。これにより、 $824$  MHz $-915$  MHzの周波数帯域の上限周波数 $915$  MHzにおけるアイソレーションは、調整前の $-12.7$  dBから $-6.9$  dBまで大幅に劣化した。また、キャパシタC1のキャパシタンスを設計基準よりも今度は10%低下するように調整すると、図7(B)中に一点鎖線で示すように、比較例に係るアイソレータ30は、アイソレーション帯域の下限周波数側が高周波数側に数十MHz程度シフトし

た。これにより、 $824\text{ MHz} - 915\text{ MHz}$ の周波数帯域の下限周波数 $824\text{ MHz}$ におけるアイソレーションは、調整前の $-13.8\text{ dB}$ から $-7.2\text{ dB}$ まで大幅に劣化した。

[0063] このように、比較例に係るアイソレータ30では、キャパシタC1のキャパシタンスに約10%の製造誤差が生じると、同じ仕様で製造される複数のアイソレータ30で、 $-10.0\text{ dB}$ 程度の比較的良好なアイソレーションを共通して実現できる周波数帯域が極めて狭いことがわかる。

[0064] 図8(A)は、実施例に係るアイソレータ10Aの入力インピーダンスを示すインピーダンスチャートである。図8(B)は、比較例に係るアイソレータ30の入力インピーダンスを示すインピーダンスチャートである。実施例に係るアイソレータ10Aと、比較例に係るアイソレータ30との入力インピーダンスを比較すると、 $824\text{ MHz} - 915\text{ MHz}$ の周波数帯域の上限周波数 $915\text{ MHz}$ と下限周波数 $824\text{ MHz}$ のいずれの周波数でも、実施例に係るアイソレータ10Aにおける入力インピーダンスの実部は、比較例に係るアイソレータ30における入力インピーダンスの実部に比べて低下している。

[0065] このことから、実施例に係るアイソレータ10Aのように、各インピーダンス素子を回路形成部2に形成して、各インピーダンス素子間の接続配線を短縮することにより、寄生成分が抑制されてアイソレータ10Aの入力インピーダンスが低下することがわかる。アイソレータ10Aの入力インピーダンスが低下することにより、外部接続端子INに接続される整合回路の入力インピーダンスをより低く設定することが可能になる。これにより、外部接続端子INに接続される整合回路と送信側パワーアンプPAとの間で生じる整合損が低減されることになる。

### 符号の説明

[0066] L1, L2, L3…インダクタ

C1, C2, CS2, C2A, C2B…キャパシタ

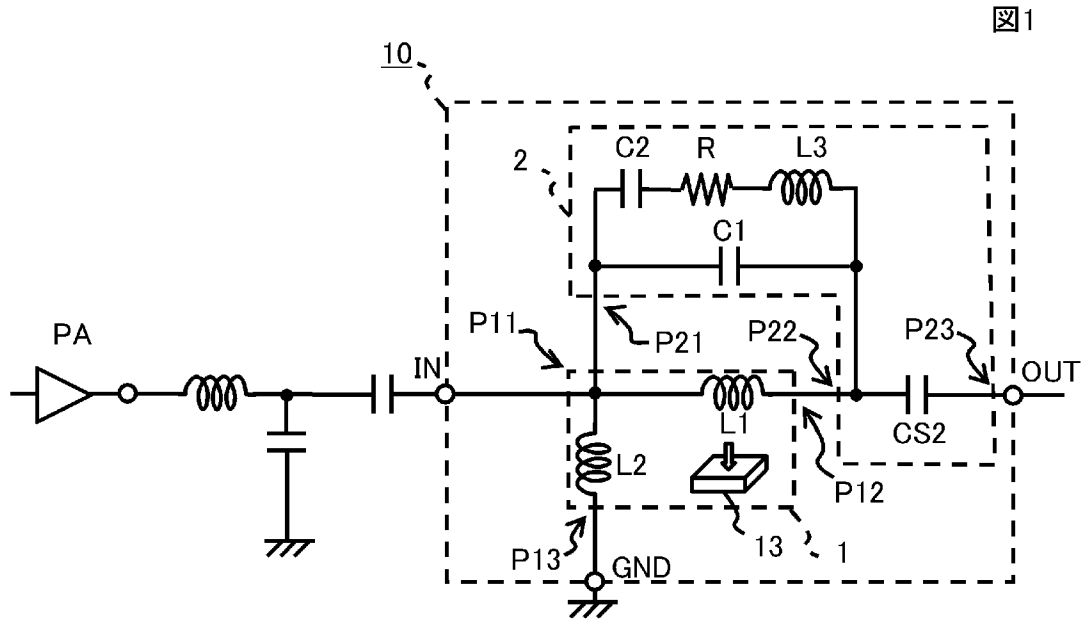
R…抵抗

I N, O U T, G N D…外部接続端子  
P 1 1, P 2 1…入力ポート  
P 1 2, P 2 3…出力ポート  
P 1 3…グラウンドポート  
P 2 2…中継ポート  
1…コアアイソレータ  
2…回路形成部  
3…主基板  
3 A, 3 B, 3 C, 3 D…配線部  
4…接着シート  
5…平板ヨーク  
1 0, 1 0 A, 3 0…アイソレータ  
1 1, 1 2…永久磁石  
1 3…中心導体形成部  
1 4, 1 5…接着部  
1 6…軟磁性体コア  
1 7…第1の中心導体  
1 8…第2の中心導体  
1 8…第2の中心導体  
1 9 A, 1 9 B, 1 9 C…接続電極  
2 0…ダミー電極  
2 1…支持基板  
2 2…半導体薄膜  
2 3 A, 2 3 B, 2 3 C, 2 3 D, 2 3 E, 2 3 F…端子部  
2 4 A, 2 4 B, 2 4 E…キャパシタ部  
2 4 C…抵抗部  
2 4 D…インダクタ部

## 請求の範囲

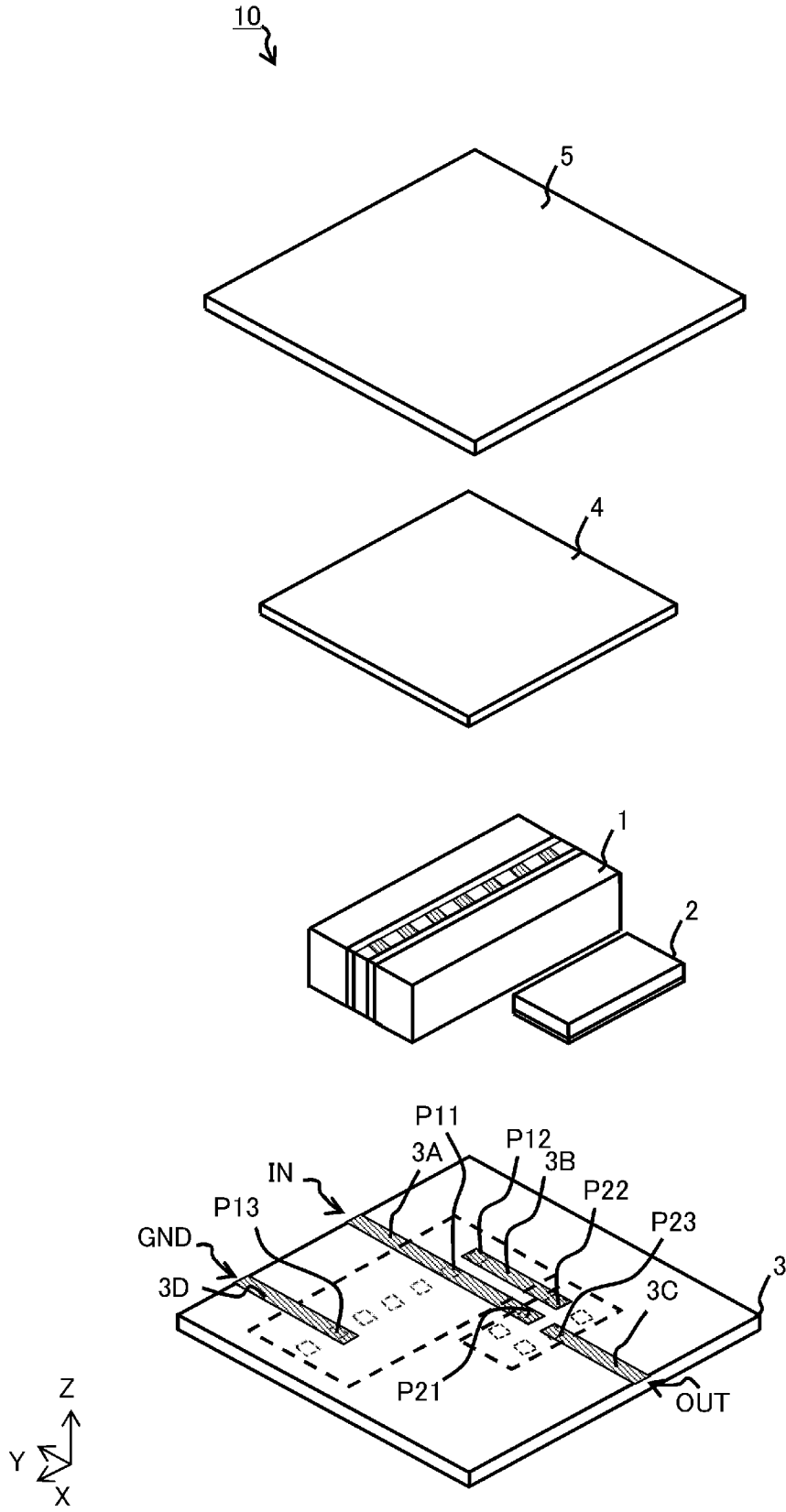
- [請求項1] 永久磁石、前記永久磁石から直流磁界が印加される軟磁性体コア、前記軟磁性体コアの表面で互いに絶縁状態で対向する第1の中心導体および第2の中心導体、を備えるコアアイソレータと、
- 入力側配線部と出力側配線部とグランド側配線部とを備え、前記コアアイソレータが搭載され、前記第1の中心導体の一端と前記第2の中心導体の一端とが前記入力側配線部に接続され、前記第1の中心導体の他端が前記出力側配線部に接続され、前記第2の中心導体の他端が前記グランド側配線部に接続されている主基板と、
- 前記入力側配線部と前記出力側配線部とを介して前記第1の中心導体と並列に接続されるキャパシタ、および、前記入力側配線部と前記出力側配線部との少なくとも一方に接続されるインピーダンス素子、を含む導体パターンが構成されている回路形成部と、
- を備えるアイソレータ。
- [請求項2] 前記回路形成部は、前記導体パターンが表面に成膜されている半導体薄膜を備える、
- 請求項1に記載のアイソレータ。
- [請求項3] 前記回路形成部は、前記半導体薄膜が形成されている支持基板と、前記半導体薄膜上に設けられ、前記導体パターンを前記入力側配線部と前記出力側配線部とに接続するバンプと、をさらに備える、
- 請求項2に記載のアイソレータ。
- [請求項4] 前記支持基板は、絶縁体基板である、
- 請求項3に記載のアイソレータ。
- [請求項5] 前記回路形成部は、前記入力側配線部に接続されるバンプと前記出力側配線部に接続されるバンプとが隣接して配置されており、前記キャパシタを構成する導体パターンは、前記バンプ間に配置されている、
- 請求項3または4に記載のアイソレータ。

[図1]

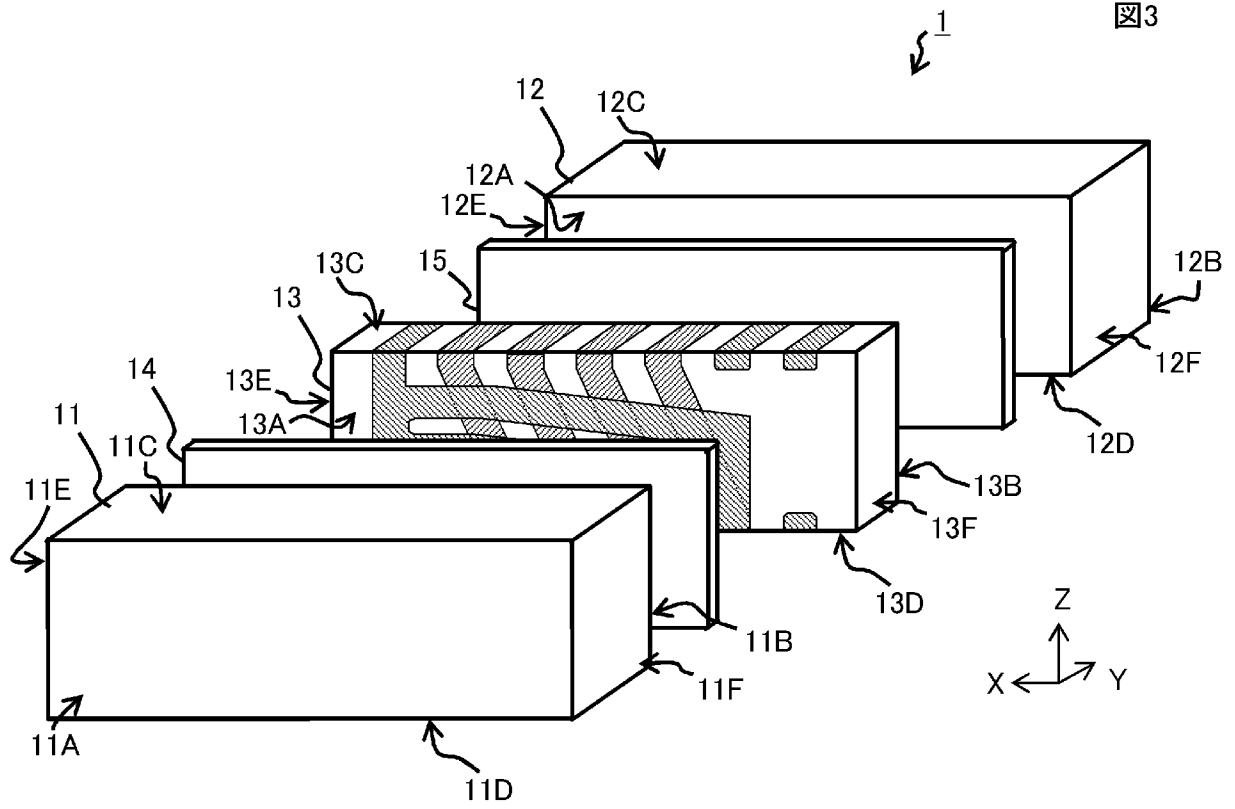


[図2]

図2



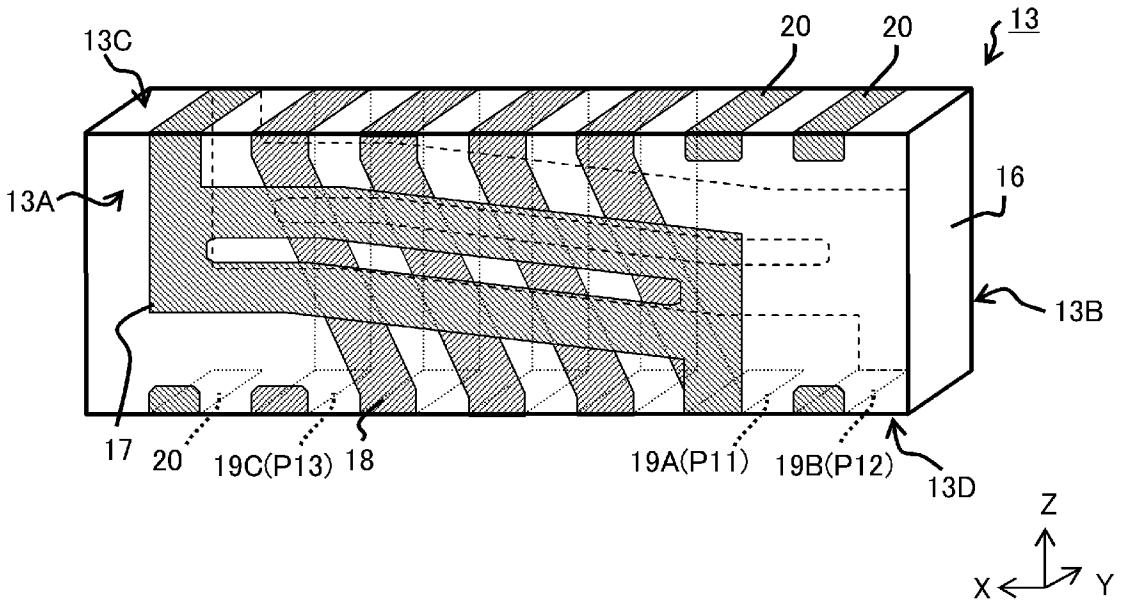
[図3]



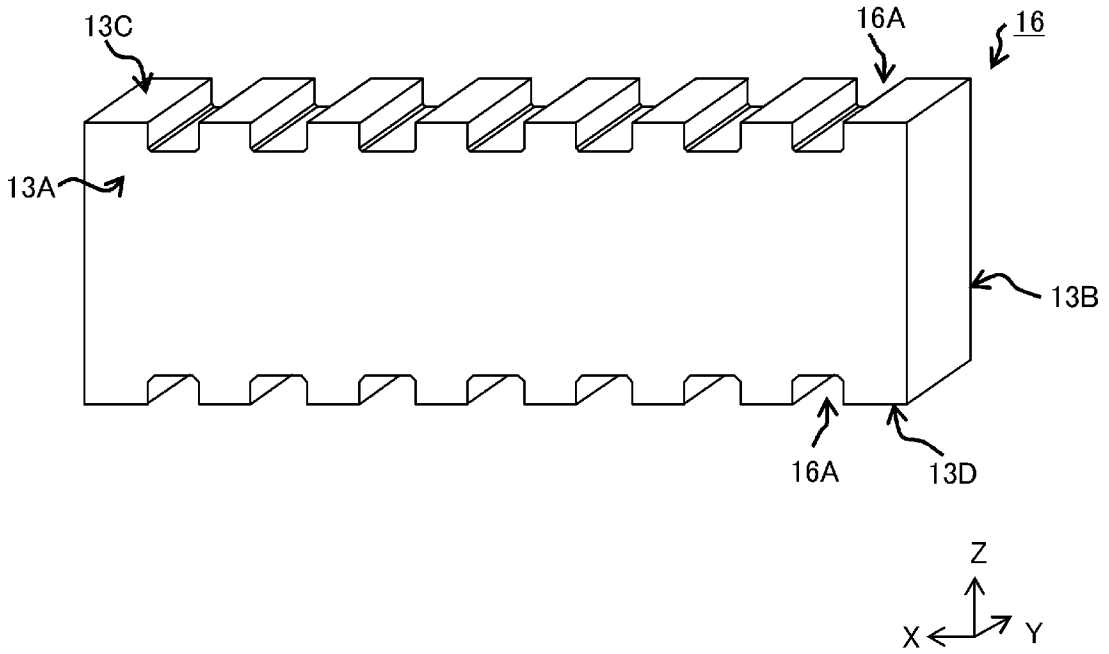
[図4]

図4

(A)



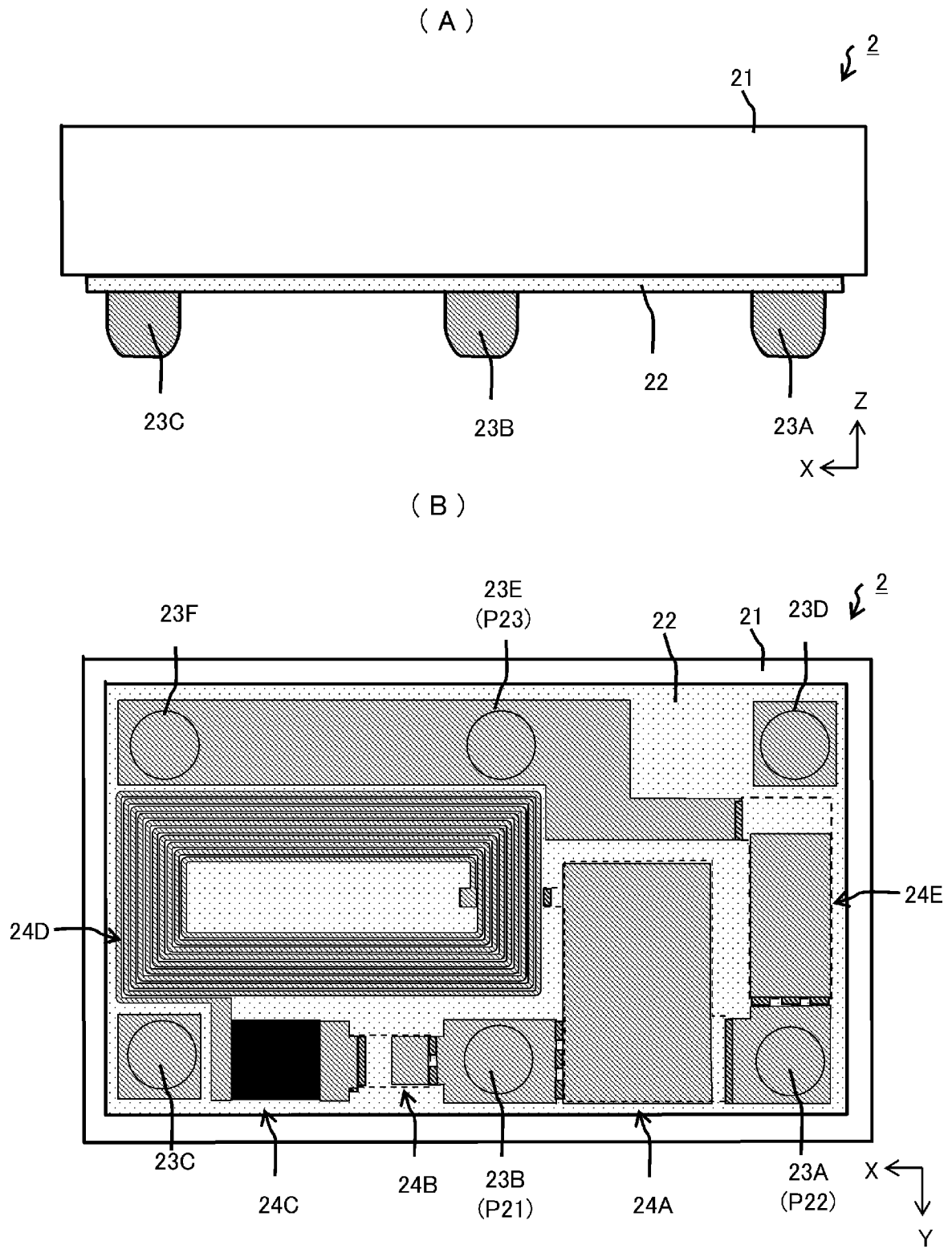
(B)





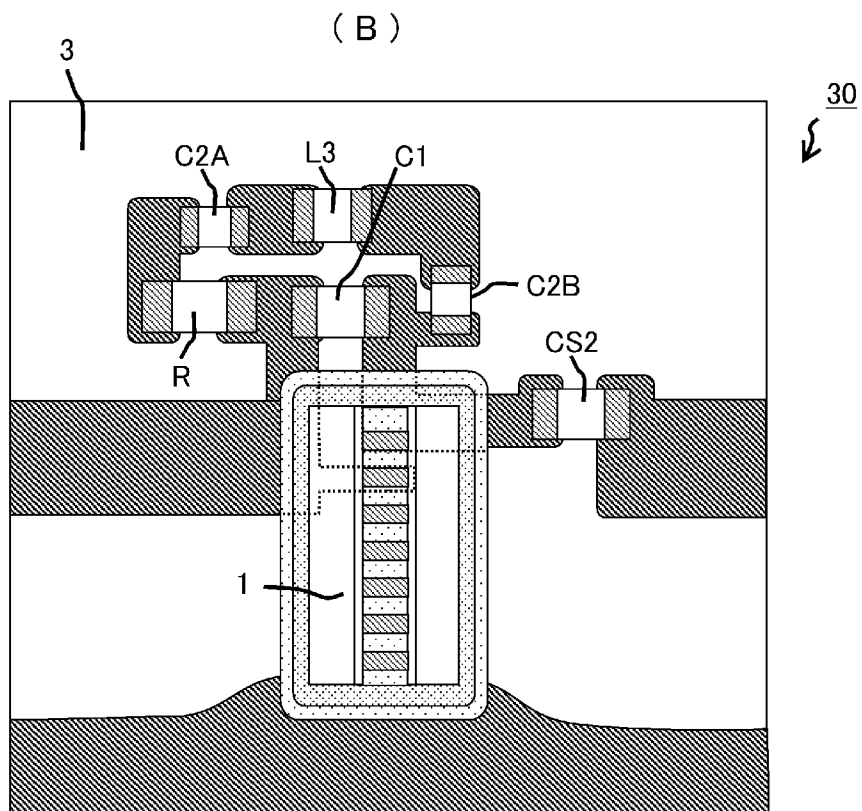
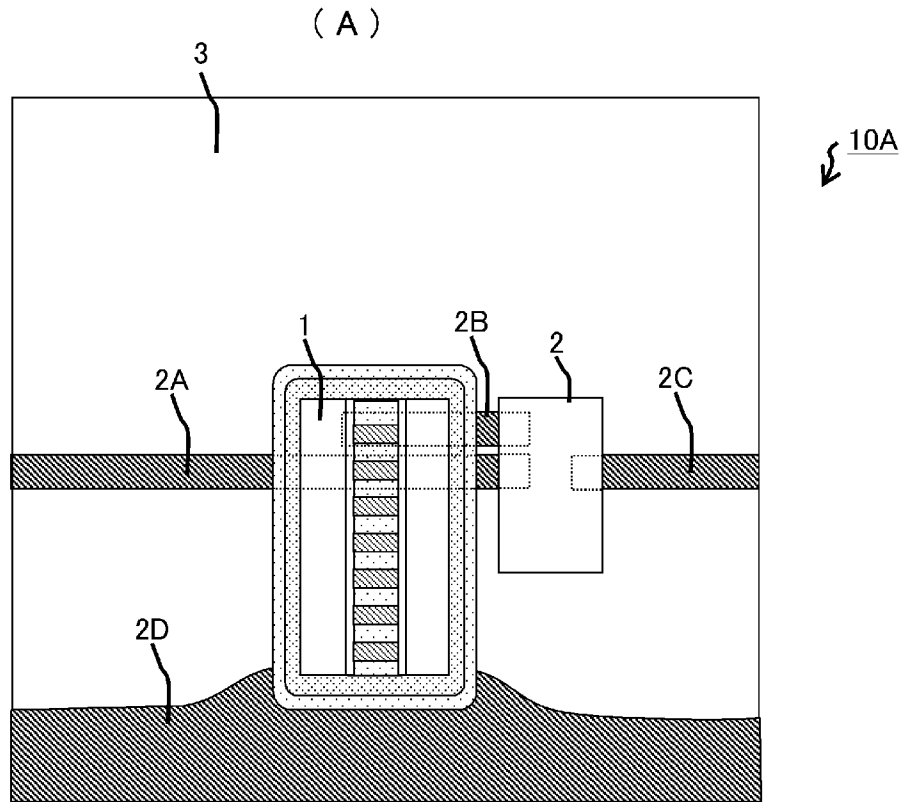
[図5]

図5



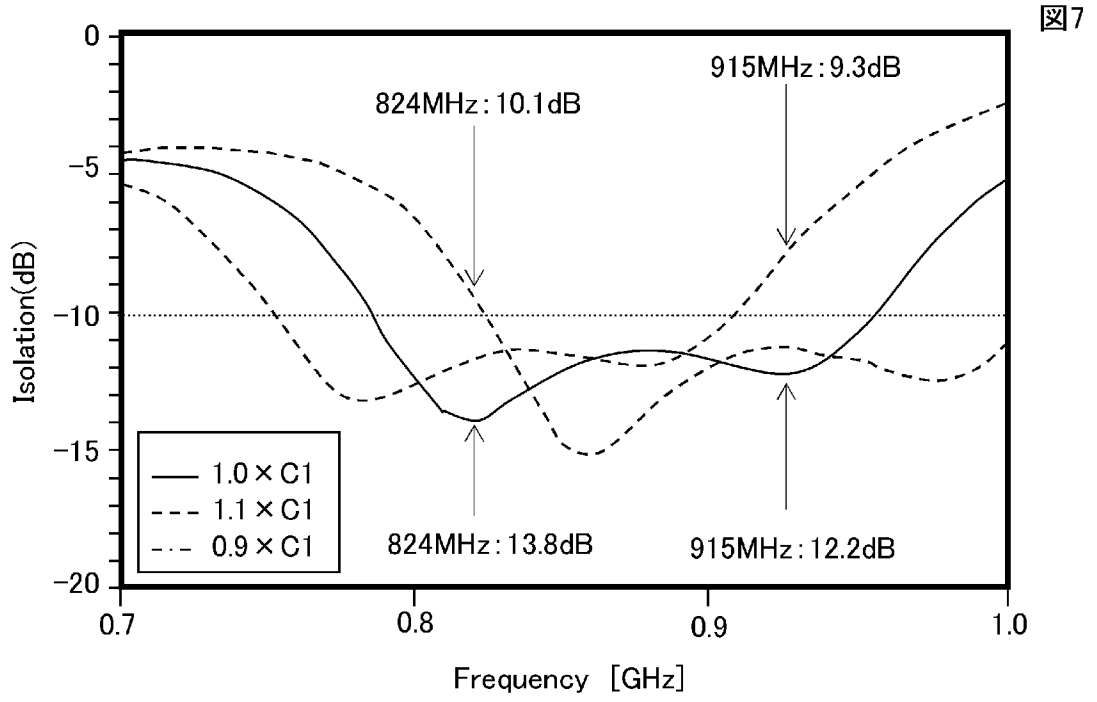
[図6]

図6

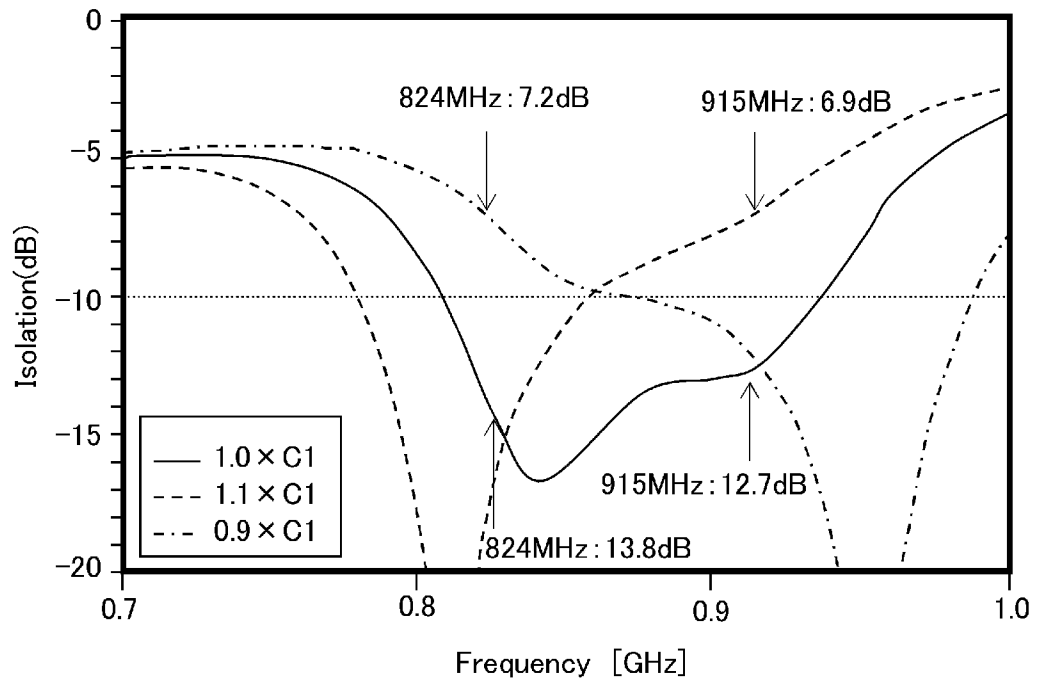


[図7]

(A)

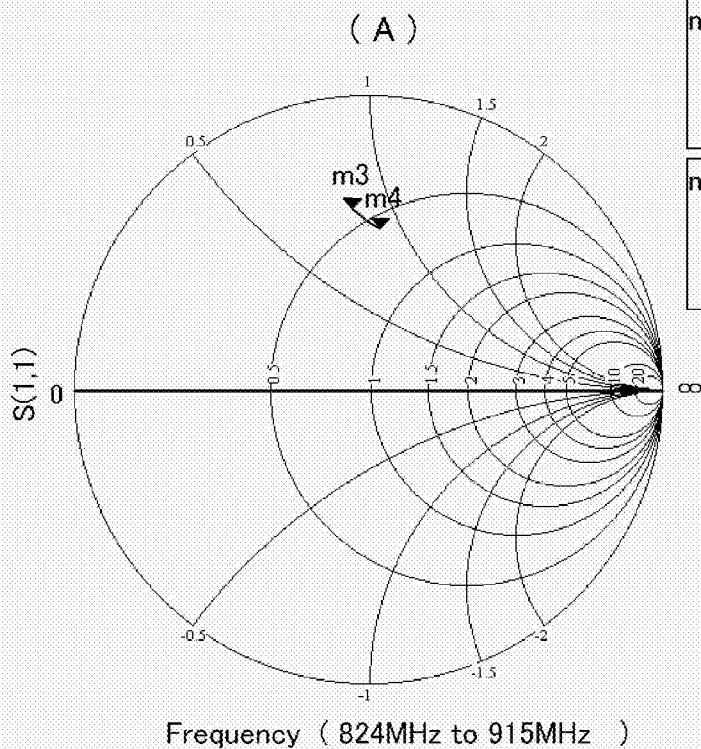


(B)



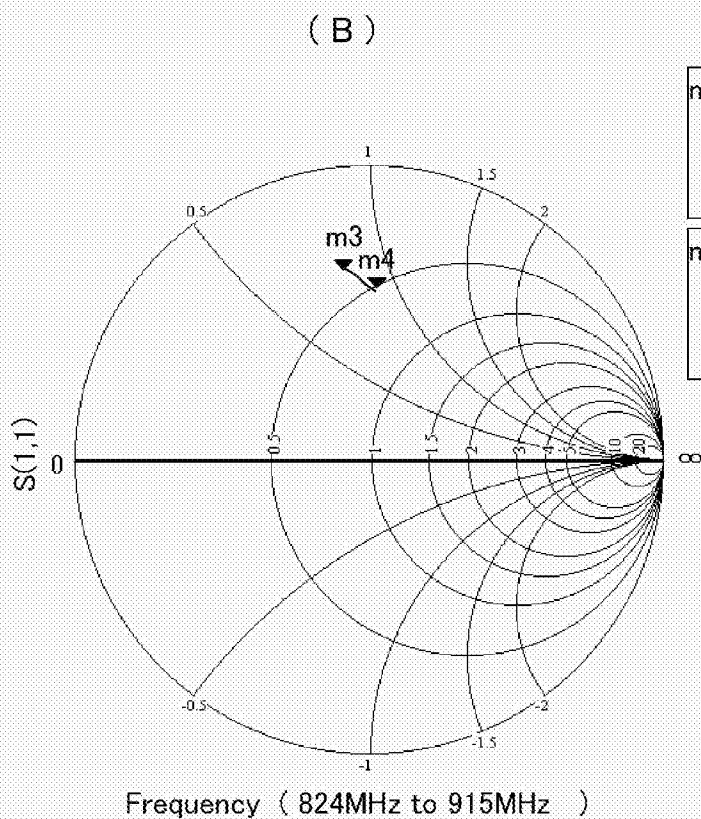
[図8]

図8



m3
824MHz
IMPEDANCE=
20.0+j42.2

m4
915MHz
IMPEDANCE=
28.8+j46.3



m3
824MHz
IMPEDANCE=
19.0+j39.5

m4
915MHz
IMPEDANCE=
27.6+j44.0

**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2014/070003

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01P1/36(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01P1/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/172882 A1 (Murata Mfg. Co., Ltd.), 20 December 2012 (20.12.2012), entire text; all drawings & US 2014/0080431 A1 & CN 103608968 A	1-5
Y	JP 2003-218215 A (Matsushita Electric Industrial Co., Ltd.), 31 July 2003 (31.07.2003), paragraphs [0005] to [0006]; fig. 7 (Family: none)	1-5
Y	JP 8-032018 A (Matsushita Electric Industrial Co., Ltd.), 02 February 1996 (02.02.1996), paragraphs [0075], [0087], [0098], [0103], [0152]; fig. 2, 5, 7 & US 5752182 A & EP 683519 A2	3-5

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 October, 2014 (08.10.14)	Date of mailing of the international search report 21 October, 2014 (21.10.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01P1/36(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01P1/36		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/172882 A1（株式会社村田製作所）2012.12.20, 全文, 全図 & US 2014/0080431 A1 & CN 103608968 A	1-5
Y	JP 2003-218215 A（松下電器産業株式会社）2003.07.31, 段落 0005-0006, 図7（ファミリーなし）	1-5
Y	JP 8-032018 A（松下電器産業株式会社）1996.02.02, 段落 0075, 0087, 0098, 0103, 0152, 図2, 5, 7 & US 5752182 A & EP 683519 A2	3-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <span style="margin-left: 200px;"><input type="checkbox"/> パテントファミリーに関する別紙を参照。</span>		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 08.10.2014	国際調査報告の発送日 21.10.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 佐藤 当秀 電話番号 03-3581-1101 内線 3556	5K 5290