

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7675572号  
(P7675572)

(45)発行日 令和7年5月13日(2025.5.13)

(24)登録日 令和7年5月1日(2025.5.1)

(51)国際特許分類		F I		
H 1 0 F	39/18 (2025.01)	H 1 0 F	39/18	A
G 0 1 J	1/42 (2006.01)	G 0 1 J	1/42	H
G 0 1 J	1/02 (2006.01)	G 0 1 J	1/02	Q
H 1 0 F	30/225 (2025.01)	H 1 0 F	30/225	

請求項の数 22 (全28頁)

(21)出願番号	特願2021-103881(P2021-103881)	(73)特許権者	000236436 浜松ホトニクス株式会社 静岡県浜松市中央区市野町1126番地の1
(22)出願日	令和3年6月23日(2021.6.23)	(74)代理人	100088155 弁理士 長谷川 芳樹
(65)公開番号	特開2023-2986(P2023-2986A)	(74)代理人	100113435 弁理士 黒木 義樹
(43)公開日	令和5年1月11日(2023.1.11)	(74)代理人	100140442 弁理士 柴山 健一
審査請求日	令和6年5月24日(2024.5.24)	(74)代理人	100206966 弁理士 崎山 翔一
		(72)発明者	園部 弘典 静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内 最終頁に続く

(54)【発明の名称】 アバランシェフォトダイオードアレイ

(57)【特許請求の範囲】

【請求項1】

互いに対向する第一面と第二面とを有すると共に、前記第一面側に設けられた第一導電型の半導体領域を含んでいる半導体基板を備えており、

前記半導体基板は、前記第一面に沿って配列された複数のアバランシェフォトダイオードを有しており、

前記複数のアバランシェフォトダイオードは、

前記半導体領域よりも前記第二面側に設けられた第一導電型の第一半導体層と、

前記第一面に沿って配列されていると共に、前記第一面と直交する方向から見た場合に各々が前記半導体領域に囲われている第二導電型の複数の第二半導体層と、

前記半導体領域内に設けられていると共に、前記第一面と直交する方向において前記複数の第二半導体層と前記第一半導体層との間に設けられている増倍層と、を含んでおり、

前記第一面と直交する方向から見た場合に、前記複数の第二半導体層、及び、前記増倍層は、前記第一半導体層が位置している範囲内に設けられており、

前記増倍層は、互いに対向する第二導電型の第三半導体層と第一導電型の第四半導体層とを含んでおり、

前記第三半導体層は、前記第四半導体層よりも前記第一面側に設けられており、

前記第三半導体層と前記第四半導体層との各々は、前記第一面と直交する方向から見た場合に、前記複数の第二半導体層と重なるように連続して設けられている、アバランシェフォトダイオードアレイ。

## 【請求項 2】

前記第一半導体層の不純物濃度及び第四半導体層の不純物濃度は、前記半導体領域の不純物濃度よりも高く、

前記第一半導体層の不純物濃度は、前記第四半導体層の不純物濃度よりも高く、

各前記第二半導体層の不純物濃度は、前記第三半導体層の不純物濃度よりも高い、請求項 1 に記載のアバランシェフォトダイオードアレイ。

## 【請求項 3】

前記第一面と直交する方向において、前記第一半導体層と前記第四半導体層との最短距離は、前記複数の第二半導体層と前記第三半導体層との最短距離よりも大きい、請求項 1 又は 2 に記載のアバランシェフォトダイオードアレイ。

10

## 【請求項 4】

前記第三半導体層の不純物濃度は、前記第四半導体層の不純物濃度よりも高い、請求項 1 から 3 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

## 【請求項 5】

前記第一面に直交する方向における前記第一面からの任意の位置を“ $x$ ”とし、前記任意の位置“ $x$ ”における前記第三半導体層の不純物濃度を“ $f(x)$ ”とし、前記任意の位置“ $x$ ”における前記第四半導体層の不純物濃度を“ $g(x)$ ”とし、前記第一面に直交する方向における前記第三半導体層の厚さを“ $L$ ”とし、前記第一面に直交する方向における前記第四半導体層の厚さを“ $L$ ”とし、前記第一面に直交する方向における前記第一面と前記第三半導体層との最短距離を“ $A$ ”とし、前記第一面に直交する方向における前記第一面と前記第四半導体層との最短距離を“ $B$ ”とした場合に、

20

## 【数 1】

$$\int_A^{A+L} f(x) dx \geq \int_B^{B+L} g(x) dx \quad \dots (1)$$

が満たされる、請求項 1 から 4 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

## 【請求項 6】

前記半導体基板は、前記第一面に直交する方向から見た場合に、前記複数の第二半導体層が配列されている領域の全体を囲む第二導電型の第五半導体層を含んでおり、

30

前記第一面に直交する方向から見た場合に、前記第三半導体層と前記第五半導体層とは、少なくとも一部において互いに重なっている、請求項 1 から 5 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

## 【請求項 7】

前記第一面に直交する方向から見て、各前記第二半導体層の縁は、接合終端延長領域によって覆われており、

各前記第二半導体層を覆う前記接合終端延長領域は、前記第二半導体層の不純物濃度よりも低い不純物濃度を有している第二導電型の半導体領域である、請求項 1 から 6 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

## 【請求項 8】

40

各前記第二半導体層のうち前記半導体領域に面する部分は、前記接合終端延長領域に覆われている、請求項 7 に記載のアバランシェフォトダイオードアレイ。

## 【請求項 9】

各前記第二半導体層を覆う前記接合終端延長領域は、前記増倍層と離間している、請求項 7 又は 8 に記載のアバランシェフォトダイオードアレイ。

## 【請求項 10】

前記第一面に直交する方向から見た場合に、前記第五半導体層の縁は、接合終端延長領域によって覆われており、

前記第五半導体層を覆っている前記接合終端延長領域は、前記第五半導体層の不純物濃度よりも低い不純物濃度を有している第二導電型の半導体領域である、請求項 6 に記載の

50

アバランシェフォトダイオードアレイ。

【請求項 1 1】

前記半導体基板は、前記第一面に直交する方向から見た場合に、前記複数の第二半導体層のうち互いに隣り合う前記第二半導体層の間に設けられた第一導電型の第六半導体層を含んでおり、

前記第六半導体層の不純物濃度は、前記半導体領域の不純物濃度よりも高い、請求項 1 から 1 0 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

【請求項 1 2】

前記第一面に直交する方向において、前記第六半導体層の厚さは、各前記第二半導体層の厚さよりも小さい、請求項 1 1 に記載のアバランシェフォトダイオードアレイ。

10

【請求項 1 3】

前記半導体基板は、シリコンを含んでおり、

前記第二導電型は、N型である、請求項 1 から 1 2 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

【請求項 1 4】

前記半導体基板は、リン化インジウムを含んでおり、

前記第二導電型は、P型である、請求項 1 から 1 2 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

【請求項 1 5】

前記増倍層は、前記第一面に直交する方向において、前記第一面から 1 0  $\mu\text{m}$  以下の範囲に設けられている、請求項 1 から 1 4 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

20

【請求項 1 6】

前記第一面に沿った方向において、各前記第二半導体層の幅は、1 0  $\mu\text{m}$  よりも大きい、請求項 1 から 1 5 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

【請求項 1 7】

前記第一面に直交する方向から見た場合に、前記増倍層は、互いに対向する一对の縁を含んでおり、

前記複数の第二半導体層は、前記一对の縁の対向方向において 3 つ以上配列されており、

前記第一面に直交する方向から見た場合に、前記対向方向において、前記複数の第二半導体層は、前記一对の縁の間に位置している、請求項 1 から 1 6 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

30

【請求項 1 8】

前記第一面に直交する方向から見た場合に、前記複数の第二半導体層において、各前記第二半導体層と前記増倍層とが重なる領域の面積は互いに等しい、請求項 1 から 1 7 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

【請求項 1 9】

前記第一面に直交する方向から見た場合に、前記増倍層の縁は、遮蔽部材と重なっている、請求項 1 から 1 8 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

【請求項 2 0】

各前記アバランシェフォトダイオードは、前記第一面から検出光を入射する表面入射型、又は、前記第二面から検出光を入射する裏面入射型である、請求項 1 から 1 9 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

40

【請求項 2 1】

前記第一面に直交する方向から見た場合に、各前記第二半導体層のうち前記増倍層と重なる部分は、前記第一面に沿った方向に延在する矩形形状を呈している、請求項 1 から 2 0 のいずれか一項に記載のアバランシェフォトダイオードアレイ。

【請求項 2 2】

前記第一面に直交する方向から見た場合に、各前記第二半導体層の幅は、互いに隣り合う前記第二半導体層間の最短距離よりも大きい、請求項 1 から 2 1 のいずれか一項に記載

50

のアバランシェフォトダイオードアレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アバランシェフォトダイオードアレイに関する。

【背景技術】

【0002】

複数のアバランシェフォトダイオードを有しているアバランシェフォトダイオードアレイが知られている（たとえば、特許文献1）。特許文献1に記載のアバランシェフォトダイオードアレイには、半導体基板において複数のアバランシェフォトダイオードが配列されている。

10

【先行技術文献】

【特許文献】

【0003】

【文献】特表2019-530215号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

アバランシェフォトダイオードアレイを用いた光検出装置において、互いに隣り合うアバランシェフォトダイオードの間には、光を検出できないデッドエリアが存在していた。特許文献1の光検出装置は、マイクロレンズアレイを備え、マイクロレンズアレイがなければデッドエリアへ入射する光を、マイクロレンズによって屈折させ検出可能な領域に導くように構成されている。これによって、実質的に受光範囲が拡大され得る。

20

【0005】

しかしながら、マイクロレンズアレイを用いる構成においては、マイクロレンズアレイの分だけ、コストが高く、製造プロセスの工程数が多い。したがって、このような構成において、コスト及び製造プロセスの工程数は削減され難い。さらに、マイクロレンズアレイを用いた構成では、マイクロレンズを透過する電磁波及び電子線などの粒子線に対して、デッドエリアの削減効果は望めない。このため、マイクロレンズアレイなどの部材が削減されたシンプルな構成でありながら、デッドエリアが削減され得ると共に、所望の電磁波又は粒子線の検出が実現され得るアバランシェフォトダイオードアレイが期待されている。

30

【0006】

本発明の一つの態様は、シンプルな構成によって、デッドエリアが削減され得ると共に、所望の電磁波又は粒子線の検出が実現され得るアバランシェフォトダイオードアレイを提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一つの態様におけるアバランシェフォトダイオードアレイは、半導体基板を備えている。半導体基板は、互いに対向する第一面と第二面とを有している。半導体基板は、第一面側に設けられた第一導電型の半導体領域を含んでいる。半導体基板は、複数のアバランシェフォトダイオードを有している。複数のアバランシェフォトダイオードは、第一面に沿って配列されている。複数のアバランシェフォトダイオードは、第一導電型の第一半導体層と、第二導電型の複数の第二半導体層と、増倍層とを含んでいる。第一半導体層は、半導体領域よりも第二面側に設けられている。複数の第二半導体層は、第一面に沿って配列されている。各第二半導体層は、第一面と直交する方向から見た場合に半導体領域に囲われている。増倍層は、半導体領域内に設けられていると共に、第一面と直交する方向において複数の第二半導体層と第一半導体層との間に設けられている。第一面と直交する方向から見た場合に、複数の第二半導体層、及び、増倍層は、第一半導体層が位置している範囲内に設けられている。増倍層は、互いに対向する第二導電型の第三半導体層と

40

50

第二導電型の第四半導体層とを含んでいる。第三半導体層は、第四半導体層よりも第一面側に設けられている。第三半導体層と第四半導体層との各々は、第一面と直交する方向から見た場合に、複数の第二半導体層と重なるように連続して設けられている。

【 0 0 0 8 】

上記一つの態様において、複数のアバランシェフォトダイオードは、第一導電型の第一半導体層と、第二導電型の複数の第二半導体層と、増倍層とを含んでいる。増倍層の第三半導体層と第四半導体層との各々は、第一面と直交する方向から見た場合に、複数の第二半導体層と重なるように連続して設けられている。この場合、検出対象の電磁波又は粒子線の入射によって発生したキャリアが、複数の第二半導体層と重なるように連続して設けられた増倍層によって増倍される。増倍層において増倍されたキャリアは、各第二半導体層から出力される。この構成によれば、デッドエリアが削減され得る。複数の第二半導体層と別に増倍層が設けられているため、各第二半導体層における電界の集中が抑制されている。したがって、各第二半導体層においてエッジブレークダウンも抑制されている。このため、マイクロレンズアレイなどが無いシンプルな構成において、デッドエリアが削減され、所望の電磁波又は粒子線が検出され得る。この構成によれば、感度層が比較的広く構成され得る。このため、特に、比較的広い感度層を要する電磁波又は粒子線の検出が実現され得る。

10

【 0 0 0 9 】

上記一つの態様において、第一半導体層の不純物濃度及び第四半導体層の不純物濃度は、半導体領域の不純物濃度よりも高くてもよい。第一半導体層の不純物濃度は、第四半導体層の不純物濃度よりも高くてもよい。各第二半導体層の不純物濃度は、第三半導体層の不純物濃度よりも高くてもよい。

20

【 0 0 1 0 】

上記一つの態様において、第一面と直交する方向において、第一半導体層と第四半導体層との最短距離は、複数の第二半導体層と第三半導体層との最短距離よりも大きくてもよい。この場合、第一半導体層と第四半導体層との間における感度層が比較的広く確保される。したがって、比較的広い感度層を要する電磁波又は粒子線の検出精度が向上し得る。

【 0 0 1 1 】

上記一つの態様において、第三半導体層の不純物濃度は、第四半導体層の不純物濃度よりも高い。この場合、動作時において、第一半導体層と第四半導体層との間における電界強度が、第一面と第三半導体層との間における電界強度よりも大きい。したがって、第一半導体層と第四半導体層との間において、発生したキャリアの移動速度が確保され、高速応答が実現され得る。複数の第二半導体層と増倍層との間におけるエッジブレークダウンがさらに抑制され得る。

30

【 0 0 1 2 】

上記一つの態様において、第一面に直交する方向における第一面からの任意の位置を“ x ”とし、任意の位置“ x ”における第三半導体層の不純物濃度を“ f ( x ) ”とし、任意の位置“ x ”における第四半導体層の不純物濃度を“ g ( x ) ”とし、第一面に直交する方向における第三半導体層の厚さを“ L ”とし、第一面に直交する方向における第四半導体層の厚さを“ L ”とし、第一面に直交する方向における第一面と第三半導体層との最短距離を“ A ”とし、第一面に直交する方向における第一面と第四半導体層との最短距離を“ B ”とした場合に、式 ( 1 ) が満たされていてもよい。

40

【 数 1 】

$$\int_A^{A+L} f(x) dx \geq \int_B^{B+L} g(x) dx \quad \dots (1)$$

この場合、第一半導体層と第四半導体層との間において、発生したキャリアの移動速度が確保され、高速応答が実現され得る。複数の第二半導体層と増倍層との間において、エッジブレークダウンがさらに抑制され得る。

【 0 0 1 3 】

50

上記一つの態様において、半導体基板は、第一面に直交する方向から見た場合に、複数の第二半導体層が配列されている領域の全体を囲む第二導電型の第五半導体層を含んでいてもよい。第一面に直交する方向から見た場合に、第三半導体層と第五半導体層とは、少なくとも一部において互いに重なっていてもよい。この場合、各第二半導体層におけるゲインのばらつきがさらに低減され得る。さらに、検出対象範囲外において発生したキャリアの第二半導体層への移動が抑制され得る。

【0014】

上記一つの態様において、第一面に直交する方向から見て、各第二半導体層の縁は、接合終端延長領域によって覆われていてもよい。各第二半導体層を覆う接合終端延長領域は、第二半導体層の不純物濃度よりも低い不純物濃度を有している第二導電型の半導体領域であってよい。この場合、各第二半導体層におけるエッジブレイクダウンがさらに抑制され得る。

10

【0015】

上記一つの態様において、各第二半導体層のうち半導体領域に面する部分は、接合終端延長領域に覆われていてもよい。この場合、各第二半導体層におけるエッジブレイクダウンがさらに抑制され得る。

【0016】

上記一つの態様において、各第二半導体層を覆う接合終端延長領域は、増倍層と離間していてもよい。この場合、各第二半導体層と増倍層との間における電界強度がより均一になり得る。

20

【0017】

上記一つの態様において、第一面に直交する方向から見た場合に、第五半導体層の縁は、接合終端延長領域によって覆われていてもよい。第五半導体層を覆っている接合終端延長領域は、第五半導体層の不純物濃度よりも低い不純物濃度を有している第二導電型の半導体領域であってよい。この場合、第五半導体層におけるエッジブレイクダウンが抑制され得る。

【0018】

上記一つの態様において、半導体基板は、第一導電型の第六半導体層を含んでいてもよい。第六半導体層は、第一面に直交する方向から見た場合に、複数の第二半導体層のうち互いに隣り合う第二半導体層の間に設けられていてもよい。第六半導体層の不純物濃度は、半導体領域の不純物濃度よりも高くてもよい。この場合、互いに隣り合う第二半導体層間におけるキャリアの移動が抑制され得る。

30

【0019】

上記一つの態様において、第一面に直交する方向において、第六半導体層の厚さは、各第二半導体層の厚さよりも小さくてもよい。この場合、第六半導体層と第三半導体層との間におけるエッジブレイクダウンが抑制され得る。

【0020】

上記一つの態様において、半導体基板は、シリコンを含んでいてもよい。第二導電型は、N型であってよい。

【0021】

上記一つの態様において、半導体基板は、リン化インジウムを含んでいてもよい。第二導電型は、P型であってよい。

40

【0022】

上記一つの態様において、増倍層は、第一面に直交する方向において、第一面から10  $\mu\text{m}$ 以下の範囲に設けられていてもよい。この場合、形成が比較的容易な構成を有している。

【0023】

上記一つの態様において、第一面に沿った方向において、各第二半導体層の幅は、10  $\mu\text{m}$ よりも大きくてもよい。この場合、検出を行う各画素のサイズが確保され得る。

【0024】

50

上記一つの態様において、第一面に直交する方向から見た場合に、増倍層は、互いに対向する一对の縁を含んでいてもよい。複数の第二半導体層は、一对の縁の対向方向において3つ以上配列されていてもよい。第一面に直交する方向から見た場合に、上記対向方向において、複数の第二半導体層は、一对の縁の間に位置していてもよい。この場合、各第二半導体層におけるゲインのばらつきがさらに抑制され得る。

【0025】

上記一つの態様において、第一面に直交する方向から見た場合に、複数の第二半導体層において、各第二半導体層と増倍層とが重なる領域の面積は互いに等しくてもよい。この場合、各第二半導体層におけるゲインのばらつきがさらに抑制され得る。

【0026】

上記一つの態様において、第一面に直交する方向から見た場合に、増倍層の縁は、遮蔽部材と重なっていてもよい。この場合、検出対象領域外におけるキャリアの発生が抑制され得る。

【0027】

上記一つの態様において、各アバランシェフォトダイオードは、第一面から検出光を入射する表面入射型、又は、第二面から検出光を入射する裏面入射型であってもよい。

【0028】

上記一つの態様において、第一面に直交する方向から見た場合に、各第二半導体層のうち増倍層と重なる部分は、第一面に沿った方向に延在する矩形形状を呈していてもよい。

【0029】

上記一つの態様において、第一面に直交する方向から見た場合に、各第二半導体層の幅は、互いに隣り合う第二半導体層間の最短距離よりも大きくてもよい。この場合、第二半導体層からの電気力線の方向が纏まり、発生したキャリアが第二半導体層に誘導され易い。

【発明の効果】

【0030】

本発明の一つの態様は、シンプルな構成によって、デッドエリアが削減され得ると共に、所望の電磁波又は粒子線の検出が実現され得るアバランシェフォトダイオードアレイを提供できる。

【図面の簡単な説明】

【0031】

【図1】本実施形態におけるアバランシェフォトダイオードアレイの概略平面図である。

【図2】アバランシェフォトダイオードアレイの断面図である。

【図3】アバランシェフォトダイオードアレイの平面図である。

【図4】アバランシェフォトダイオードアレイの部分拡大図である。

【図5】本実施形態の変形例におけるアバランシェフォトダイオードアレイの断面図である。

【図6】本実施形態の変形例におけるアバランシェフォトダイオードアレイの断面図である。

【図7】本実施形態の変形例であるアバランシェフォトダイオードアレイの概略平面図である。

【図8】(a)及び(b)は、本実施形態の変形例であるアバランシェフォトダイオードアレイの概略平面図である。

【図9】本実施形態の変形例におけるアバランシェフォトダイオードアレイの断面図である。

【図10】本実施形態の変形例であるアバランシェフォトダイオードアレイの概略平面図である。

【図11】(a)及び(b)は、比較例における半導体層の構成を示す概略図である。

【図12】APDアレイの評価結果を示す図である。

【図13】APDアレイの評価結果を示す図である。

【図14】各半導体層間における電界を示す概略図である。

10

20

30

40

50

【図15】半導体基板における電界強度を示す模式図である。

【発明を実施するための形態】

【0032】

以下、添付図面を参照して、本発明の実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有している要素には、同一符号を用いることとし、重複する説明は省略する。

【0033】

まず、図1から図4を参照して、本実施形態におけるアバランシェフォトダイオードアレイの構成を説明する。以下、「アバランシェフォトダイオード」を「APD」という。図1は、本実施形態におけるAPDアレイの概略平面図である。図2は、APDアレイの断面図である。図3は、APDアレイの平面図である。図4は、APDアレイの部分拡大図である。X軸、Y軸、及び、Z軸は、互いに直交している。方向D1は、Z軸方向と一致する。方向D2は、方向D1と直交し、XY軸平面に平行である。以下、方向D1を「Z軸方向」とも言う。

【0034】

APDアレイ1は、電磁波又は粒子線の検出に用いられる。APDアレイ1は、たとえば、LiDAR (Light Detection and Ranging) 用の光検出器として用いられ得る。APDアレイ1は、たとえば、高エネルギー粒子の検出器としても用いられ得る。APDアレイ1は、特に、比較的広い感度層を要する電磁波又は粒子線の検出に用いられる。たとえば、APDアレイ1によって検出される電磁波は、600nm～1200nmの波長を有している電磁波、又は、X線を含んでいる。APDアレイ1によって検出される粒子線は、たとえば、電子線などの高エネルギー粒子線を含んでいる。以下、X線及び高エネルギー粒子線を総称して、「高エネルギー線」とも言う。本実施形態において、APDアレイ1は、表面入射型である。

【0035】

図1及び図2に示されているように、APDアレイ1は、半導体基板10を備えている。図2に示されているように、半導体基板10は、互いに対向する第一面11と第二面12とを有している。

【0036】

半導体基板10は、複数のAPD15を有している。複数のAPD15は、第一面11に沿って配列されている。図3に示されているように、APDアレイ1は、検出対象領域DAを含んでいる。APDアレイ1は、検出対象領域DAに入射した電磁波又は粒子に応じた検出信号を出力する。各APD15は、リニアモードで動作する。

【0037】

本実施形態において、各APD15は、第一面11から検出光を入射する表面入射型である。すなわち、本実施形態において、第一面11が入射面に相当する。Z軸は、第一面11に直交している。X軸及びY軸は、第一面11に沿って延在している。

【0038】

図2に示されているように、半導体基板10は、第一面11側に設けられた半導体領域20を含んでいる。半導体領域20は、第一導電型である。本実施形態において、半導体領域20は、第一面11の一部を形成している。半導体基板10は、さらに、第一半導体層21と、複数の第二半導体層22と、増倍層40とを含んでいる。複数のAPD15は、半導体基板10内に設けられた、第一半導体層21と、複数の第二半導体層22と、増倍層40とを含んでいる。第一半導体層21は、第一導電型である。複数の第二半導体層22は、第二導電型である。

【0039】

第一半導体層21は、半導体領域20よりも第二面12側に設けられている。第一半導体層21は、第二面12に沿って設けられている。本実施形態において、第一半導体層21は、第二面12を形成している。第一半導体層21は、半導体基板10内において半導体領域20に接している。Z軸方向から見た場合に、複数の第二半導体層22、及び、増

10

20

30

40

50

倍層 40 は、第一半導体層 21 が位置している範囲内に設けられている。本実施形態において、第一半導体層 21 は、アノードに相当する。

【0040】

複数の第二半導体層 22 は、第一面 11 に沿って配列されている。各第二半導体層 22 は、第一面 11 の一部を形成している。各第二半導体層 22 は、Z 軸方向から見た場合に半導体領域 20 に囲われている。本実施形態において、各第二半導体層 22 は、第一面 11 を形成する面以外の面において、半導体領域 20 に接している。Z 軸方向から見た場合に、互いに隣り合う第二半導体層 22 の間には、半導体領域 20 が設けられている。各第二半導体層 22 は、各 APD 15 の検出信号を出力するチャンネル層に相当する。

【0041】

図 1 に示されているように、Z 軸方向から見た場合に、各第二半導体層 22 のうち増倍層 40 と重なる部分は、たとえば、X 軸方向に延在する矩形形状を呈している。本明細書において、「重なる」は、互いの輪郭が一致している場合に限定されず、互いの少なくとも一部において重なる場合を含む。Z 軸方向から見た場合に、各第二半導体層 22 のうち検出対象領域 DA と重なる部分は、たとえば、X 軸方向に延在する矩形形状を呈している。本明細書において、「矩形形状」は、角が丸められた形状も含んでいる。Z 軸方向から見た場合に、各第二半導体層 22 の幅 W1 は、互いに隣り合う第二半導体層 22 間の最短距離 L1 よりも大きい。Z 軸方向から見た場合に、各第二半導体層 22 の幅 W1 は、たとえば、10 μm よりも大きい。第二半導体層 22 の幅 W1 は、たとえば、X 軸方向に沿った方向における長さである。

【0042】

増倍層 40 は、キャリアを増倍する。増倍層 40 は、半導体領域 20 内に設けられている。増倍層 40 は、Z 軸方向において複数の第二半導体層 22 と第一半導体層 21 との間に設けられている。増倍層 40 は、たとえば、Z 軸方向において、第一面 11 から 10 μm 以下の範囲に設けられている。増倍層 40 は、Z 軸方向において、第一面 11 から 1 μm 以上 10 μm 以下の範囲に設けられていてもよい。

【0043】

増倍層 40 は、たとえば、矩形形状を呈している。増倍層 40 は、たとえば X 軸方向に延在している。Z 軸方向から見た場合に、増倍層 40 は、X 軸方向において互いに対向する一対の縁 41a, 41b と、Y 軸方向において互いに対向する縁 41c, 41d とを含んでいる。

【0044】

表面入射型の APD アレイ 1 において、複数の第二半導体層 22 が行列状に 2 次元配列される場合、複数の第二半導体層 22 は、行方向又は列方向において 2 列以下になるように配列される。本実施形態において、図 1 に示されているように、複数の第二半導体層 22 は、Y 軸方向において 2 行以下で配列されている。複数の第二半導体層 22 は、X 軸方向において 3 つ以上配列されている。複数の第二半導体層 22 の配列は、2 行以下 3 列以上である。図 1 に示されている構成において、複数の第二半導体層 22 は、2 行 4 列で配列されている。

【0045】

Z 軸方向から見た場合に、X 軸方向において、複数の第二半導体層 22 は、一対の縁 41a, 41b の間に位置している。換言すれば、Z 軸方向から見た場合に、増倍層 40 の一対の縁 41a, 41b は、複数の第二半導体層 22 のうち X 軸方向において最も外側に位置する第二半導体層 22 の縁 44a よりも外側に位置している。複数の第二半導体層 22 の配列が 2 行以下 3 列以上である場合、増倍層 40 は、Z 軸方向から見て、複数の第二半導体層 22 を跨ぐように配置される。

【0046】

この場合、複数の第二半導体層 22 において、Z 軸方向から見て、各第二半導体層 22 と増倍層 40 とが重なる領域の面積は、互いに等しい。「等しい」は、製造公差を含んでいる。検出対象領域 DA は、増倍層 40 が位置している範囲内に位置している。Z 軸方向

10

20

30

40

50

から見た場合に、各第二半導体層 2 2 は、増倍層 4 0 の縁 4 1 c , 4 1 d よりも Y 軸方向に延在している。

【 0 0 4 7 】

図 2 に示されているように、増倍層 4 0 は、互いに対向する第三半導体層 2 3 と第四半導体層 2 4 とを含んでいる。第三半導体層 2 3 は、第四半導体層 2 4 よりも第一面 1 1 側に設けられている。第四半導体層 2 4 は、第三半導体層 2 3 よりも第二面 1 2 側に設けられている。第三半導体層 2 3 は、第二導電型である。第四半導体層 2 4 は、第一導電型である。

【 0 0 4 8 】

本実施形態において、増倍層 4 0 は、第三半導体層 2 3 と第四半導体層 2 4 との間に位置する半導体領域 2 0 をさらに含んでいる。第三半導体層 2 3 と第四半導体層 2 4 とは、半導体領域 2 0 を挟んで対向しており、互いに離間している。本実施形態の変形例として、増倍層 4 0 は、半導体領域 2 0 を含んでいなくてもよい。この変形例において、第三半導体層 2 3 と第四半導体層 2 4 とは、互いに接続される。

10

【 0 0 4 9 】

増倍層 4 0 は、Z 軸方向から見た場合に、複数の第二半導体層 2 2 と重なるように連続して設けられている。換言すれば、Z 軸方向から見た場合に、増倍層 4 0 の縁 4 1 a , 4 1 b , 4 1 c , 4 1 d によって囲まれた単一の領域は、複数の第二半導体層 2 2 と重なっている。増倍層 4 0 に含まれる第三半導体層 2 3 と第四半導体層 2 4 との各々は、Z 軸方向から見た場合に、複数の第二半導体層 2 2 と重なるように連続して設けられている。第三半導体層 2 3 と第四半導体層 2 4 とは、Z 軸方向から見た場合に、互いに重なるように設けられている。1 つの第三半導体層 2 3 と 1 つの第四半導体層 2 4 との双方が、Z 軸方向において、複数の第二半導体層 2 2 に対向している。

20

【 0 0 5 0 】

本実施形態において、Z 軸方向から見た場合に、増倍層 4 0 の縁 4 1 a , 4 1 b , 4 1 c , 4 1 d は、第三半導体層 2 3 の縁と一致する。Z 軸方向から見た場合に、増倍層 4 0 の縁 4 1 a , 4 1 b , 4 1 c , 4 1 d は、第四半導体層 2 4 の縁と一致する。本実施形態において、各第二半導体層 2 2 は、Z 軸方向から見た場合に、増倍層 4 0 と重なっていない部分を含んでいる。たとえば、Z 軸方向から見た場合に、増倍層 4 0 と複数の第二半導体層 2 2 とが重なっている領域の面積は、増倍層 4 0 が位置している領域の面積の 8 0 % 以上である。

30

【 0 0 5 1 】

半導体基板 1 0 は、第五半導体層 2 5 をさらに含んでいる。第五半導体層 2 5 は、Z 軸方向から見た場合に、複数の第二半導体層 2 2 が配列されている領域の全体を囲んでいる。第五半導体層 2 5 は、第一面 1 1 の一部を形成している。第五半導体層 2 5 は、半導体領域 2 0 に囲われている。第五半導体層 2 5 は、第一面 1 1 を形成する面以外の面において、半導体領域 2 0 に接している。第五半導体層 2 5 は、第二導電型である。

【 0 0 5 2 】

Z 軸向から見た場合に、増倍層 4 0 と第五半導体層 2 5 とは、少なくとも一部において互いに重なっている。Z 軸向から見た場合に、第三半導体層 2 3 と第五半導体層 2 5 とは、少なくとも一部において互いに重なっている。第五半導体層 2 5 は、検出対象領域 D A 外において発生したキャリアを吸収する吸収層に相当する。

40

【 0 0 5 3 】

半導体基板 1 0 は、複数の第六半導体層 2 6 をさらに含んでいる。各第六半導体層 2 6 は、第一導電型である。複数の第六半導体層 2 6 は、第一面 1 1 に配列されている。各第六半導体層 2 6 は、第一面 1 1 の一部を形成している。各第六半導体層 2 6 は、半導体領域 2 0 に囲われている。本実施形態において、各第六半導体層 2 6 は、第一面 1 1 を形成する面以外の面において、半導体領域 2 0 に接している。各第六半導体層 2 6 は、Z 軸方向から見た場合に、互いに隣り合う複数の第二半導体層 2 2 の間に設けられている。各第六半導体層 2 6 は、互いに隣り合う第二半導体層 2 2 間を分離し、キャリアの移動を抑制

50

するセパレータに相当する。

【0054】

各第六半導体層26は、Z軸方向から見て、第三半導体層23と重なっている。Z軸方向において、各第六半導体層26の厚さは、各第二半導体層22の厚さよりも小さい。各第六半導体層26と第三半導体層23とは、互いに離間している。たとえば、Z軸方向において、各第六半導体層26と第三半導体層23との最短距離は、たとえば、1 $\mu$ m以上である。各第六半導体層26と第三半導体層23との間には、半導体領域20が設けられている。第一面11に沿った方向において、各第六半導体層の幅は、たとえば、8 $\mu$ m以下である。

【0055】

半導体基板10は、半導体電極層45をさらに含んでいる。半導体電極層45は、Z軸方向から見た場合に、複数の第二半導体層22が配列されている領域の全体、及び、第五半導体層25の全体を囲んでいる。半導体電極層45は、第一面11の一部を形成している。半導体電極層45は、半導体領域20に囲われている。半導体電極層45は、第一面11を形成する面以外の面において、半導体領域20に接している。半導体電極層45は、第一導電型である。Z軸向から見た場合に、増倍層40と半導体電極層45とは、重なっていない。半導体電極層45は、第一半導体層21と電氣的に接続されている。

【0056】

半導体基板10は、たとえば、シリコン半導体からなる。この場合、半導体基板10は、シリコンを含んでいる。この場合、第一導電型はP型であり、第二導電型はN型である。半導体基板10において、P型の半導体層である第一半導体層21及び第四半導体層24には、不純物として、たとえば、III族の元素がドーブされている。P型における不純物は、たとえば、ホウ素、ガリウム、及び、インジウムから選択された少なくとも1つを含んでいる。N型の半導体層である、第二半導体層22及び第三半導体層23には、不純物として、たとえば、V族の元素がドーブされている。N型における不純物は、たとえば、リン、ヒ素、及び、アンチモンから選択された少なくとも1つを含んでいる。

【0057】

不純物のドーブは、たとえば、イオン注入又は熱拡散によって行われる。本実施形態において、複数の第二半導体層22、第三半導体層23、第四半導体層24、第五半導体層25、及び、半導体電極層45は、イオン注入による不純物のドーブによって形成されている。

【0058】

本実施形態の変形例として、半導体基板10は、たとえば、化合物半導体からなってもよい。この場合、半導体基板10は、リン化インジウムを含んでもよい。第一導電型はN型であり、第二導電型はP型である。半導体基板10において、N型の半導体層には、不純物として、たとえば、IV族又はVI族の元素がドーブされている。N型における不純物は、たとえば、シリコン、スズ、硫黄、セレン、及び、テルルから選択された少なくとも1つを含んでいる。P型の半導体層には、不純物として、たとえば、III族の元素がドーブされている。P型における不純物は、たとえば、ベリリウム、及び、亜鉛から選択された少なくとも1つを含んでいる。

【0059】

半導体領域20、第一半導体層21、第二半導体層22、第三半導体層23、第四半導体層24、第五半導体層25、及び、半導体電極層45の各々においてドーブされている不純物の量は、たとえば、不純物濃度によって示される以下の関係を満たしている。第一半導体層21の不純物濃度及び第四半導体層24の不純物濃度は、たとえば、半導体領域20の不純物濃度以上であり、より好ましくは、半導体領域20の不純物濃度より高い。第一半導体層21の不純物濃度は、たとえば、第四半導体層24の不純物濃度以上であり、より好ましくは、第四半導体層24の不純物濃度より高い。各第二半導体層22の不純物濃度は、たとえば、第三半導体層23の不純物濃度以上であり、より好ましくは、第三半導体層23の不純物濃度より高い。第三半導体層23の不純物濃度は、たとえば、第四

10

20

30

40

50

半導体層 2 4 の不純物濃度以上であり、より好ましくは、第四半導体層 2 4 の不純物濃度より高い。第六半導体層 2 6 の不純物濃度は、半導体領域 2 0 の不純物濃度以上であり、より好ましくは半導体領域 2 0 の不純物濃度よりも高い。第五半導体層 2 5 の不純物濃度は、たとえば、各第二半導体層 2 2 と同等である。半導体電極層 4 5 の不純物濃度は、たとえば、第一半導体層 2 1 と同等である。「不純物濃度」とは、単位体積あたりのドーブされた不純物の量を意味する。不純物濃度は、荷電キャリア濃度、又は、多数キャリア濃度とも呼ばれる。

#### 【 0 0 6 0 】

本実施形態の変形例として、半導体領域 2 0、第一半導体層 2 1、第二半導体層 2 2、第三半導体層 2 3、第四半導体層 2 4、第五半導体層 2 5、及び、半導体電極層 4 5 の各々においてドーブされている不純物の量は、不純物濃度ではなく、Z 軸方向における不純物量の合計によって比較されていてもよい。Z 軸方向における不純物量の合計は、たとえば、Z 軸方向における第一面 1 1 からの任意の位置における不純物濃度を、Z 軸方向に線積分することによって求められる。線積分を行う区間長さは、たとえば、対象の領域の Z 軸方向の厚さである。以下、この線積分によって求められる値を、「不純物積分量」という。

10

#### 【 0 0 6 1 】

たとえば、Z 軸方向における第一面 1 1 からの任意の位置を“x”とし、任意の位置“x”における第三半導体層 2 3 の不純物濃度を“f(x)”とし、任意の位置“x”における第四半導体層 2 4 の不純物濃度を“g(x)”とし、Z 軸方向における第三半導体層 2 3 の厚さを“L”とし、Z 軸方向における第四半導体層 2 4 の厚さを“L”とし、Z 軸方向における第一面 1 1 と第三半導体層 2 3 との最短距離を“A”とし、Z 軸方向における第一面 1 1 と第四半導体層 2 4 との最短距離を“B”とした場合に、以下の式(2)が満たされる。

20

#### 【 数 2 】

$$\int_A^{A+L} f(x) dx \geq \int_B^{B+L} g(x) dx \quad \dots (2)$$

#### 【 0 0 6 2 】

すなわち、第三半導体層 2 3 の不純物積分量は、たとえば、第四半導体層 2 4 の不純物積分量以上である。より好ましくは、第三半導体層 2 3 の不純物積分量は、たとえば、第四半導体層 2 4 の不純物積分量よりも大きい。

30

#### 【 0 0 6 3 】

半導体領域 2 0、第一半導体層 2 1、第二半導体層 2 2、第三半導体層 2 3、第四半導体層 2 4、第五半導体層 2 5、及び、半導体電極層 4 5 の各々においてドーブされている不純物の量は、上記不純物積分量において、以下の関係を満たしている。第一半導体層 2 1 の不純物積分量及び第四半導体層 2 4 の不純物積分量は、たとえば、半導体領域 2 0 の不純物積分量以上であり、より好ましくは、半導体領域 2 0 の不純物積分量より大きい。第一半導体層 2 1 の不純物積分量は、たとえば、第四半導体層 2 4 の不純物積分量以上であり、より好ましくは、第四半導体層 2 4 の不純物積分量より大きい。各第二半導体層 2 2 の不純物積分量は、たとえば、第三半導体層 2 3 の不純物積分量以上であり、より好ましくは、第三半導体層 2 3 の不純物積分量よりも大きい。第六半導体層 2 6 の不純物積分量は、たとえば、半導体領域 2 0 の不純物積分量以上であり、より好ましくは、半導体領域 2 0 の不純物積分量より大きい。第五半導体層 2 5 の不純物積分量は、たとえば、各第二半導体層 2 2 と同等である。半導体電極層 4 5 の不純物積分量は、たとえば、第一半導体層 2 1 よりも大きい。

40

#### 【 0 0 6 4 】

本実施形態において、図 1 及び図 3 に示されているように、APD アレイ 1 は、複数のメタル層 3 0、3 1、3 2 と、複数のパッド電極 3 3、3 4、3 5 とをさらに備えている。複数のメタル層 3 0、3 1、3 2、及び、複数のパッド電極 3 3、3 4、3 5 は、いずれも第一面 1 1 上に設けられている。

50

## 【 0 0 6 5 】

複数のメタル層 3 0 は、Z 軸方向から見た場合に、複数の第二半導体層 2 2 の一部を覆っている。複数のメタル層 3 0 は、互いに離間している。複数のメタル層 3 0 は、それぞれ異なる第二半導体層 2 2 に接している。各メタル層 3 0 は、接している第二半導体層 2 2 に電位を付与する。

## 【 0 0 6 6 】

メタル層 3 1 は、Z 軸方向から見た場合に、複数の第二半導体層 2 2 を囲っている。図 2 に示されているように、Z 軸方向から見た場合に、メタル層 3 1 は、第五半導体層 2 5 と重なっている。メタル層 3 1 は、第五半導体層 2 5 に沿って連続して設けられている。メタル層 3 1 は、たとえば、第五半導体層 2 5 に接している。たとえば、メタル層 3 1 を介して第五半導体層 2 5 に電位が付与されていてもよい。この場合、第五半導体層 2 5 は、検出対象領域 D A において発生したキャリアをさらに吸収できる。

10

## 【 0 0 6 7 】

図 1 に示されているように、メタル層 3 1 は、Z 軸方向から見た場合に、増倍層 4 0 の縁 4 1 a , 4 1 b と重なっている。増倍層 4 0 の縁 4 1 a , 4 1 b は、メタル層 3 1 によって遮光されている。メタル層 3 1 は、検出対象の電磁波が増倍層 4 0 の縁 4 1 a , 4 1 b , 4 1 c , 4 1 d へ入射することを抑制する遮蔽部材に相当する。

## 【 0 0 6 8 】

メタル層 3 2 は、Z 軸方向から見た場合に、メタル層 3 1 及び複数の第二半導体層 2 2 を囲っている。Z 軸方向から見た場合に、メタル層 3 2 は、半導体電極層 4 5 と重なっている。メタル層 3 2 は、半導体電極層 4 5 に沿って連続して設けられている。メタル層 3 2 は、半導体電極層 4 5 に接している。半導体電極層 4 5 は、メタル層 3 2 を介して電位が付与される。

20

## 【 0 0 6 9 】

複数のパッド電極 3 3 は、それぞれメタル層 3 0 に接続されている。複数のパッド電極 3 3 は、それぞれ、メタル層 3 0 を介して各第二半導体層 2 2 に電氣的に接続されている。図 3 に示されているように、各パッド電極 3 3 は、第一面 1 1 上に設けられ、複数のメタル層 3 0 のうち対応するメタル層 3 0 を介して複数の第二半導体層 2 2 のうち対応する第二半導体層 2 2 に接している。各パッド電極 3 3 は、各第二半導体層 2 2 からの検出信号を出力する出力端子に相当する。Z 軸方向から見た場合に、各パッド電極 3 3 は、増倍層 4 0 と重ならない範囲に設けられている。複数のパッド電極 3 3 は、X 軸方向に配列されており、互いに異なる第二半導体層 2 2 に接続されている。本実施形態において、各パッド電極 3 3 は、A P D アレイ 1 のカソードに相当する。

30

## 【 0 0 7 0 】

複数のパッド電極 3 4 は、メタル層 3 1 に接続されている。本実施形態において、各パッド電極 3 4 は、A P D アレイ 1 のカソードに相当する。複数のパッド電極 3 5 は、メタル層 3 2 に接続されている。本実施形態において、パッド電極 3 5、メタル層 3 2、半導体電極層 4 5、及び、第一半導体層 2 1 は、A P D アレイ 1 のアノードに相当する。

## 【 0 0 7 1 】

図 2 に示されているように、各 A P D 1 5 は、半導体基板 1 0 内に形成された分岐層 5 1、電界緩和層 5 2、高電界層 5 3、電界制御層 5 4、及び、感度層 5 5 を含んでいる。分岐層 5 1、電界緩和層 5 2、高電界層 5 3、電界制御層 5 4、及び、感度層 5 5 は、第一面 1 1 から第二面 1 2 に向かって順に配列されている。

40

## 【 0 0 7 2 】

分岐層 5 1 は、第二半導体層 2 2 と半導体領域 2 0 とからなる。分岐層 5 1 は、第一面 1 1 から、第一面 1 1 側における半導体領域 2 0 と第三半導体層 2 3 との境界 B 1 までの領域に位置している。本実施形態の変形例として、第二半導体層 2 2 は、第三半導体層 2 3 に接していてもよい。この場合、分岐層 5 1 は第二半導体層 2 2 からなり、境界 B 1 は第二半導体層 2 2 と第三半導体層 2 3 との境界である。

## 【 0 0 7 3 】

50

電界緩和層 5 2、高電界層 5 3、及び、電界制御層 5 4 は、増倍層 4 0 に相当する。換言すれば、本実施形態において、増倍層 4 0 は、電界緩和層 5 2、高電界層 5 3、及び、電界制御層 5 4 を含んでいる。電界緩和層 5 2 は、分岐層 5 1 における電界強度を緩和する。電界緩和層 5 2 は、第三半導体層 2 3 からなる。電界緩和層 5 2 は、境界 B 1 から、第二面 1 2 側における半導体領域 2 0 と第三半導体層 2 3 との境界 B 2 までの領域に位置している。

【 0 0 7 4 】

高電界層 5 3 は、動作時に他の半導体層に比べて高い電界強度が付与される層である。高電界層 5 3 は、他の半導体層よりも高い電界強度においてキャリアを増倍するキャリア増倍層に相当する。高電界層 5 3 は、半導体領域 2 0 からなる。高電界層 5 3 は、境界 B 2 から、半導体領域 2 0 と第四半導体層 2 4 との境界 B 3 までの領域に位置している。

10

【 0 0 7 5 】

電界制御層 5 4 は、高電界層 5 3 における電界強度を制御する。電界制御層 5 4 は、第四半導体層 2 4 からなる。電界制御層 5 4 は、境界 B 3 から、第二面 1 2 側における半導体領域 2 0 と第四半導体層 2 4 との境界 B 4 までの領域に位置している。

【 0 0 7 6 】

増倍層 4 0 は、境界 B 1 から境界 B 4 までの領域に位置している。本実施形態の変形例として、第三半導体層 2 3 と第四半導体層 2 4 との間に半導体領域 2 0 が設けられていない場合には、増倍層 4 0 は、半導体領域 2 0 を含まない。この場合、高電界層 5 3 は、第三半導体層 2 3 と第四半導体層 2 4 との境界に相当する。

20

【 0 0 7 7 】

感度層 5 5 は、半導体領域 2 0 からなる。感度層 5 5 は、境界 B 4 から、半導体領域 2 0 と第一半導体層 2 1 との境界 B 5 までの領域に位置している。Z 軸方向において、第一半導体層 2 1 と第四半導体層 2 4 との最短距離 L 1 1 は、複数の第二半導体層 2 2 と第三半導体層 2 3 との最短距離 L 1 2 よりも大きい。したがって、Z 軸方向において、感度層 5 5 の厚さは、複数の第二半導体層 2 2 と第三半導体層 2 3 との最短距離 L 1 2 よりも大きい。Z 軸方向において、感度層 5 5 の厚さは、分岐層 5 1 の厚さよりも大きいてもよい。Z 軸方向において、感度層 5 5 の厚さは、分岐層 5 1 の厚さと増倍層 4 0 の厚さとの合計より大きいてもよい。感度層 5 5 の厚さは、たとえば、10  $\mu\text{m}$  以上 1000  $\mu\text{m}$  以下である。感度層 5 5 の厚さは、20  $\mu\text{m}$  以上 80  $\mu\text{m}$  以下であってもよい。

30

【 0 0 7 8 】

感度層 5 5 に電子又は粒子が入射すると、感度層 5 5 においてキャリアが発生する。感度層 5 5 において発生したキャリアは、増倍層 4 0 に移動する。感度層 5 5 において発生したキャリアの移動速度は、感度層 5 5 における電界強度に依存している。増倍層 4 0 において、キャリアは増倍される。増倍層 4 0 において増倍されたキャリアは、分岐層 5 1 に移動する。分岐層 5 1 に移動したキャリアは、各第二半導体層 2 2 から出力される。

【 0 0 7 9 】

次に、図 5 を参照して、本実施形態の変形例における APD アレイについて説明する。図 5 は、本実施形態の変形例における APD アレイ 1 A の断面図である。本変形例は、概ね、上述した実施形態及び変形例と類似又は同じである。APD アレイ 1 A は、半導体基板 1 0 の代わりに半導体基板 1 0 A を含んでいる点において、上述した実施形態と相違する。以下、上述した実施形態との相違点を主として説明する。

40

【 0 0 8 0 】

図 5 に示されているように、半導体基板 1 0 A は、複数の接合終端延長領域 ( J T E : Junction Termination Extension ) 2 7 を含んでいる。各第二半導体層 2 2 は、接合終端延長領域 2 7 によって覆われている。Z 軸方向から見た場合に、各第二半導体層 2 2 の縁 2 2 b は、接合終端延長領域 2 7 によって覆われている。本変形例において、各第二半導体層 2 2 と半導体領域 2 0 とは、互いに離間している。各第二半導体層 2 2 と半導体領域 2 0 との間に、接合終端延長領域 2 7 が設けられている。各第二半導体層 2 2 は、第一面 1 1 を形成する面以外の面において、接合終端延長領域 2 7 に接している。換言すれ

50

ば、各第二半導体層 2 2 のうち半導体領域 2 0 に面する部分は、接合終端延長領域 2 7 に接している。

【 0 0 8 1 】

第五半導体層 2 5 は、接合終端延長領域 2 7 によって覆われている。Z 軸方向から見た場合に、第五半導体層 2 5 の縁 2 5 b は、接合終端延長領域 2 7 によって覆われている。本変形例において、第五半導体層 2 5 と半導体領域 2 0 とは、互いに離間している。第五半導体層 2 5 と半導体領域 2 0 との間に、接合終端延長領域 2 7 が設けられている。第五半導体層 2 5 は、第一面 1 1 を形成する面以外の面において、接合終端延長領域 2 7 に接している。換言すれば、第五半導体層 2 5 のうち半導体領域 2 0 に面する部分は、接合終端延長領域 2 7 に接している。

10

【 0 0 8 2 】

本変形例において、各接合終端延長領域 2 7 と第三半導体層 2 3 とは、互いに離間している。各接合終端延長領域 2 7 と第三半導体層 2 3 の間には、半導体領域 2 0 が設けられている。本変形例のさらなる変形例として、各接合終端延長領域 2 7 と第三半導体層 2 3 とは、接していてもよい。

【 0 0 8 3 】

本変形例のさらなる変形例として、複数の接合終端延長領域 2 7 は、連続する 1 つの領域であってもよい。この場合、たとえば、1 つの接合終端延長領域 2 7 によって、複数の第二半導体層 2 2 及び第五半導体層 2 5 が覆われる。

【 0 0 8 4 】

各接合終端延長領域 2 7 は、第二導電型の半導体領域である。接合終端延長領域 2 7 の不純物濃度は、第二半導体層 2 2 の不純物濃度よりも低い。接合終端延長領域 2 7 の不純物積分量は、たとえば、第二半導体層 2 2 の不純物積分量よりも小さい。

20

【 0 0 8 5 】

次に、図 6 を参照して、本実施形態の変形例における A P D アレイについて説明する。図 6 は、本実施形態の変形例における A P D アレイ 1 B の断面図である。本変形例は、概ね、上述した実施形態及び変形例と類似又は同じである。A P D アレイ 1 B は、半導体基板 1 0 A の代わりに半導体基板 1 0 B を含んでいる点において、図 5 に示した構成と相違する。以下、図 5 に示した構成との相違点を主として説明する。

【 0 0 8 6 】

図 6 に示されているように、半導体基板 1 0 B は、複数の接合終端延長領域 2 7 の代わりに複数の接合終端延長領域 2 7 C を含んでいる点において、半導体基板 1 0 A と異なる。Z 軸方向から見た場合に、各第二半導体層 2 2 の縁 2 2 b は、接合終端延長領域 2 7 C によって覆われている。各第二半導体層 2 2 の縁 2 2 b と半導体領域 2 0 との間に、接合終端延長領域 2 7 C が設けられている。各第二半導体層 2 2 は、縁 2 2 b 以外の部分において半導体領域 2 0 に接している。たとえば、各第二半導体層 2 2 のうち、第一面 1 1 と対向する面 2 2 a の少なくとも一部は、半導体領域 2 0 に接している。各第二半導体層 2 2 の縁 2 2 b は、各第二半導体層 2 2 のうち第一面 1 1 と対向する面 2 2 a の縁を含んでいる。

30

【 0 0 8 7 】

Z 軸方向から見た場合に、第五半導体層 2 5 の縁 2 5 b は、接合終端延長領域 2 7 C によって覆われている。第五半導体層 2 5 の縁 2 5 b と半導体領域 2 0 との間に、接合終端延長領域 2 7 C が設けられている。第五半導体層 2 5 の縁 2 5 b 以外の部分は、半導体領域 2 0 に接している。たとえば、第五半導体層 2 5 のうち、第一面 1 1 と対向する面 2 5 a の少なくとも一部は、半導体領域 2 0 に接している。第五半導体層 2 5 の縁 2 5 b は、第五半導体層 2 5 のうち第一面 1 1 と対向する面 2 5 a の縁を含んでいる。

40

【 0 0 8 8 】

本変形例において、第五半導体層 2 5 の縁 2 5 b のうち、第二半導体層 2 2 側の縁 2 5 b に接合終端延長領域 2 7 C が設けられ、半導体電極層 4 5 側の縁 2 5 b には接合終端延長領域 2 7 C が設けられていない。本変形例の変形例において、第五半導体層 2 5 におい

50

て第二半導体層 2 2 側の縁 2 5 b と半導体電極層 4 5 側の縁 2 5 b との双方に接合終端延長領域 2 7 C が設けられていてもよい。

【 0 0 8 9 】

本変形例において、各接合終端延長領域 2 7 C と第三半導体層 2 3 とは、互いに離間している。各接合終端延長領域 2 7 C と第三半導体層 2 3 の間には、半導体領域 2 0 が設けられている。本変形例のさらなる変形例として、各接合終端延長領域 2 7 C と第三半導体層 2 3 とは、接していてもよい。

【 0 0 9 0 】

各接合終端延長領域 2 7 C は、第二導電型の半導体領域である。接合終端延長領域 2 7 C の不純物濃度は、第二半導体層 2 2 の不純物濃度よりも低い。接合終端延長領域 2 7 C の不純物積分量は、たとえば、第二半導体層 2 2 の不純物積分量よりも小さい。

10

【 0 0 9 1 】

次に、図 7 を参照して、本実施形態の変形例における A P D アレイについて説明する。図 7 は、本実施形態の変形例における A P D アレイ 1 C の概略平面図である。本変形例は、概ね、上述した実施形態及び変形例と類似又は同じである。本変形例は、複数の第二半導体層 2 2 と増倍層 4 0 との位置関係において、上述した実施形態と相違する。以下、上述した実施形態との相違点を主として説明する。

【 0 0 9 2 】

A P D アレイ 1 C の半導体基板 1 0 C において、複数の第二半導体層 2 2 は、1 行で配列されており、X 軸方向において 3 つ以上配列されている。換言すれば、A P D アレイ 1 C において、複数の第二半導体層 2 2 の配列は、2 行以下 3 列以上である。A P D アレイ 1 C において複数の第二半導体層 2 2 は、1 行 8 列で配列されている。

20

【 0 0 9 3 】

A P D アレイ 1 C においても、増倍層 4 0 は、矩形形状を呈している。増倍層 4 0 は、X 軸方向に延在している。Z 軸方向から見た場合に、X 軸方向において、複数の第二半導体層 2 2 は、一対の縁 4 1 a , 4 1 b の間に位置している。換言すれば、Z 軸方向から見た場合に、増倍層 4 0 の一対の縁 4 1 a , 4 1 b は、複数の第二半導体層 2 2 のうち X 軸方向において最も外側に位置する第二半導体層 4 4 の縁 4 4 a よりも外側に位置している。さらに換言すれば、Z 軸方向から見た場合に、増倍層 4 0 は、複数の第二半導体層 2 2 を跨ぐように配置されている。この場合、Z 軸方向から見た場合に、複数の第二半導体層 2 2 において、各第二半導体層 2 2 と増倍層 4 0 とが重なる領域の面積は互いに等しい。Z 軸方向から見た場合に、各第二半導体層 2 2 は、増倍層 4 0 の縁 4 1 c , 4 1 d よりも Y 軸方向に延在している。Z 軸向から見た場合に、増倍層 4 0 と第五半導体層 2 5 とは、少なくとも一部において互いに重なっている。

30

【 0 0 9 4 】

次に、図 8 ( a ) 及び図 8 ( b ) を参照して、本実施形態の変形例における A P D アレイについて説明する。図 8 ( a ) は、本実施形態の変形例における A P D アレイ 1 D の概略平面図である。図 8 ( b ) は、本実施形態の変形例における A P D アレイ 1 E の概略平面図である。本変形例は、概ね、上述した実施形態及び変形例と類似又は同じである。本変形例は、複数の第二半導体層 2 2 と増倍層 4 0 との位置関係において、上述した実施形態と相違する。以下、図 8 ( a ) 及び図 8 ( b ) に示した構成との相違点を主として説明する。

40

【 0 0 9 5 】

A P D アレイ 1 D において、複数の第二半導体層 2 2 は、1 行 2 列で配列されている。換言すれば、A P D アレイ 1 D において、複数の第二半導体層 2 2 の配列は、2 行以下 3 列未満である。

【 0 0 9 6 】

A P D アレイ 1 D において、増倍層 4 0 は、矩形形状を呈している。増倍層 4 0 は、X 軸方向に延在している。A P D アレイ 1 D において、Z 軸方向から見た場合に、増倍層 4 0 は、第五半導体層 2 5 によって囲われている。Z 軸向から見た場合に、増倍層 4 0 と第

50

五半導体層 2 5 とは、重なっていない。この場合、Z 軸方向から見た場合に、複数の第二半導体層 2 2 において、各第二半導体層 2 2 と増倍層 4 0 とが重なる領域の面積は互いに等しい。Z 軸方向から見た場合に、各第二半導体層 2 2 は、増倍層 4 0 の縁 4 1 a , 4 1 b , 4 1 c , 4 1 d よりも X 軸方向及び Y 軸方向に延在している。

【 0 0 9 7 】

A P D アレイ 1 E において、複数の第二半導体層 2 2 は、2 行 2 列で配列されている。換言すれば、A P D アレイ 1 E において、複数の第二半導体層 2 2 の配列は、2 行以下 3 列未満である。

【 0 0 9 8 】

A P D アレイ 1 E において、増倍層 4 0 は、矩形形状を呈している。増倍層 4 0 は、X 軸方向に延在している。A P D アレイ 1 E において、Z 軸方向から見た場合に、増倍層 4 0 は、第五半導体層 2 5 によって囲われている。Z 軸方向から見た場合に、増倍層 4 0 と第五半導体層 2 5 とは、重なっていない。この場合、Z 軸方向から見た場合に、複数の第二半導体層 2 2 において、各第二半導体層 2 2 と増倍層 4 0 とが重なる領域の面積は互いに等しい。Z 軸方向から見た場合に、各第二半導体層 2 2 は、増倍層 4 0 の縁 4 1 a , 4 1 b , 4 1 c , 4 1 d よりも X 軸方向及び Y 軸方向に延在している。

10

【 0 0 9 9 】

次に、図 9 を参照して、本実施形態の変形例における A P D アレイについて説明する。図 9 は、本実施形態の変形例における A P D アレイ 1 F の断面図である。本変形例は、概ね、上述した実施形態及び変形例と類似又は同じである。本変形例は、A P D アレイが裏面入射型である点において、上述した実施形態と相違する。以下、上述した実施形態に示した構成との相違点を主として説明する。

20

【 0 1 0 0 】

A P D アレイ 1 F において、各 A P D 1 5 は、第二面 1 2 から検出光を入射する裏面入射型である。本変形例において、第二面 1 2 が入射面に相当する。Z 軸は、第一面 1 1 に直交している。A P D アレイ 1 F は、半導体基板 1 0 F を備えている。半導体基板 1 0 F は、図 5 に示されている A P D アレイ 1 の半導体基板 1 0 が上下反転した構成を有している。A P D アレイ 1 F は、半導体基板 1 0 F として、半導体基板 1 0 A、1 0 B、1 0 C、1 0 D、1 0 E が上下反転した構成を有していてもよい。

【 0 1 0 1 】

Z 軸方向において、半導体基板 1 0 F の第一半導体層 2 1 の厚さは、半導体基板 1 0 の第一半導体層 2 1 の厚さよりも小さい。この点のみにおいて、半導体基板 1 0 F は、半導体基板 1 0 と異なる。たとえば、半導体基板 1 0 F は、半導体基板 1 0 の第一半導体層 2 1 の一部を除去することによって形成される。たとえば、半導体基板 1 0 F は、半導体基板 1 0 A の第一半導体層 2 1 を Z 軸方向において研削することによって形成される。

30

【 0 1 0 2 】

A P D アレイ 1 F は、半導体基板 1 0 F に加えて、たとえば、シリコン酸化膜 9 1、遮光膜 9 2、複数のパッド電極 9 3、複数のパンプ電極 9 4、パッシベーション層 9 5、樹脂層 9 6、ハンダ 9 7、制御基板 9 8 を備えている。半導体基板 1 0 F の第二面 1 2 は、シリコン酸化膜 9 1 によって覆われている。半導体基板 1 0 F の第二面 1 2 は、シリコン酸化膜 9 1 の代わりにシリコン窒化膜によって覆われていてもよい。

40

【 0 1 0 3 】

本変形例において、シリコン酸化膜 9 1 は、遮光膜 9 2 によって覆われている。遮光膜 9 2 は、検出対象の電磁波又は粒子線以外の電磁波などを遮断する。遮光膜 9 2 の材料は、検出対象の電磁波又は粒子線に応じて選択されていてもよい。遮光膜 9 2 の材料は、たとえば、アルミニウムを含んでいる。遮光膜 9 2 は、検出対象の高エネルギー線を透過し、可視光を遮断する。この結果、高エネルギー線の検出精度が向上する。検出対象が可視光である場合には、A P D アレイ 1 F は、遮光膜 9 2 を含んでいなくてもよい。

【 0 1 0 4 】

複数のパッド電極 9 3 は、それぞれ、半導体基板 1 0 F の第一面 1 1 上に設けられてい

50

る。各パッド電極 9 3 は、半導体基板 1 0 F の第一面 1 1 に接している。複数のパッド電極 9 3 は、それぞれ、半導体電極層 4 5、第二半導体層 2 2、及び、第五半導体層 2 5 のいずれかに接するように配置される。

【 0 1 0 5 】

複数のバンプ電極 9 4 は、それぞれ対応するパッド電極 9 3 上に設けられている。バンプ電極 9 4 の材料は、たとえば、ニッケル又は金である。A P D アレイ 1 F は、バンプ電極 9 4 の代わりに、ダイレクトボンドであってもよい。ダイレクトボンドは、たとえば、C u - C u ダイレクトボンドである。

【 0 1 0 6 】

パッシベーション層 9 5 は、各パッド電極 9 3 がバンプ電極 9 4 と接している部分を除き、半導体基板 1 0 F の第一面 1 1 及びパッド電極 9 3 を覆っている。パッシベーション層 9 5 の材料は、たとえば、窒化シリコンを含んでいる。ハンダ 9 7 は、制御基板 9 8 とバンプ電極 9 4 とを電氣的に接続する。樹脂層 9 6 は、バンプ電極 9 4 及びハンダ 9 7 を覆うように、制御基板 9 8 に設けられている。

10

【 0 1 0 7 】

制御基板 9 8 は、ハンダ 9 7、バンプ電極 9 4、及び、パッド電極 9 3 を通して、半導体基板 1 0 F に電氣的に接続されている。制御基板 9 8 は、パッド電極 9 3 を介して、半導体電極層 4 5、第二半導体層 2 2、及び、第五半導体層 2 5 に電位を付与する。制御基板 9 8 は、A P D アレイ 1 F の各 A P D 1 5 から検出信号を取得し、処理する。制御基板 9 8 は、各 A P D 1 5 からの検出信号を読み出す読み出し回路を含んでいる。制御基板 9 8 は、たとえば、A S I C (Application Specific Integrated Circuit) 又は P C B (Printed Circuit Board) 基板を含んでいる。

20

【 0 1 0 8 】

次に、図 1 0 を参照して、本実施形態の変形例における A P D アレイについて説明する。図 1 0 は、本実施形態の変形例における A P D アレイ 1 G の概略平面図である。本変形例は、概ね、上述した実施形態及び変形例と類似又は同じである。本変形例は、複数の第二半導体層 2 2 と増倍層 4 0 との位置関係において、A P D アレイ 1 F と相違する。以下、A P D アレイ 1 F との相違点を主として説明する。

【 0 1 0 9 】

A P D アレイが裏面入射型の場合には、複数の第二半導体層 2 2 は、行方向及び列方向において 3 列以上になるように行列状に 2 次元配列されていてもよい。図 1 0 を参照して、この場合の A P D アレイの構成について説明する。

30

【 0 1 1 0 】

A P D アレイ 1 G において、複数の第二半導体層 2 2 は、9 行 7 列で配列されている。したがって、A P D アレイ 1 G において、複数の第二半導体層 2 2 は、行方向及び列方向において 3 列以上になるように行列状に 2 次元配列されている。

【 0 1 1 1 】

A P D アレイ 1 G においても、増倍層 4 0 は、矩形形状を呈している。Z 軸方向から見た場合に、増倍層 4 0 の縁 4 1 a、4 1 b、4 1 c、4 1 d は、X 軸方向において互いに対向する一対の縁 4 1 a、4 1 b と、Y 軸方向において互いに対向する縁 4 1 c、4 1 d とを含んでいる。

40

【 0 1 1 2 】

A P D アレイ 1 G において、Z 軸方向から見た場合に、X 軸方向において、複数の第二半導体層 2 2 は、一対の縁 4 1 a、4 1 b の間に位置している。Y 軸方向において、複数の第二半導体層 2 2 は、一対の縁 4 1 c、4 1 d の間に位置している。換言すれば、複数の第二半導体層 2 2 は、Z 軸方向から見た場合に、増倍層 4 0 が位置する範囲内に配置されている。さらに換言すれば、Z 軸方向から見た場合に、増倍層 4 0 の縁 4 1 a、4 1 b、4 1 c、4 1 d の全てが、複数の第二半導体層 2 2 のうち最も外側に位置する第二半導体層 4 4 の縁 4 4 a よりも外側に位置している。さらに換言すれば、Z 軸方向から見た場合に、増倍層 4 0 は、複数の第二半導体層 2 2 を跨ぐように配置されている。この場合も

50

、Z軸方向から見た場合に、複数の第二半導体層22において、各第二半導体層22と増倍層40とが重なる領域の面積は互いに等しい。Z軸向から見た場合に、増倍層40と第五半導体層25とは、少なくとも一部において互いに重なっている。Z軸方向から見た場合、APDアレイ1Gの増倍層40の縁41a, 41b, 41c, 41dは、全周において第五半導体層25と重なっている。

#### 【0113】

以上説明したように、APDアレイ1, 1A, 1B, 1C, 1D, 1E, 1F, 1Gにおいて、複数のAPD15は、第一導電型の第一半導体層21と、第二導電型の複数の第二半導体層22と、増倍層40とを含んでいる。増倍層40の第三半導体層23と第四半導体層24との各々は、Z軸方向から見た場合に、複数の第二半導体層22と重なるように連続して設けられている。この場合、検出対象の電磁波又は粒子線の入射によって発生したキャリアが、複数の第二半導体層22と重なるように連続して設けられた増倍層40によって増倍される。増倍層40において増倍されたキャリアは、各第二半導体層22から出力される。この構成によれば、デッドエリアが削減され得る。このため、マイクロレンズアレイなどが無いシンプルな構成において、デッドエリアが削減され、所望の電磁波又は粒子線が検出され得る。この構成によれば、感度層が比較的広く構成され得る。このため、特に、比較的広い感度層を要する電磁波又は高エネルギー線の検出が実現され得る。

#### 【0114】

図11(a)及び図11(b)は、比較例における半導体層の構成を示す概略図である。図11(a)に示されているように、APD115毎に第二導電型の第二半導体層22と第一導電型の半導体層140とによって増倍層が形成される場合、APD115間においてゲインにばらつきが生じていた。図11(b)に示されているように、互いに異なる第二導電型の第二半導体層22に対して1つの第一導電型の半導体層140が形成される場合には、互いに異なる第二半導体層22を含むAPD115の間において、ゲインが均一になるように思われる。しかし、図11(b)に示されている構成では、第二半導体層22と半導体層140との間に高電界層53が形成されるため、各第二半導体層22の縁22bに電界が集中し、各第二半導体層22と半導体層140との間においてエッジブレークダウンが生じる。

#### 【0115】

APDアレイ1, 1A, 1B, 1C, 1D, 1E, 1F, 1Gにおいて、複数の第二半導体層22と別に増倍層40が設けられているため、高電界層53と第二半導体層22とが互いに離間している。したがって、各第二半導体層22における電界の集中が抑制され、各第二半導体層22においてエッジブレークダウンも抑制されている。

#### 【0116】

APDアレイ1, 1A, 1B, 1C, 1D, 1E, 1F, 1Gにおいて、増倍層40は、複数の第二半導体層22と重なるように連続して設けられている。この構成によれば、各APD15におけるゲインのばらつきも抑制され得る。図12及び図13は、APDアレイ1の評価結果を示している。この評価において、X軸方向に配列された4つの第二半導体層22を通過するように、レーザ光をX軸方向に掃引した。

#### 【0117】

図12は、レーザ光の照射位置に応じた、各第二半導体層22に対応するAPD15の出力を示している。図12において、横軸はレーザの照射位置を示しており、縦軸は出力される電流値を示している。信号S1からS2は、それぞれ、各第二半導体層22に対応するAPD15からの出力を示している。

#### 【0118】

図13は、レーザ光の照射位置に応じた、APDアレイ1の全体の出力を示している。図13において、横軸はレーザの照射位置を示しており、縦軸は出力される電流値を示している。信号S5は、それぞれ、各APD15からの出力の合計を示している。このように、APDアレイ1によれば、各APD15間におけるゲインのばらつきが抑制され、均一なゲインで動作されることが確認された。

10

20

30

40

50

【 0 1 1 9 】

A P D アレイ 1 , 1 A , 1 B , 1 C , 1 D , 1 E , 1 F , 1 G では、 Z 軸方向において、第一半導体層 2 1 と第四半導体層 2 4 との最短距離 L 1 1 は、複数の第二半導体層 2 2 と第三半導体層 2 3 との最短距離 L 1 2 よりも大きい。この場合、第一半導体層 2 1 と第四半導体層 2 4 との間における感度層 5 5 が比較的広く確保される。したがって、比較的広い感度層 5 5 を要する電磁波又は粒子線の検出精度が向上し得る。たとえば、6 0 0 0 n m よりも長い波長を有する近赤外線、紫外線よりも短い波長を有する X 線、及び、高エネルギー粒子線は、半導体基板を通過しやすい。比較的広い感度層 5 5 が確保されれば、6 0 0 n m ~ 1 2 0 0 n m の波長を有する電磁波、及び、X 線などの高エネルギー線の検出精度も向上し得る。

10

【 0 1 2 0 】

図 1 4 は、各半導体層間における電界を示す概略図である。各矢印は、電気力線を示している。各第二半導体層 2 2 の面 2 2 a と境界 B 1 との間における電界 E 1 の電界強度は、増倍層 4 0 において増倍されたキャリアが分岐及び誘導される電界強度であればよい。電界 E 1 の電界強度、すなわち分岐層 5 1 の電界強度は、たとえば、1 0 <sup>1</sup> ~ 1 0 <sup>2</sup> V / c m である。電界 E 1 の電界強度が 1 0 <sup>3</sup> V / c m を超えると、エッジブレークダウンが生じるおそれがある。境界 B 5 と境界 B 2 との間における電界 E 2 の電界強度は、発生したキャリアが十分に加速（ドリフト）される電界強度であればよい。応答性を確保するため、電界 E 2 の電界強度、すなわち感度層 5 5 の電界強度は、たとえば、1 0 <sup>2</sup> ~ 1 0 <sup>4</sup> V / c m 程度である。境界 B 3 と境界 B 4 との間における電界 E 3 の電界強度は、流れ込んだキャリアを増倍する電界強度であればよい。電界 E 3 の電界強度、すなわち高電界層 5 3 の電界強度は、たとえば、1 0 <sup>5</sup> ~ 1 0 <sup>6</sup> V / c m 程度である。

20

【 0 1 2 1 】

A P D アレイ 1 , 1 A , 1 B , 1 C , 1 D , 1 E , 1 F , 1 G では、第三半導体層 2 3 の不純物濃度は、第四半導体層の不純物濃度よりも高い。この場合、動作時において、第一半導体層 2 1 と第四半導体層 2 4 との間における電界 E 3 の電界強度が、第一面 1 1 と第三半導体層 2 3 との間における電界 E 1 の電界強度よりも大きい。図 1 5 は、半導体基板における電界強度を示す模式図である。上述した電界 E 1 , E 2 , E 3 の関係は、第三半導体層 2 3 の不純物濃度、及び、第四半導体層の不純物濃度に依存する。第三半導体層 2 3 の不純物濃度が第四半導体層の不純物濃度よりも高ければ、電界 E 3 > 電界 E 2 > 電界 E 1 の関係になり得る。したがって、第一半導体層 2 1 と第四半導体層 2 4 との間において、発生したキャリアの移動速度が確保され、高速応答が実現され得る。複数の第二半導体層 2 2 と増倍層 4 0 との間におけるエッジブレークダウンがさらに抑制され得る。

30

【 0 1 2 2 】

A P D アレイ 1 , 1 A , 1 B , 1 C , 1 D , 1 E , 1 F , 1 G において、式 ( 3 ) が満たされている。

【 数 3 】

$$\int_A^{A+L_\alpha} f(x) dx \geq \int_B^{B+L_\beta} g(x) dx \quad \dots (3)$$

40

【 0 1 2 3 】

“ x ” は、 Z 軸方向における第一面 1 1 からの任意の位置である。“ f ( x ) ” は、任意の位置 “ x ” における第三半導体層 2 3 の不純物濃度である。“ g ( x ) ” は、任意の位置 “ x ” における第四半導体層 2 4 の不純物濃度である。“ L ” は、 Z 軸方向における第三半導体層 2 3 の厚さである。“ L ” は、 Z 軸方向における第四半導体層 2 4 の厚さである。“ A ” は、 Z 軸方向における第一面 1 1 と第三半導体層 2 3 との最短距離である。“ B ” は、 Z 軸方向における第一面 1 1 と第四半導体層 2 4 との最短距離である。上述した電界 E 1 , E 2 , E 3 の関係は、第三半導体層 2 3 の不純物積分量、及び、第四半導体層の不純物積分量に依存する。第三半導体層 2 3 の不純物積分量が第四半導体層の不純物積分量よりも高ければ、電界 E 3 > 電界 E 2 > 電界 E 1 の関係になり得る。この場合、第一半導体層 2 1 と

50

第四半導体層 2 4 との間において、発生したキャリアの移動速度が確保され、高速応答が実現され得る。複数の第二半導体層 2 2 と増倍層 4 0 との間において、エッジブレイクダウンがさらに抑制され得る。

【 0 1 2 4 】

半導体基板 1 0 , 1 0 A , 1 0 B , 1 0 C , 1 0 D , 1 0 E , 1 0 F , 1 0 G は、Z 軸方向から見た場合に、複数の第二半導体層 2 2 が配列されている領域の全体を囲む第二導電型の第五半導体層 2 5 を含んでいる。Z 軸方向から見た場合に、第三半導体層 2 3 と第五半導体層 2 5 とは、少なくとも一部において互いに重なっている。この場合、各第二半導体層 2 2 におけるゲインのばらつきがさらに低減され得る。さらに、検出対象領域 D A 外において発生したキャリアの第二半導体層 2 2 への移動が抑制され得る。

10

【 0 1 2 5 】

A P D アレイ 1 A , 1 B において、Z 軸方向から見て、各第二半導体層 2 2 の縁 2 2 b は、接合終端延長領域 2 7 , 2 7 C によって覆われている。各第二半導体層 2 2 を覆う接合終端延長領域 2 7 , 2 7 C は、第二半導体層 2 2 の不純物濃度よりも低い不純物濃度を有している第二導電型の半導体領域 2 0 である。この場合、各第二半導体層 2 2 におけるエッジブレイクダウンがさらに抑制され得る。

【 0 1 2 6 】

A P D アレイ 1 A において、各第二半導体層 2 2 のうち半導体領域 2 0 に面する部分は、接合終端延長領域 2 7 に覆われている。この場合、各第二半導体層 2 2 におけるエッジブレイクダウンがさらに抑制され得る。

20

【 0 1 2 7 】

A P D アレイ 1 A , 1 B において、各第二半導体層 2 2 を覆う接合終端延長領域 2 7 は、増倍層 4 0 と離間している。この場合、各第二半導体層 2 2 と増倍層 4 0 との間における電界強度がより均一になり得る。

【 0 1 2 8 】

A P D アレイ 1 A , 1 B において、Z 軸方向から見た場合に、第五半導体層 2 5 の縁 2 5 b は、接合終端延長領域 2 7 , 2 7 C によって覆われている。第五半導体層 2 5 を覆っている接合終端延長領域 2 7 , 2 7 C は、第五半導体層 2 5 の不純物濃度よりも低い不純物濃度を有している第二導電型の半導体領域である。この場合、第五半導体層 2 5 におけるエッジブレイクダウンが抑制され得る。

30

【 0 1 2 9 】

半導体基板 1 0 , 1 0 A , 1 0 B , 1 0 C , 1 0 D , 1 0 E , 1 0 F , 1 0 G は、第一導電型の第六半導体層 2 6 を含んでいる。第六半導体層 2 6 は、Z 軸方向から見た場合に、複数の第二半導体層 2 2 のうち互いに隣り合う第二半導体層 2 2 の間に設けられている。第六半導体層 2 6 の不純物濃度は、半導体領域 2 0 の不純物濃度よりも高い。この場合、互いに隣り合う第二半導体層 2 2 間におけるキャリアの移動が抑制され得る。

【 0 1 3 0 】

Z 軸方向において、第六半導体層 2 6 の厚さは、各第二半導体層 2 2 の厚さよりも小さくてもよい。この場合、第六半導体層 2 6 と第三半導体層 2 3 との間におけるエッジブレイクダウンが抑制され得る。

40

【 0 1 3 1 】

半導体基板 1 0 , 1 0 A , 1 0 B , 1 0 C , 1 0 D , 1 0 E , 1 0 F , 1 0 G は、シリコンを含んでいる。第二導電型は、N 型である。シリコンを含む半導体基板においては、正孔よりも電子の方が 2 0 倍ほど増倍されやすい。したがって、N 型の第二半導体層 2 2 に対して増倍層 4 0 が設けられることによって、増倍率が向上し得る。

【 0 1 3 2 】

半導体基板 1 0 , 1 0 A , 1 0 B , 1 0 C , 1 0 D , 1 0 E , 1 0 F , 1 0 G は、リン化インジウムを含んでいてもよい。この場合、第二導電型は、P 型であってもよい。リン化インジウムを含む半導体基板においては、電子よりも正孔の方が増倍されやすい。したがって、P 型の第二半導体層 2 2 に対して増倍層 4 0 が設けられることによって、増倍率

50

が向上し得る。

【0133】

APDアレイ1, 1A, 1B, 1C, 1D, 1E, 1F, 1Gにおいて、増倍層40は、Z軸方向において、第一面11から10 $\mu$ m以下の範囲に設けられている。この場合、形成が比較的容易な構成を有している。特に、イオン注入によって、増倍層40が形成される場合に比較的容易に形成され得る。

【0134】

APDアレイ1, 1A, 1B, 1C, 1D, 1E, 1F, 1Gにおいて、第一面11に沿った方向において、各第二半導体層22の幅W1は、10 $\mu$ mよりも大きい。この場合、検出を行う各画素のサイズが確保され得る。

10

【0135】

APDアレイ1, 1A, 1B, 1Cにおいて、Z軸方向から見た場合に、増倍層40は、互いに対向する一对の縁41a, 41bを含んでいる。複数の第二半導体層22は、一对の縁41a, 41bの対向方向において3つ以上配列されている。Z軸方向から見た場合に、上記対向方向において、複数の第二半導体層22は、一对の縁41a, 41bの間に位置している。この場合、各第二半導体層22におけるゲインのばらつきがさらに抑制され得る。

【0136】

APDアレイ1, 1A, 1B, 1C, 1D, 1E, 1F, 1Gにおいて、Z軸方向から見た場合に、複数の第二半導体層22において、各第二半導体層22と増倍層40とが重なる領域の面積は互いに等しい。この場合、各第二半導体層22におけるゲインのばらつきがさらに抑制され得る。

20

【0137】

APDアレイ1, 1A, 1B, 1C, 1D, 1Eにおいて、Z軸方向から見た場合に、増倍層40の縁41a, 41b, 41c, 41dは、遮蔽部材としてのメタル層31と重なっている。この場合、検出対象領域DA外におけるキャリアの発生が抑制され得る。

【0138】

APDアレイ1, 1A, 1B, 1C, 1D, 1E, 1F, 1Gにおいて、Z軸方向から見た場合に、各第二半導体層22の幅W1は、互いに隣り合う第二半導体層22間の最短距離L1よりも大きい。この場合、第二半導体層22からの電気力線の方向が纏まり、発生したキャリアが第二半導体層22に誘導され易い。

30

【0139】

以上、本発明の実施形態及び変形例について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

【0140】

たとえば、半導体基板10, 10A, 10B, 10C, 10D, 10E, 10F, 10Gにおいて、複数の第六半導体層26の代わりに、別のセパレータを含んでもよい。たとえば、シャロウトレンチアイソレーション(STI: Shallow Trench Isolation)又はLOCOS(LOCAl Oxidation of Silicon)構造が形成されていてもよい。この場合、STI又はLOCOS構造は、各第六半導体層26の位置に形成される。しかし、この場合、半導体基板の表面が平坦でなくなる。複数の第六半導体層26が形成される構造が用いられる場合、STI又はLOCOS構造が用いられる場合よりも、増倍層40における電界強度の均一性がより向上し得る。増倍層40が形成された後にSTI又はLOCOS構造が形成される場合には、増倍層40が形成される前にSTI又はLOCOS構造が形成される場合よりも、増倍層40における電界強度の均一性は向上する。

40

【符号の説明】

【0141】

1, 1A, 1B, 1C, 1D, 1E, 1F, 1G... APDアレイ、10, 10A, 10B, 10C, 10D, 10E, 10F, 10G... 半導体基板、11... 第一面、12... 第二

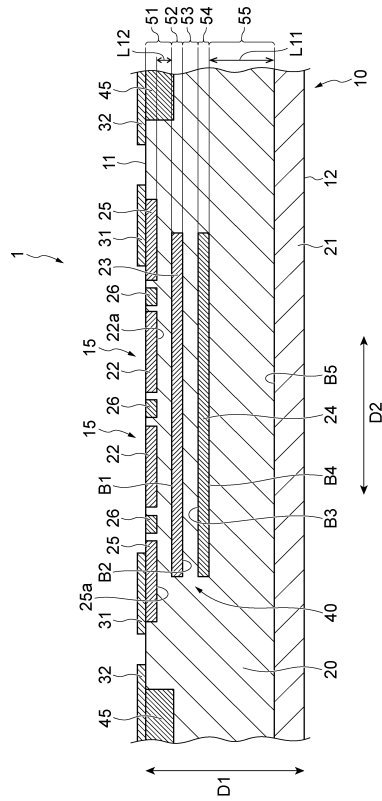
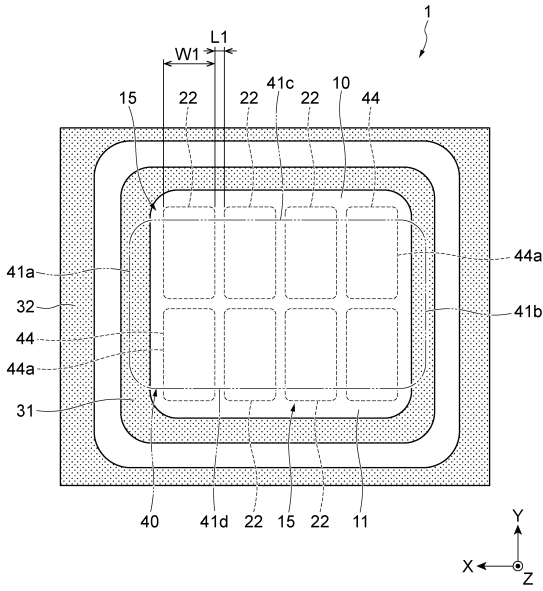
50

面、20...半導体領域、21...第一半導体層、22...第二半導体層、22b, 25b, 41a, 41b, 41c, 41d...縁、23...第三半導体層、24...第四半導体層、25...第五半導体層、26...第六半導体層、27, 27C...接合終端延長領域、40...増倍層、15...APD、L1, L11, L12...最短距離、W1...幅。

【図面】

【図1】

【図2】



10

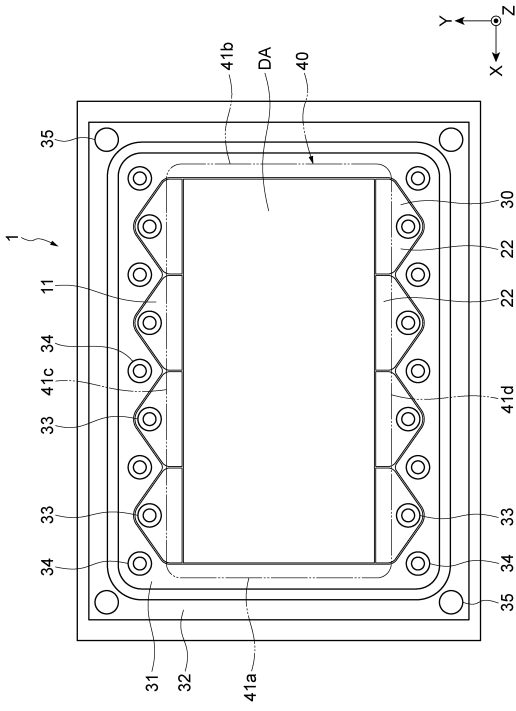
20

30

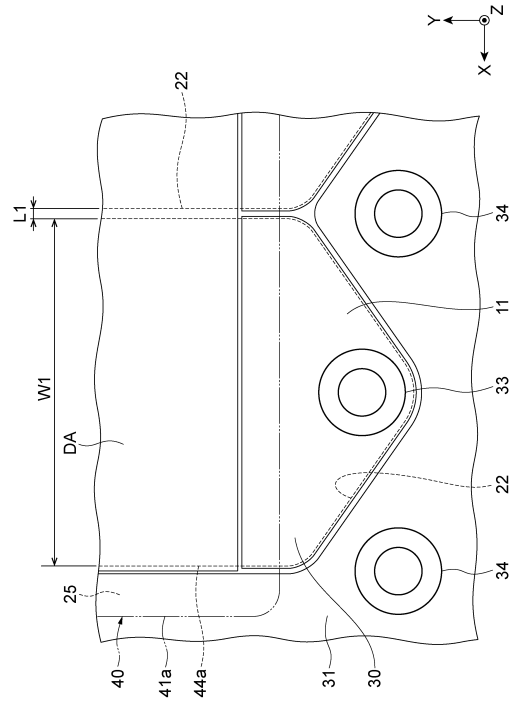
40

50

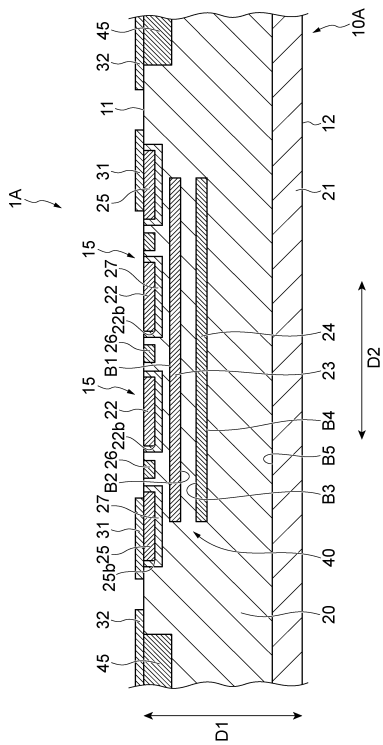
【図 3】



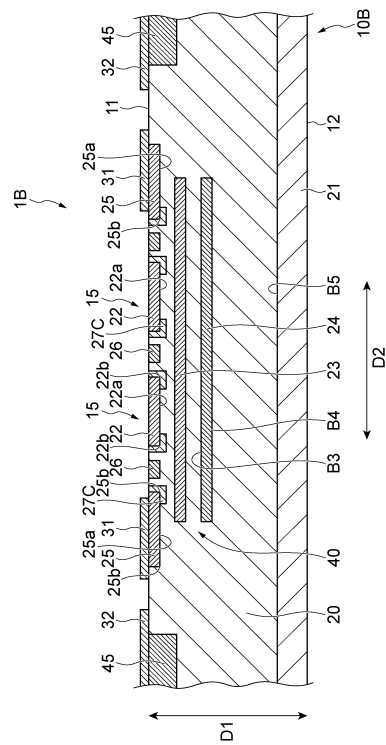
【図 4】



【図 5】



【図 6】



10

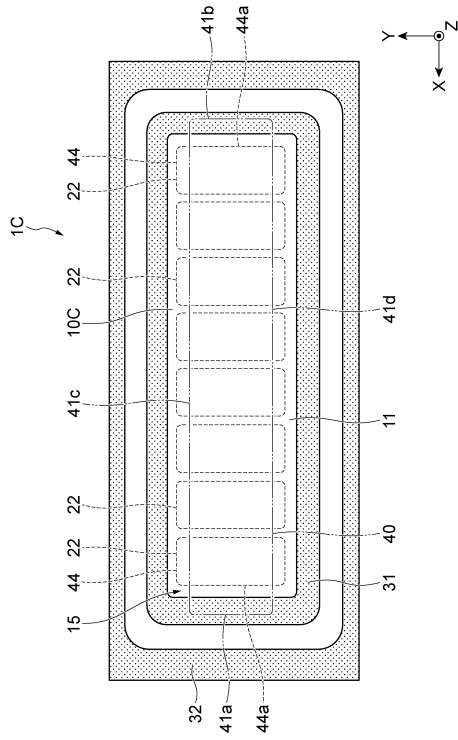
20

30

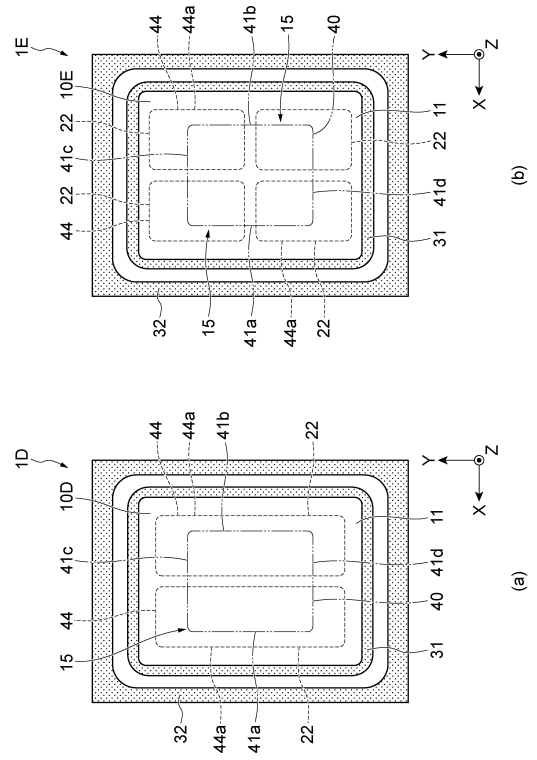
40

50

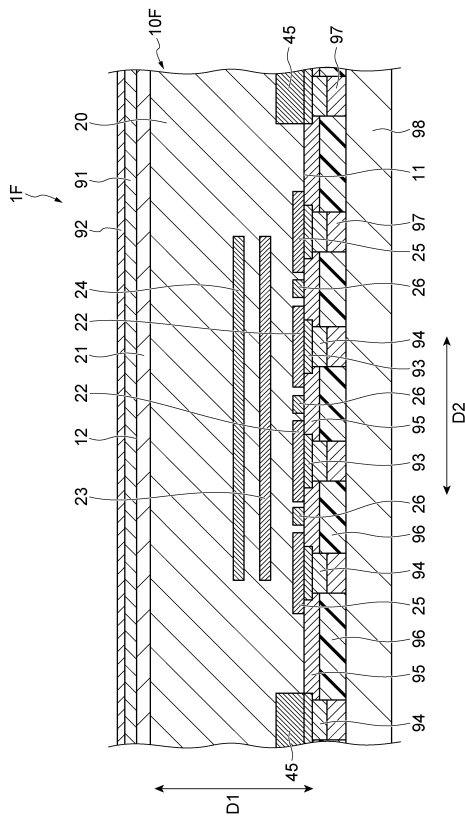
【 図 7 】



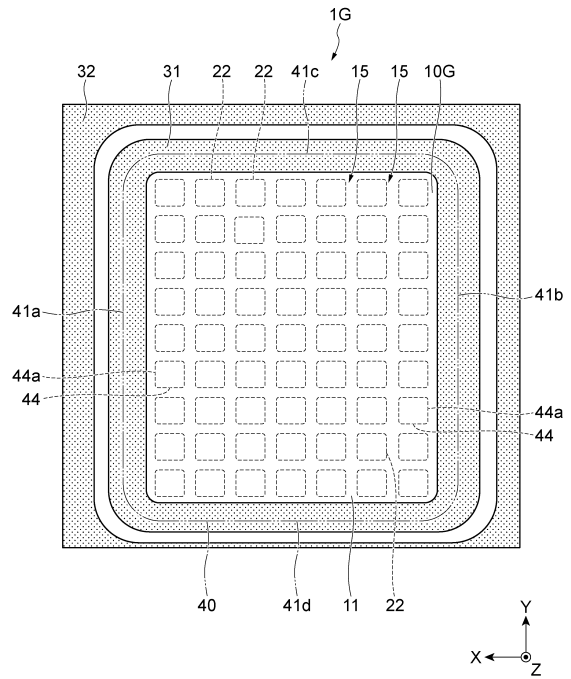
【 図 8 】



【 図 9 】



【 図 10 】



10

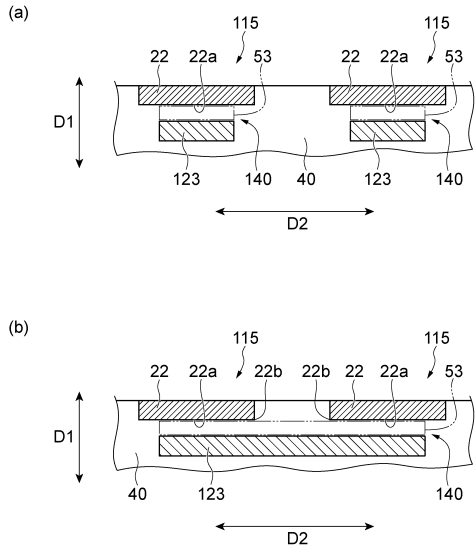
20

30

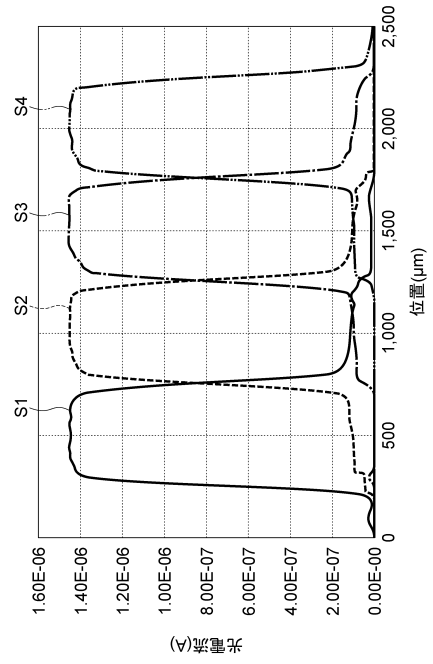
40

50

【 1 1 】



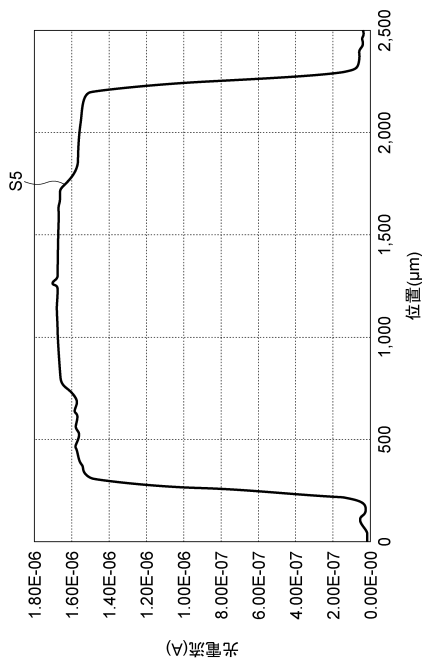
【 1 2 】



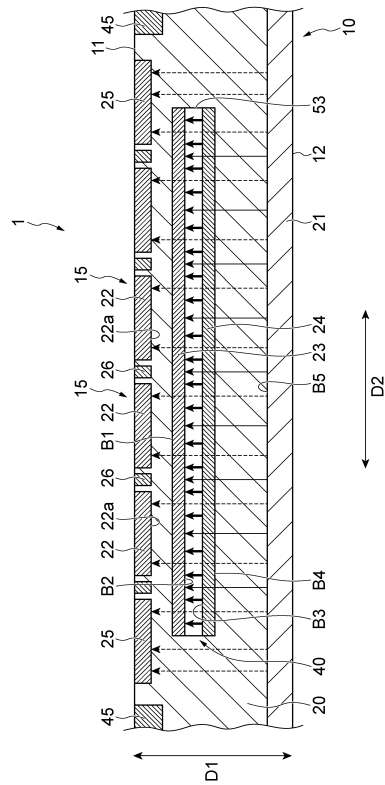
10

20

【 1 3 】



【 1 4 】

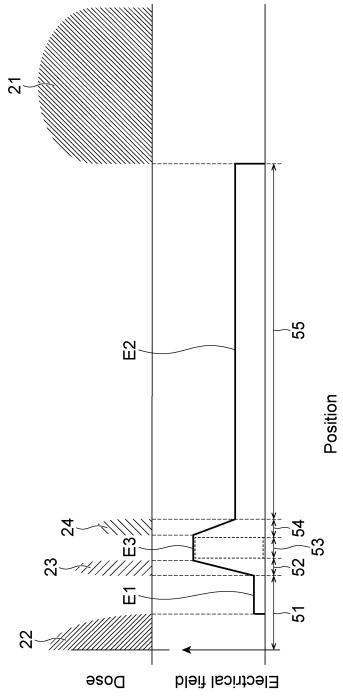


30

40

50

【 図 15 】



10

20

30

40

50

## フロントページの続き

審査官 脇水 佳弘

- (56)参考文献 国際公開第2016/013170(WO, A1)  
特開2019-169643(JP, A)  
米国特許出願公開第2018/0374890(US, A1)  
国際公開第2020/121851(WO, A1)  
米国特許出願公開第2016/0093648(US, A1)
- (58)調査した分野 (Int.Cl., DB名)  
H10F 39/18  
H10F 30/225  
G01J 1/42  
G01J 1/02