

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94100747

※申請日期：94.1.11

※IPC 分類：G05F 3/16 (2006.01)

一、發明名稱：(中文/英文)

低偏移能隙電壓參考

A LOW OFFSET BANDGAP VOLTAGE REFERENCE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商亞拿羅設計公司

ANALOG DEVICES, INC.

代表人：(中文/英文)

威廉 懷斯

WISE, WILLIAM

住居所或營業所地址：(中文/英文)

美國麻州諾伍市科技路1號

ONE TECHNOLOGY WAY, NORWOOD, MASSACHUSETTS 02062,

U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 人)

姓 名：(中文/英文)

斯戴芬 瑪瑞卡

MARINCA, STEFAN

國 籍：(中文/英文)

羅馬尼亞 ROMANIA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年01月13日；10/756,155

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於電壓參考電路，且特定言之係關於一種使用能隙技術而實施之電壓參考電路。更特定言之，本發明係關於一種提供具有對偏移之減少之敏感性之方法及電路。

【先前技術】

一能隙電壓參考電路係基於具有相等及相反溫度係數TC之兩電壓之相加。該第一電壓為一順向偏壓雙極電晶體之一基極-發射極電壓。此電壓具有一約為-2.2 mV/C之負TC，且通常被表示為對絕對溫度或CTAT電壓之補償。與絕對溫度成比例之該第二電壓或一PTAT電壓係藉由放大以不同電流密度操作之雙極電晶體之兩順向偏壓基極-發射極接合點之電壓差(ΔV_{be})來形成。關於包括先前技術方法之實例之能隙電壓參考電路之更多資訊可在2003年2月27日申請之Stefan Marinca之同在申請中之美國專利第10/375,593號中發現，其內容以引用方式併入本文中。

應瞭解，對於在集極電流密度下以1/50之比率操作之一對雙極電晶體而言， ΔV_{be} 在室溫下大約為100 mV。因為一CTAT電壓通常約為700 mV，應瞭解，為了平衡該CTAT電壓，該 ΔV_{be} 需要被放大約5倍。然而，該 ΔV_{be} 電壓之放大具有將偏移電壓包括於該PTAT電壓中之效應，且因此該參考電壓精度可能受到影響。與使用雙極技術來實施之類似電路相比，當該電路使用CMOS方法時此等誤差更大。效能中

之此差異可追溯至該事實：在簡單CMOS方法中，僅寄生雙極電晶體可用，且基於MOS電晶體之放大器具有更大輸入電壓偏移。

圖1為一習知CMOS實施例之能隙電壓參考之一實例。提供三pMOS電晶體M1、M2及M3，每一電晶體均具有相同寬度/長度(W/L)之縱橫比。提供一第一及第二雙極電晶體Q1及Q2，其中Q2較Q1具有更大發射面積。因此，Q1與Q2以不同電流密度操作(對該等兩者而言發射極電流相同)。耦接至Q1及Q2兩者之一放大器A1使得該等兩輸入位準保持為相同值，且因此在整個電阻器r1上發展一電壓 ΔV_{be} 。 ΔV_{be} 為下列形式：

$$V_{be} = (kT/q)(\ln(n)) \quad (1)$$

其中：

k為玻耳茲曼常數；

q為電子上之電荷；

T為絕對溫度(Kelvin)中之操作溫度(operating temperature)；

n為兩雙極電晶體之集極電流密度比。

藉由該電路提供之電壓參考Vref可被判定為Q3之基極-發射極電壓加上r2倍之電壓降落。

$$V_{ref} = V_{beQ3} + (r2/r1)(\Delta V_{be}) \quad (2)$$

因為該輸入偏移電壓以係數 $1+r2/r1$ 倍被產生至輸出端，所以 $r2/r1$ 之該標度值選擇為大約5，且因而該放大器偏移電壓亦放大約一係數6倍。因此，應瞭解，對於每一1 mV輸入

電壓偏移而言，一約為6 mV之誤差被反映至該能隙參考中。一種用於減少此偏移敏感性之方法為堆疊該等雙極電晶體。然而，該堆疊受可用之淨空高度之限制，意即大多數電路必須自一可用之2.6 V電源電壓而操作，且因此堆疊之數目通常限於2或3。因此，儘管已知在放大器之輸入端處堆疊電晶體，以產生 ΔV_{be} 之一多值，但因為此 ΔV_{be} 在該放大器之該輸入端處之整個電阻器上產生，所以亦存在一由該電路產生之偏移影響。

能隙電壓參考電路中之另一誤差源可追溯至電阻器失配。藉由檢查方程式(2)中之該等項可瞭解，電阻比(resistor ratio)中之任何誤差直接轉換為參考電壓。因此，需要最小化此誤差源。

此外，另一誤差源可追溯至通常所謂之"曲率"。此為二次誤差組件。在一雙極電晶體中，在一PTAT集極電流下偏壓之基極-發射極電壓由下式給定：

$$V_{be}(T) = V_{G0} \left(1 - \frac{T}{T_0} \right) + V_{be0} \frac{T}{T_0} - (\sigma - 1) \frac{kT}{q} \ln \left(\frac{T}{T_0} \right) \quad (3)$$

其中：

$V_{be}(T)$ 為在一操作溫度下之雙極電晶體之基極-發射極電壓之溫度依賴性；

V_{be0} 為在一參考溫度下之該雙極電晶體之基極-發射極電壓；

V_{G0} 為在0K下之能隙電壓或基極-發射極電壓；

T_0 為參考溫度；且

σ 為飽和電流溫度指數。

方程式(3)之最後項對該曲率有影響，且理想時可被最小化。

頒予 Infineon Technologies，AG之美國專利第6,605,987號中提供了在一具有低操作電壓環境中之能隙電路之實施之一實例。該專利描述用於產生一具有一第一溫度依賴性之第一部分電流之橫向電晶體之用途。此等橫向電晶體形成一放大器之一非對稱輸入對，且其集極電流驅動MOS電晶體之一第二對。源於此等橫向電晶體與MOS電晶體之耦接，需要該等MOS電晶體在低臨限電壓下操作，此需要使用特殊CMOS方法之實施。此外，該電路需要多個電阻器之使用，該等電阻器需要相互匹配。儘管此電路在僅具有可用之低操作電壓環境中為有利的，但此電路不適於所有應用(因為對電阻器匹配及MOS電晶體之實施之該等要求較苛刻)。

Gregoire，Jr之美國專利第6 614 209號中給出了一能隙參考電路之實施之一實例，該電路特別設計用於減少所利用之電阻器之數目。該專利描述一利用串聯耦接之多個PTAT源之能隙參考電路以產生一最終PTAT電壓。一雙極電晶體之一電流偏壓之基極-發射極區域耦接於該最終PTAT電壓與該能隙電壓參考之一輸出端子之間，使得將該基極-發射極電壓添加至該最終PTAT電壓，藉此產生一穩定電壓參考。儘管此方法使得通常用於能隙電路中之電阻比減少，

但該方法具有許多缺陷。由於該電路不提供曲率校正，所以需要產生一大 ΔV_{be} (PTAT) 來平衡基極-發射極電壓(CTAT)。第 6 614 209 號美國專利藉由使用該專利之圖 5 中所示之兩級架構來達成此平衡。所要之 PTAT 電壓藉由均包括放大器之初始 PTAT 源(參考區塊 510)與一終端 PTAT 源(參考區塊 530)之組合來提供。歸因於該電路之組態，因為第二放大器之兩輸入端具有一約為 $3\Delta V_{be}$ (在室溫時大約為 330 mV)之普通電壓，所以與第一放大器相比，第二放大器需要一高淨空高度環境來有效地操作。此限制此能隙電壓參考可被利用之應用。其次，對兩放大器之需要增加了用於實施此一電路之模具(die)上所需之面積及所需之電源。此外，由於不存在提供至該參考之曲率校正，因此所提供之參考電壓之精度受限。此外，由於使用了兩個放大器，故對偏移及雜訊之影響增加。

因此，需要提供一具有對電壓偏移之減少之敏感性且適用於提供一電壓曲率校正之能隙電壓參考電路。進一步需要提供一具有對電阻器匹配或個別值之更少依賴性之電路。亦需要提供一可用作溫度感應器(意即對溫度波動敏感)之能隙參考電路。

【發明內容】

與該等先前技術相關聯之此等及其它問題可藉由根據本發明之電路及方法來解決。根據本發明之一第一實施例，提供了一電路，其產生一為 ΔV_{be} 之足夠高之值以減少對放大之需要，且藉此消除在該電路內被放大之內在誤差之問

題。電晶體之堆疊被提供於一放大器之輸入端處，且一單獨電阻器被提供於該放大器之輸出端處，且被用於產生所要之 ΔV_{be} 。應瞭解，藉由在與該放大器之輸入端相對之輸出端處提供電阻器，由該放大器之偏移之放大引起之誤差被消除。亦藉由使用一單一電阻器，由該等多個電阻器失配引起之誤差可被消除。

本發明提供具有一放大器之電路，該放大器在其非反相輸入端處具有一以第一電流密度操作之第一堆疊之雙極電晶體，且在該放大器輸出端與其反相輸入端間之一反饋迴路中提供一以較第一堆疊之電流密度更低之第二電流密度操作之第二堆疊之雙極電晶體，使得由於該等兩堆疊間之電流密度中之差異，在該放大器之該輸出端處反映了一增強之 ΔV_{be} ，此增強之 ΔV_{be} 在耦接於該放大器之該輸出端與一參考電位間之整個電阻器上得以發展。藉由將此PTAT電壓添加至一平衡之CTAT電壓，該電路可被修改以用於產生一對溫度不敏感之電壓參考。若該PTAT電壓未重疊或未與一平衡CTAT電壓組合，則該電路在該放大器之該輸出端處提供一表示該電路中之溫度之值，一溫度感應器。

根據本發明之一實施例，提供了一能隙電壓參考電路，其包括一具有第一及第二輸入節點之放大器，且在其一輸出端處提供一參考電壓。此外，該電路包括至少兩對電晶體，每一對電晶體均具有一適用於以與該第二電晶體之電流密度不同之一電流密度來操作之第一電晶體，使得在使用中，在每一對之該等兩電晶體之間產生基極-發射極電壓

ΔV_{be} 之差異。該等對經排列使得具有一第一電流密度之彼等電晶體被提供至一耦接至該第一輸入節點之鏈中，且具有第二電流密度之彼等電晶體被提供至一耦接至該第二輸入節點之鏈中，每一對所提供之 ΔV_{be} 之組合在放大器之輸出端處對增強之 ΔV_{be} 產生影響，該增強之 ΔV_{be} 在放大器之輸出端處所提供之整個電阻器上產生。

希望提供三對電晶體，每一對電晶體產生(contribute)一 ΔV_{be} 組件，使得在該放大器之輸出端處之整個電阻器上產生之增強之 ΔV_{be} 等於 $3\Delta V_{be}$ 。

為了最大化該 $3\Delta V_{be}$ 之影響之效應，該電路較佳地進一步適用於產生一曲率校正電壓。可藉由驅動在第一電流密度下以與絕對溫度成比例(PTAT)之電流操作之該等三個電晶體及以一恆定電流操作之該等另外三個電晶體中之每一者來提供此曲率校正電壓，該曲率校正電壓之和及 $3\Delta V_{be}$ 兩者均被施加至該放大器之輸出端上之整個電阻器上，藉此校正與該能隙電路相關聯之曲率。

該PTAT電流之產生較佳地藉由鏡面反射在放大器之輸出端上之整個電阻器上界定之電流來實現，以驅動該等電晶體中之每一者在該第一電流密度下操作。

在某些組態中，該等電晶體中之每一者於一MOS製程實施例中被提供，且在其它組態或實施例中，某些該等電晶體於一雙極實施中被提供。應瞭解，此後者實施例亦可使用CMOS方法來提供。

某些實施例可能需要兩對待使用雙極電晶體而形成之電

晶體及使用橫向電晶體而形成之第三對電晶體。在此等實施例中，該第三對電晶體可提供該放大器之一輸入級。希望此一輸入級作為該放大器之一非對稱輸入級而被提供。

此外，該電路可包括一對耦接至該第三對電晶體之負載電晶體，該等負載電晶體適用於使通過該第三對電晶體之電流相等。

在某些實施例中，該第三對電晶體兩者均使用一PTAT電流加以驅動。此一PTAT電流可在該電路外部產生。

某些組態可提供使用一MOS電晶體之放大器之第二級，該MOS電晶體由一PTAT電流源驅動，且該MOS電晶體耦接至該等負載電晶體中之一者，且該等電晶體中之一者之集極形成電晶體中之第三對。

在某些實施例中，該電路可包括在該放大器之輸出端處提供之一MOS電晶體，該MOS電晶體藉由一PTAT電流加以驅動，該MOS電晶體之基極直接耦接至該放大器之輸出節點，且發射極節點提供該電路之一輸出。在此等實施例中，該MOS電晶體之源極可耦接至一雙極電晶體之發射極，雙極電晶體之集極被耦接至一參考電位，且雙極電晶體之基極被耦接至該電阻器。

替代性實施例可以一雙極組態提供三對電晶體中之每一對，該等三對電晶體提供一放大器之一輸入級，該放大器具有一輸出節點，其耦接至以一電壓跟隨器組態而提供之雙極電晶體，且其中該電壓參考被提供於該放大器及該電壓跟隨器之輸出端間之一節點處。

本發明亦提供一能隙電壓參考電路，該電路適用於在其一輸出端處提供一參考電壓，該參考電壓藉由所產生之CTAT與PTAT電壓之組合而被提供，該CTAT電壓由一順向偏壓電晶體之一基極-發射極電壓提供，且該PTAT電壓由多倍(multiple) ΔV_{be} 電壓提供，每一 ΔV_{be} 電壓藉由一對以不同電流密度操作之雙極電晶體而產生，該PTAT電壓藉由在一放大器之一輸出端處提供之整個單一電阻器上施加之電流單獨界定。

本發明之另一實施例提供一能隙電壓參考電路，該電路具有一具有第一及第二輸入節點之放大器，且在其一輸出端處提供一參考電壓，每一輸入節點被耦接至具有至少兩個電晶體之鏈中，其中該等電晶體經組態使得第一電晶體之發射極耦接至第二電晶體之基極，第二電晶體之發射極耦接至該放大器之輸入端，且每一電晶體之集極耦接至一參考電位，且其中一第鏈中之彼等電晶體適用於以一第一電流密度操作，且第二鏈中之彼等電晶體適用於以第二不同之電流密度操作，使得第一與第二鏈中之電晶體間之基極-發射極電壓中之差異被提供，該差異等於多倍 ΔV_{be} ，且藉由在耦接至該放大器之輸出端之整個單獨負載電阻器上提供之電流產生。

本發明之另一實施例提供一溫度參考電路，該電路包括一放大器，該放大器在其非反相輸入節點處具有以第一電流密度操作之至少一雙極電晶體，且在該放大器之輸出端與其反相輸入節點間之一反饋迴路中具有以較耦接至該非

反相輸入端之電晶體之電流密度更低之第二電流密度操作之至少一雙級電晶體，使得歸因於耦接至該等兩輸入端中之每一者之該等電晶體之電流密度中之差異，在該放大器之輸出端處反映一 ΔV_{be} ，且其中耦接至該放大器之該等輸入節點中之每一者之電晶體由PTAT電流加以驅動，使得所發展之 ΔV_{be} 電壓對溫度敏感，藉此提供一適用於提供一溫度之量測之電壓參考電路。

參考為本發明之例示性實施例且不希望被理解為以任何方式加以限制之下列圖式，可更好瞭解本發明之此等及其它特徵。如熟習此項技術者所瞭解，可在不偏離本發明之精神及範疇之情況下對以下描述之例示性實施例做出修改及改變。

【實施方式】

已參考圖1描述了先前技術。

圖2為根據本發明之一能隙電壓參考之實例。

該電路包括一根據標準技術之放大器A1，該放大器適用於保持其兩輸入端(一反相及一非反相輸入端)大體上處於相同位準。熟習此項技術者將熟知一放大器之操作，且為簡潔起見，在此將不作解釋。一第一Q1、第二Q2及第三Q3電晶體被耦接至該放大器之非反相輸入端，且一相應組之三個電晶體Q4、Q5及Q6被耦接至反相輸入端。此等組之三個電晶體中之每一組均可看作為形成耦接至其個別輸入節點之電晶體之鏈。每一Q4、Q5及Q6之發射面積為Q1、Q2及Q3之發射面積之" n "倍。

Q1、Q2及Q3經排列使得Q1之發射極耦接至Q2之基極，Q2之發射極耦接至Q3之基極，且Q3之發射極耦接至放大器之非反相輸入端。類似地，Q4之基極耦接至Q5之發射極，Q5之基極耦接至Q6之發射極，且Q4之發射極耦接至放大器A1之反相輸入端。每一電晶體之集極均接地。同樣，當雙極電晶體藉由適當電流偏壓時，將自以高電流密度(Q1、Q2、Q3)操作之雙極堆疊至以低電流密度(Q4、Q5、Q6)操作之雙極堆疊發展基極-發射極電壓中之差異。該等對中之每一對產生一 ΔV_{be} ，且當組合時，可提供 $3\Delta V_{be}$ 差異。

在放大器之輸出端處，提供一第一nMOS電晶體M1。該器件M1之閘極耦接至放大器之輸出端。M1之汲極耦接至二極體連接之pMOS電晶體M5。在M1之源極與另一電晶體Q7之發射極間之一節點處提供該電路之參考電壓 V_{ref} 。Q7之基極耦接至另一pMOS電晶體M6之汲極，且越過一電阻器 $r1$ 而接地。M5及M6之閘極通常耦接且進一步耦接至另外三pMOS電晶體M2、M3及M4之閘極，M2、M3及M4之源極耦接至一電源電壓，且M2、M3及M4之汲極耦接至Q1、Q2及Q3之發射極，藉此分別提供電流 $I3$ 、 $I4$ 及 $I5$ 。在Q4、Q5及Q6之發射極處分別提供恆定電流 $I6$ 、 $I7$ 及 $I8$ 。

由於Q1/Q4、Q2/Q5及Q3/Q6之發射面積間之個別差異，在整個 $r1$ 上(across)反映三個 ΔV_{be} 之差異。應瞭解，在該放大器之輸出端耦接之此單獨電阻器之存在足以產生所要之三個 ΔV_{be} 。結果，藉由M5及M6鏡面反射之電流 $I1$ 及 $I2$ 為PTAT電流。類似地，被迫進入電晶體Q1、Q2及Q3之電流 $I3$ 、

I4及I5亦為PTAT電流。如上所述，被迫進入雙極電晶體Q4、Q5及Q6之電流I6、I7及I8為恆定電流，其中該等電晶體Q4、Q5及Q6以一比Q1、Q2或Q3低之電流密度操作。對於每一個別對之電晶體而言，一負曲率電壓發展為該類型：

$$V_{\text{curv}} = (kT/q)(\ln(T/T_0)) \quad (4)$$

該PTAT電壓($3\Delta V_{be}$)及三個組合之曲率電壓之和兩者均施加至整個r1上。當Q7亦在PTAT下偏壓時，該參考電壓等於該曲率被移除時之 V_{G0} 。

應瞭解，藉由堆疊三對電晶體於該放大器之該等輸入引線中之每一者上產生一 $3\Delta V_{be}$ 電壓，且藉由偏壓該等以具有PTAT電流之高電流密度操作之三個雙極電晶體，及偏壓該等以具有恆定電流之低電流密度操作之雙極電晶體，可在該電路內發展一內部曲率校正機制。

亦應瞭解，該放大器之偏移電壓僅在整個r1上反映，且當r1在該放大器之輸出端上時，此偏移電壓不藉由放大器產生或放大。

圖3顯示本發明之技術之另一實施例。在此實施例中，提供一兩級放大器，且圖2之技術使用一不平衡對之橫向雙極電晶體來實施，該等電晶體提供該放大器之第一級。該第一級包括一作為整體發射面積橫向PNP型電晶體而提供之第一電晶體Q3及為相同類型但具有一為Q3之發射面積之" n "倍之發射面積的第二電晶體Q4。Q3及Q4兩者均使用一PTAT電流I8偏壓，該電流I8通常自一外部產生之電流源提供。該負載電晶體MN1及MN2適用於使通過Q3及Q4之電流

相等。結果，第一 ΔV_{be} 被發展至該放大器之第一級中。

Q3之基極節點相當於圖2中所示之放大器之非反相輸入端，且兩電晶體Q1及Q2在此堆疊。Q2之發射極耦接至Q3之基極，且Q1之發射極耦接至Q2之基極。Q1及Q2中之每一者之集極接地。

類似地，Q4之基極節點相當於圖2中所示之放大器之反相輸入端，且兩電晶體Q5及Q6在此堆疊。Q5之發射極耦接至Q4之基極，且Q6之發射極耦接至Q5之基極。Q5及Q6中之每一者之集極接地。Q5及Q6中之每一者之發射面積為Q1及Q2之發射面積之" n "倍。

圖3之放大器之第二級藉由一nMOS電晶體MN3提供，該電晶體MN3藉由一電流源I5驅動。MN3之汲極亦耦接至M1之閘極。M1之源極耦接至PNP電晶體Q7之發射極，且此普通節點為該電路提供輸出節點Vref。Q7之基極經由電阻器r1耦接至地，且亦耦接至pMOS電晶體M6之汲極。M6之閘極耦接至以二極體連接組態提供之另一pMOS電晶體M5之閘極，藉此提供一電流反射鏡之主組件。應瞭解，儘管圖3顯示作為主組件而組態之M5，但另一配置可適當組態M6作為主組，而M5作為輔助器件。然而，如圖3所說明，M5之汲極耦接至M1之汲極，藉由M5與M6之組合而提供之反射鏡亦耦接至M2及M3，其中M2及M3接著分別耦接至Q2及Q1之發射極。同樣，經由r1產生之PTAT電流I1作為I2、I3及I4被鏡面反射，藉此使用一PTAT電流來驅動組件Q1、Q2、Q3/Q4及M1中之每一者，但組件Q5及Q6耦接至一外部

提供之電流源，該電流源期望地提供一主要CTAT電流。如上詳細描述，該第一 ΔV_{be} 在整個Q3及Q4上得以發展，且另外兩個 ΔV_{be} 自Q1及Q2至Q5及Q6得以發展。

在整個Q1、Q2及Q3上發展之 $3\Delta V_{be}(1)$ 及在整個Q4、Q5及Q6上發展之 $3\Delta V_{be}(n)$ 以一類似參看圖2所描述之方式組合，輸出電壓具有移除之曲率組件。此實施例與圖2中之實施例之一差異在於Q3及Q4兩者均藉由相同，較佳PTAT電流 I_8 偏壓，而圖2之實施例中，形成第三對之該等電晶體中之一者藉由一恆定電流驅動，而其它藉由一PTAT電流驅動。由於藉由相同類型之電流驅動第三對之電晶體兩者，該曲率效應未完全移除。該曲線效應藉由用一主要CTAT電流驅動Q5及Q6加以最小化。藉由標度值之PTAT及CTAT電流驅動Q5及Q6實現了一具有所移除之能隙電壓電路所固有之曲率之組合之輸出。

在一側具有一橫向電晶體且在另一側具有許多橫向電晶體之該放大器之第一級之排列克服橫向電晶體之一主要缺點或缺陷。此係關於該事實：橫向電晶體具有兩集極，一集極連接至基板且另一集極用作為"實際"集極。因此該總集極電流在該等兩集極之間分裂，且對於相同發射極電流而言，實際集極中之電流具有一較大延伸。藉由使用許多電晶體，此效應可被衰減。應瞭解由於圖3之電路僅具有提供於該放大器之輸入引線上之兩額外電晶體，其可用於具有更低能淨空高度能力之應用；相對於圖2中所需之三對，該放大器之輸入端上之兩對之實施例需要更少淨空高度，

但是該電路仍提供所要之 $3\Delta V_{be}$ (兩外部的及一進入該放大器輸入對的)。此外，由於圖3之電路之輸入級係基於雙極電晶體且在圖2中該輸入級係基於MOS電晶體，因此圖3之電路比圖2之電路產生更少之 $1/f$ 雜訊。

圖4展示根據本發明之另一實施例。在此實施例中，該技術以一完全雙極排列而實施且提供一經緩衝之電壓參考。

Q1及Q2以一堆疊排列加以提供，且兩者均以二極體連接之組態被提供。類似地，Q5及Q6以二極體連接之組態被提供，其中每一者之基極直接耦接至其個別集極，Q6之基極亦耦接至Q5之發射極。電流I7(其為希望作為一主要CTAT電流而提供且外部產生之恆定電流源)耦接至此對電晶體。該放大器之第一級藉由電晶體Q3/Q4/Q8/Q9而提供，其中Q3及Q4之共用發射極耦接至一外部產生之PTAT電流I8。Q3及Q4之集極分別耦接至Q8及Q9之集極，其中Q8以二極體連接之組態被提供。Q9之集極亦耦接至另一電晶體Q10之基極，該電晶體Q10提供該放大器之第二級。Q10亦耦接至一外部提供之主要PTAT電流I5。以一類似於MOS電晶體M1、M5及M6之方式，圖4之雙極實施例提供一作為一電壓跟隨器而提供之雙極電晶體Q7，Q7之發射極耦接至一電流反射鏡之一第一電晶體Q11，使得在整個 r_1 上產生之電流I2藉由Q13而鏡面反射為I4，以驅動Q2及Q1。該電晶體Q12作為一主要鏡面被提供，且提供一耦接至Q7之集極之電流I2。該電路之參考電壓在Q10與Q7之基極間之一節點處被提供，且同樣自該放大器之第二級直接排出(tap)。應瞭

解此組態具有一非常低之偏移敏感性，且隨著pnp雙極電晶體Q4之數目(n)增加而敏感性減少。

圖5展示使用圖2之該電路之一仿真之結果。自此結果之一檢查將顯而易見，在自 -40°C 至約 85°C 之溫度範圍(此一參考電路之正常操作條件)中，圖2之電路展示約為 0.14 mV 之總電壓變化，其對應於約為 $1\text{ ppm}/^{\circ}\text{C}$ 之溫度係數。

應瞭解，本文中參考本發明之三個較佳實施例而描述之內容為一能隙參考電路，該參考電路不依賴電阻器匹配或值且具有低偏移敏感度，且提供內部曲率校正。藉由自以高電流密度比操作之三對電晶體及以低電流密度比操作之三對電晶體提供足夠之 ΔV_{be} 電壓，不需要放大該 ΔV_{be} ，且同樣地，該電路中固有之任何電壓偏移亦不需被放大。本發明之電路僅在該放大器之輸出端處提供一電阻器，且由於在此電阻器處產生偏移，因此不存在放大。

本發明之電路使用三對電晶體以針對每一對產生一 $\Delta V_{be} > 120\text{ mV}$ 。應瞭解，若該參考被校正曲率，則該標的能隙電壓為約 1.15 V 。若該參考未補償曲率，則該標的電壓為約 1.25 V 。對於該校正之參考之情況而言，一在室溫下 1.15 V 電壓係基於約 700 mV 基極-發射極電壓(CTAT)之影響且作為一PTAT組件被提供之差異。此差異為所要之為 $1.15\text{ V} - 0.7\text{ V} = 0.45\text{ V}$ 之PTAT電壓。結果，用於一對以不同電流密度操作之雙極電晶體之所要 ΔV_{be} 電壓為約 $450\text{ mV}/3 = 150\text{ mV}$ 。由於 ΔV_{be} 自 $\ln(n)$ 組件(參看方程式1)而產生，藉由簡單地縮放以不同電流密度操作之該等電晶體之比例，不易得到大

於 120 mV 之值。該等電晶體對中之每一對需要約 0.8 V，且在多數應用中，最小電源電壓為約 2.6 V，藉此界定電晶體之最大數目為 3 對。為了使用僅僅 $3\Delta V_{be}$ 且為了使得輸出電壓處於該 $3\Delta V_{be}$ 具有一效應之位準，需要將該 $3\Delta V_{be}$ 之該產生與一曲率校正機制組合。若曲率校正未被提供，則該輸出電壓將為在正常操作區域中具有一約為 2.5 mV 之弓形影響之約 1.25 V (矽能隙)。藉由應用曲率校正，將在不具有一弓形影響之情況下提供輸出電壓，且同樣藉由該 $3\Delta V_{be}$ 提供之影響更加顯著。應理解，為了實施此一能隙電壓參考電路於一單一級環境中 (意即僅僅具有一個放大器)，需要應用一些曲率校正或藉由電晶體之堆疊產生之電壓將不足以補償。

應瞭解，本發明使用一放大器，該放大器在其非反相輸入端處具有一第一堆疊之雙極電晶體，該等電晶體以第一電流密度操作，且本發明於該放大器之輸出端與其反相輸入端間之一反饋迴路中提供一第二堆疊之雙極電晶體，該第二堆疊雙極電晶體以低於第一堆疊之電流密度之第二電離密度操作。歸因於該等兩堆疊之電流密度中之差異，一增強之 ΔV_{be} 在該放大器之輸出端處被反映。此 PTAT 電壓在耦接至該放大器之輸出端及一參考電位 (通常為地面) 之整個電阻器上得以發展。若此 PTAT 電壓被添加至一平衡 CTAT 電壓，可提供一對溫度敏感之電壓參考。然而，若該 PTAT 電壓未與一平衡 CTAT 電壓疊加或組合，則在整個電阻器上發展之電壓對溫度不敏感 - 該電壓 ΔV_{be} 直接與溫度波動相

關(參看方程式1)-且同樣該電路可用於提供一溫度感應器。

圖6展示如何根據本發明提供此一電路以提供一電壓參考(即對溫度波動不敏感)及一溫度感應器(即給定關於晶片上溫度之一輸入值)之簡化示意圖。提供一放大器，其具有一反相及非反相輸入端。在該放大器之輸出端處，提供一電阻器 $r1$ ，其耦接於該放大器之輸出端與地面之間。第一堆疊二極體(D1、D2、D3)被提供，且其耦接至該放大器之非反相輸入端。此第一堆疊或鏈藉由一期望為一PTAT電流之電流 $I3$ 驅動。一第二鏈之二極體被提供於該反相輸入端與該放大器之輸出端間之一反饋迴路中。此鏈藉由第二電流 $I6$ 驅動，且其適用於以比第一堆疊之電流密度更低之第二電流密度操作。應瞭解，相當地，適當組態之雙極電晶體，可用於替代上文所述及說明之二極體。

在使用中，若該電路用作一對溫度不敏感之電壓參考，則移除能隙電壓電路內在之任何曲線組件為重要之舉。應瞭解，一CTAT電壓提供一正曲線影響，該正曲線影響可藉由將此一CTAT電壓與一PTAT電壓電流之負曲線組件相組合來加以消除。此可藉由提供第二電流 $I6$ 作為一恆定電流源來產生，使得當CTAT及PTAT電壓被添加時，每一者之曲線組件將其他者消除。

若該電路用作溫度感應器，則不補償該 ΔV_{be} 電壓之溫度變化為重要之舉。用於實現此之最簡易方法為亦作為一PTAT電流而提供 $I6$ ，且期望使 $I3 = I6$ 。應瞭解，在作為一溫度感應器之該實施例中，每一鏈中之二極體之數目取決

於所要之標的PTAT電壓可為1、2、3或更大。應理解，當該電路用作對溫度不敏感之電壓參考時，則當藉由一相當CTAT電流平衡該PTAT電流時，所產生之 ΔV_{be} 為一適當足夠高之值為重要的。然而，在其中該電路被用作為一溫度感應器之實例中，其不如此關鍵，且每一鏈中之二極體或雙極電晶體之數目可取決於應用而加以選擇。進一步應理解，當用於溫度感應器實施例中時，若兩電流 I_3 及 I_6 為外部產生的，則對電阻器 r_1 之需要可消除。歸因於反饋迴路中之二極體之提供，一倍或多倍之 ΔV_{be} (依每一堆疊中之二極體之數目而定)仍將產生於該放大器之輸出端處，藉此提供用於監控溫度之所需要之訊號。

應理解，本發明已參考雙極電晶體之一特定PNP組態而加以描述，且不希望本發明之應用侷限於此等組態。如熟習此項技術者所瞭解，組態中之許多修改和改變可藉由以NPN架構及其類似物之實施來達成。類似地，當以一nMOS或pMOS組態提供電晶體時，應瞭解，可在不偏離本發明之精神及範疇之情況下完成修改以用於更改在每一組態中提供哪一電晶體。此外，當本發明以一雙極實施例而描述時，應瞭解，可藉由使用CMOS方法藉由使用塑料組件及其類似物來提供此一實施例。應瞭解，本文中已描述了根據本發明之一能隙電壓參考之例示性實施例。特定組件、特徵及值已用於詳細描述該電路，但不希望本發明以任何方式被限制，除鑒於附加專利申請範圍認為是需要限制的之外。

類似地，當用於此說明書中時，所包含之該等字詞用於

指定所述特徵、整數、步驟或組件之存在，但不排除一或多個其它特徵、整數、步驟、組件或其群之存在或添加。

【圖式簡單說明】

圖1為在CMOS技術中所提供之一能隙電壓參考電路之一典型先前技術組態之一實例；

圖2為根據本發明之一第一實施例之電路之一實例；

圖3為根據本發明之第二實施例之電路之一實例；

圖4為根據本發明之第三實施例之電路之一實例；

圖5為圖2之電路之效能之一仿真，其展示輸出參考電壓；

圖6為展示使用二極體堆疊之本發明之實施例之一示意圖。

【主要元件符號說明】

A1	放大器
D1、D2、D3、D1、D2、D3	二極體
I1、I2、I3、I4、I5	電流
I6、I7、I8	恆定電流
M1、M2、M3、M4、M5、M6	電晶體
mn1、mn2、mn3	負載電晶體
Q1、Q2、Q3、Q4、Q5、Q6、Q7 、Q8、Q9、Q10、Q11、Q12、Q13	電晶體
r1、r2	電阻器

五、中文發明摘要：

本發明提供一種能隙電壓參考電路，其適用於提供一無需放大之具有足夠大之值之 ΔV_{be} ，且因此不會產生任何偏移影響。藉由使用三對電晶體之一堆疊排列，本發明減少對一電路內之多個電阻器之需要，且因此可最小化歸因於電阻器匹配及值之誤差。提供了用於減少電壓曲率之內部提供之電路，因此提供了一具有低偏移敏感性及曲率校正之電路。

六、英文發明摘要：

十、申請專利範圍：

1. 一種能隙電壓參考電路，其包括一具有第一及第二輸入節點之放大器，且在其一輸出端處提供一參考電壓，此外，該電路包括至少兩對電晶體，每一對電晶體均具有一適用於在一與該對之一第二電晶體之電流密度不同之電流密度下操作之第一電晶體，使得在使用中，在每一對之該等兩電晶體之間產生基極-發射極電壓中之一差異 ΔV_{be} ，且其中該等對經排列使得彼等具有一第一電流密度之電晶體提供於一耦接至該第一輸入節點之鏈中，且彼等具有該第二電流密度之電晶體提供於一耦接至該第二輸入節點之鏈中，藉由每一對提供之該 ΔV_{be} 之組合在該放大器之該輸出端處對一增強之 ΔV_{be} 產生影響，該增強之 ΔV_{be} 在提供於該放大器之該輸出端處之一整個電阻器上產生。
2. 如請求項1之電路，其中提供三對電晶體，該等對中之每一對產生一 ΔV_{be} 組份，使得在該放大器之該輸出端處之該整個電阻器上產生之該增強之 ΔV_{be} 等於 $3\Delta V_{be}$ 。
3. 如請求項2之電路，其進一步適用於藉由驅動在該第一電流密度下以與絕對溫度成比例(PTAT)之電流操作之該等三個電晶體，及以一恆定電流操作之該等另外三個電晶體來產生一曲率校正電壓，該曲率校正電壓之和及該 $3\Delta V_{be}$ 兩者均施加至該放大器之該輸出端上之該整個電阻器上，藉此校正與該能隙電路相關聯之曲率，且提供一對溫度不敏感之電壓參考輸出。

4. 如請求項3之電路，其中該PTAT電流藉由鏡面反射在該放大器之該輸出端上之該整個電阻器上界定之該電流而產生，以驅動在該第一電流密度下操作之該等電晶體中之每一者。
5. 如請求項1之電路，其中該等電晶體中之每一者提供於一MOS製程實施中。
6. 如請求項2之電路，其中該等對電晶體中之二對使用雙極電晶體來形成，且該第三對使用橫向電晶體來形成。
7. 如請求項6之電路，其中該第三對提供該放大器之一輸入級。
8. 如請求項7之電路，其中該第三對提供該放大器之一非對稱輸入級。
9. 如請求項7之電路，其進一步包括一對耦接至該第三對電晶體之負載電晶體，該等負載電晶體適用於使通過該第三對電晶體之該等電流相等。
10. 如請求項7之電路，其中該第三對電晶體均藉由一PTAT電流來驅動。
11. 如請求項10之電路，其中所提供之該PTAT電流在該電路之外部產生。
12. 如請求項9之電路，其中該放大器之一第二級係藉由一由一PTAT電流源驅動之MOS電晶體來提供，該MOS電晶體係耦接至該等負載電晶體中之一者，且該等電晶體中之一者之集極形成該第三對電晶體。
13. 如請求項1之電路，其進一步包括一在該放大器之該輸出

端處提供之MOS電晶體，該MOS電晶體藉由一PTAT電流來驅動，該MOS電晶體之該基極直接耦接至該放大器之該輸出節點，且該發射極節點提供該電路之一輸出。

14. 如請求項13之電路，其中該MOS電晶體之該源極耦接至一雙極電晶體之該發射極，該雙極電晶體之該集極耦接至一參考電位，且該雙極電晶體之該基極耦接至該電阻器。

15. 如請求項2之電路，其中該等三對電晶體中之每一對係以一雙極組態加以提供，該第三對提供一放大器之一輸入級，該放大器具有一輸出節點，該輸出節點耦接至一以一電壓跟隨器組態提供之雙極電晶體，且其中該電壓參考提供於該放大器之該輸出端與該電壓跟隨器間之一節點處。

16. 如請求項2之電路，其進一步適用於在該放大器之該輸出端處提供一指示如在該電路上感測之溫度之電壓，藉此提供一溫度感應器，指示該溫度之該電壓藉由用與絕對溫度成比例(PTAT)之電流來驅動該第一及該第二鏈之電晶體中之每一者來實現，該 $3\Delta V_{be}$ 應用至該放大器之該輸出端上之該整個電阻器上，藉此在一輸出節點處提供一指示器件上之該溫度之電壓。

17. 一種能隙電壓參考電路，其適用於在其一輸出端處提供一參考電壓，該參考電壓藉由所產生之對絕對溫度(CTAT)及PTAT電壓之補償之組合來提供，該CTAT電壓藉由一順向偏壓電晶體之一基極-發射極電壓提供，且該PTAT電壓

藉由多倍 ΔV_{be} 電壓提供，每一 ΔV_{be} 電壓藉由一對在不同電流密度下操作之雙極電晶體產生，該 PTAT 電壓藉由一在一放大器之一輸出端處提供之一整個單一電阻器上應用之電流單獨界定。

18. 一種能隙電壓參考電路，其具有一具有一第一及第二輸入節點之放大器，且在其一輸出端處提供一參考電壓，每一輸入節點均耦接至具有至少兩電晶體之一鏈，該等電晶體經排列使得一第一電晶體之發射極耦接至一第二電晶體之基極，該第二電晶體之發射極耦接至該放大器之該輸入端，且每一電晶體之集極耦接至一參考電位，且其中一第一鏈中之彼等電晶體適用於在一第一電流密度下操作，且一第二鏈中之彼等電晶體適用於在一第二不同電流密度下操作，使得在該第一與該第二鏈中之電晶體間之基極-發射極電壓中之一差異被提供，該差異等於一多倍 ΔV_{be} ，且係藉由在耦接至該放大器之該輸出端之一整個單獨負載電阻器上所提供之該電流產生。

19. 一種溫度參考電路，其包括一放大器，該放大器在其非反相輸入節點處具有至少一可在一第一電流密度下操作之雙極電晶體，且在該放大器之該輸出端與其反相輸入節點間之一反饋迴路中具有至少一可在一低於耦接至該非反相輸入端之該電晶體之電流密度之第二電流密度下操作之雙極電晶體，使得歸因於耦接至該等兩輸入端中之每一者之該等電晶體之電流密度中之差異，在該放大器之該輸出端處反映一 ΔV_{be} ，且其中耦接至該放大器之

該等輸入節點中之每一者之該等電晶體藉由PTAT電流來驅動，使得所發展之該 ΔV_{be} 電壓對溫度敏感，藉此提供一適用於提供一溫度量測之電壓參考電路。

20. 如請求項19之電路，其中兩個或兩個以上電晶體以一耦接至該放大器之該等輸入節點中之每一者之堆疊排列而提供，每一堆疊中之該等電晶體間之電流密度中之差異在該放大器之該輸出端處產生一增強之 ΔV_{be} 。

21. 如請求項19之電路，其中該等PTAT電流係在該電路外部產生。

22. 如請求項19之電路，其中該等PTAT電流在該電路內被內部產生，該 ΔV_{be} 在耦接於該放大器之該輸出端與一參考電位間之一整個單獨電阻器上得以發展。

23. 如請求項20之電路，其中該增強之 ΔV_{be} 作為一PTAT電壓在耦接於該放大器之該輸出端與一參考電位間之一整個單獨電阻器上得以發展。

十一、圖式：

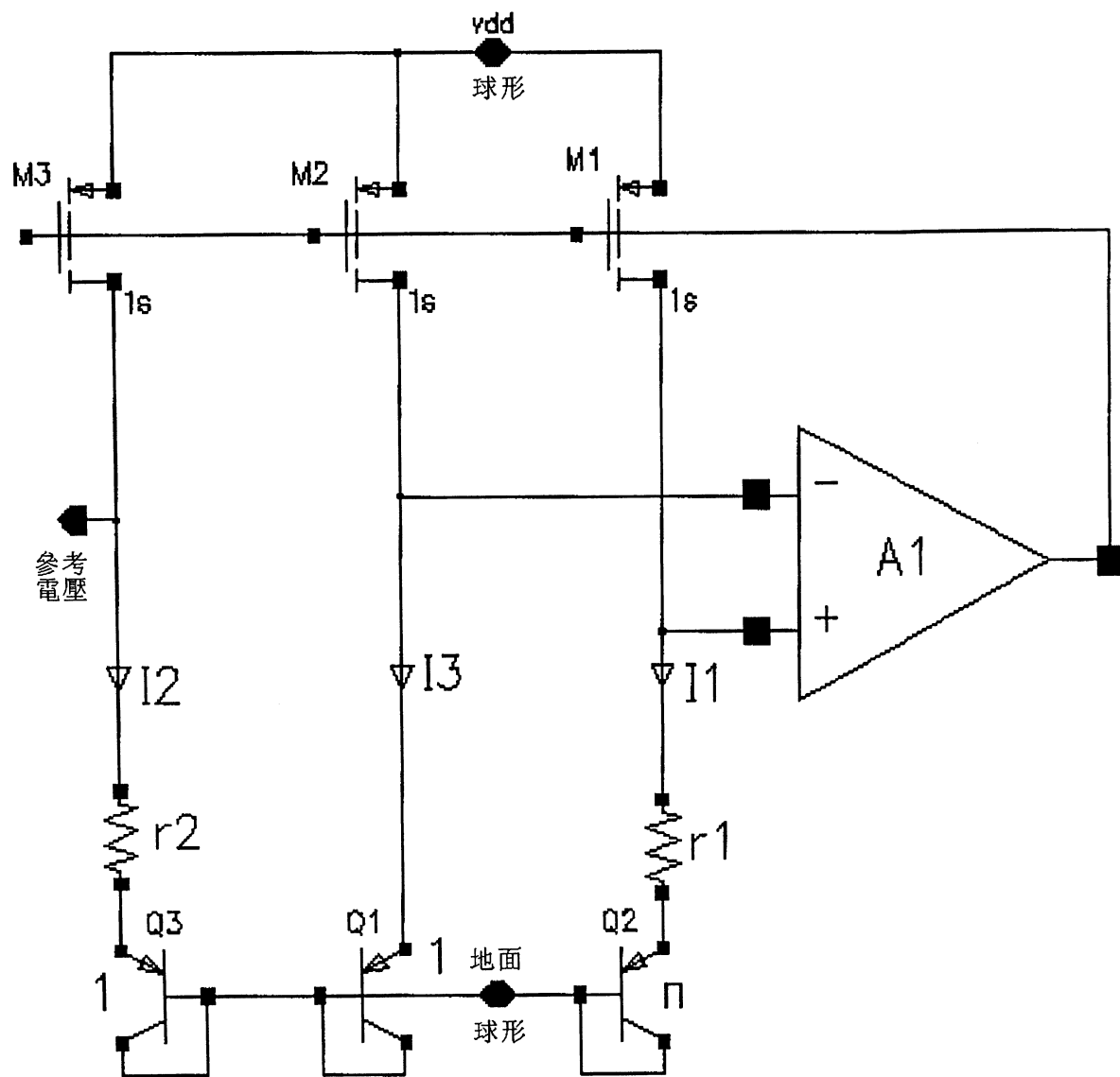


圖 1

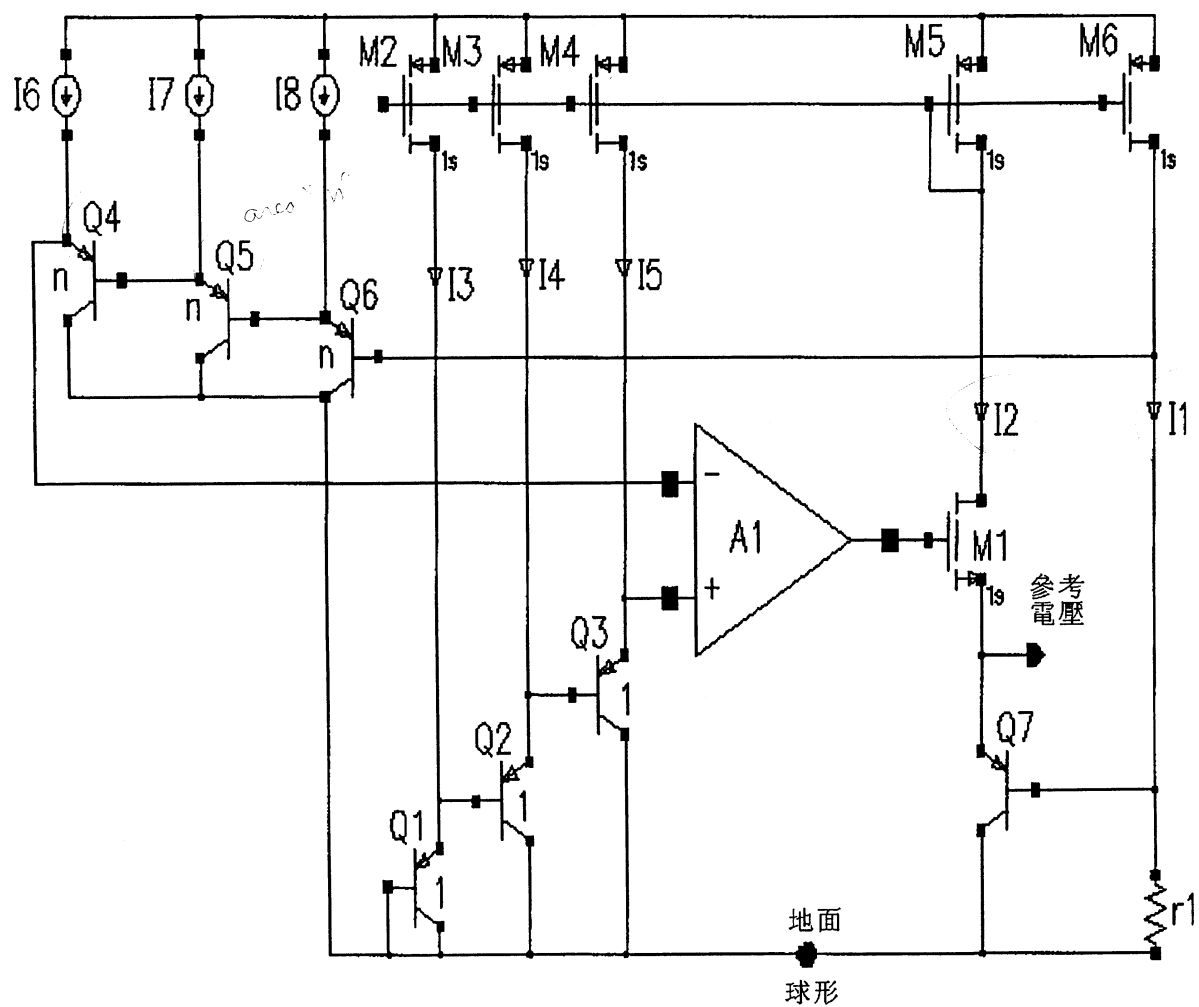


圖 2

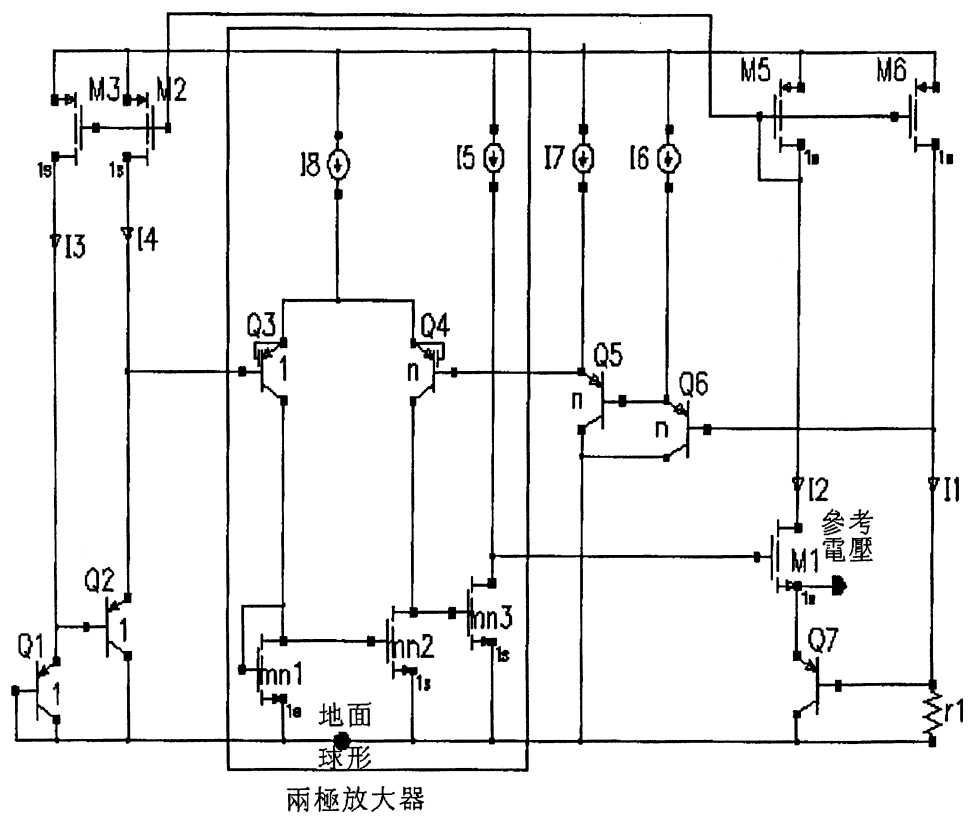


圖 3

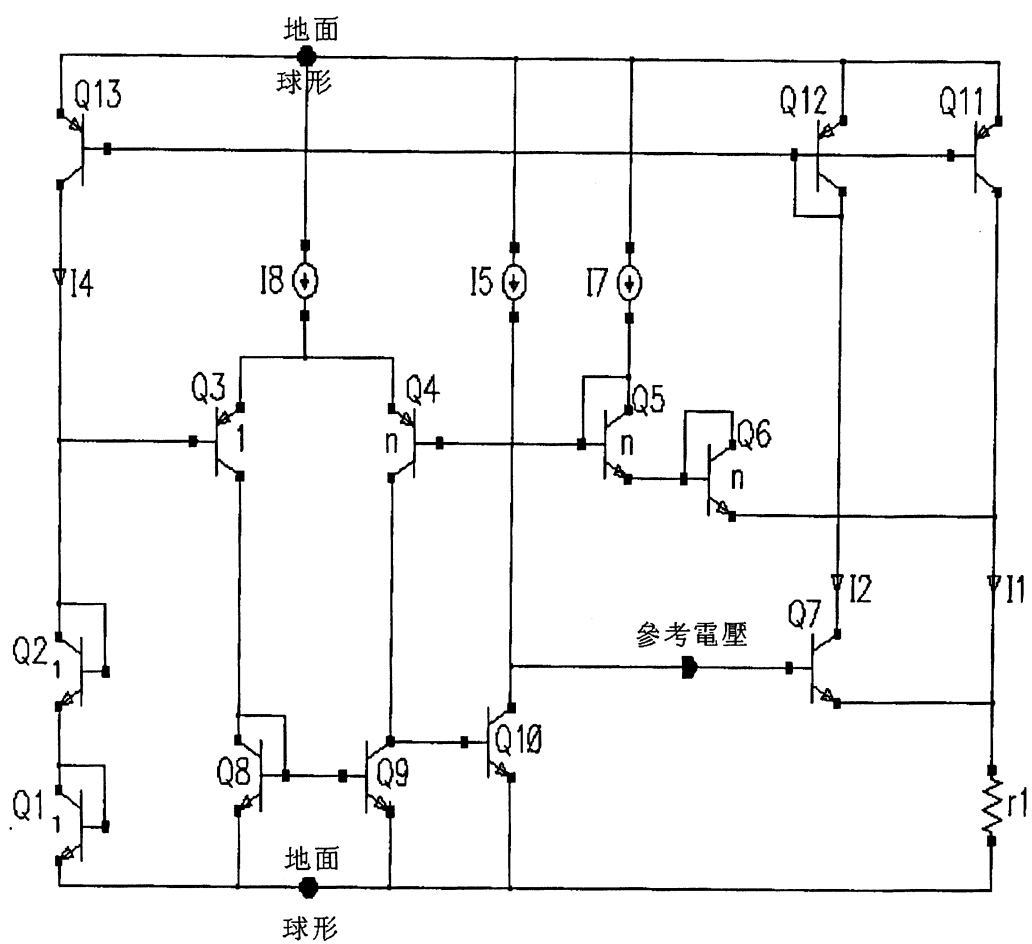


圖 4

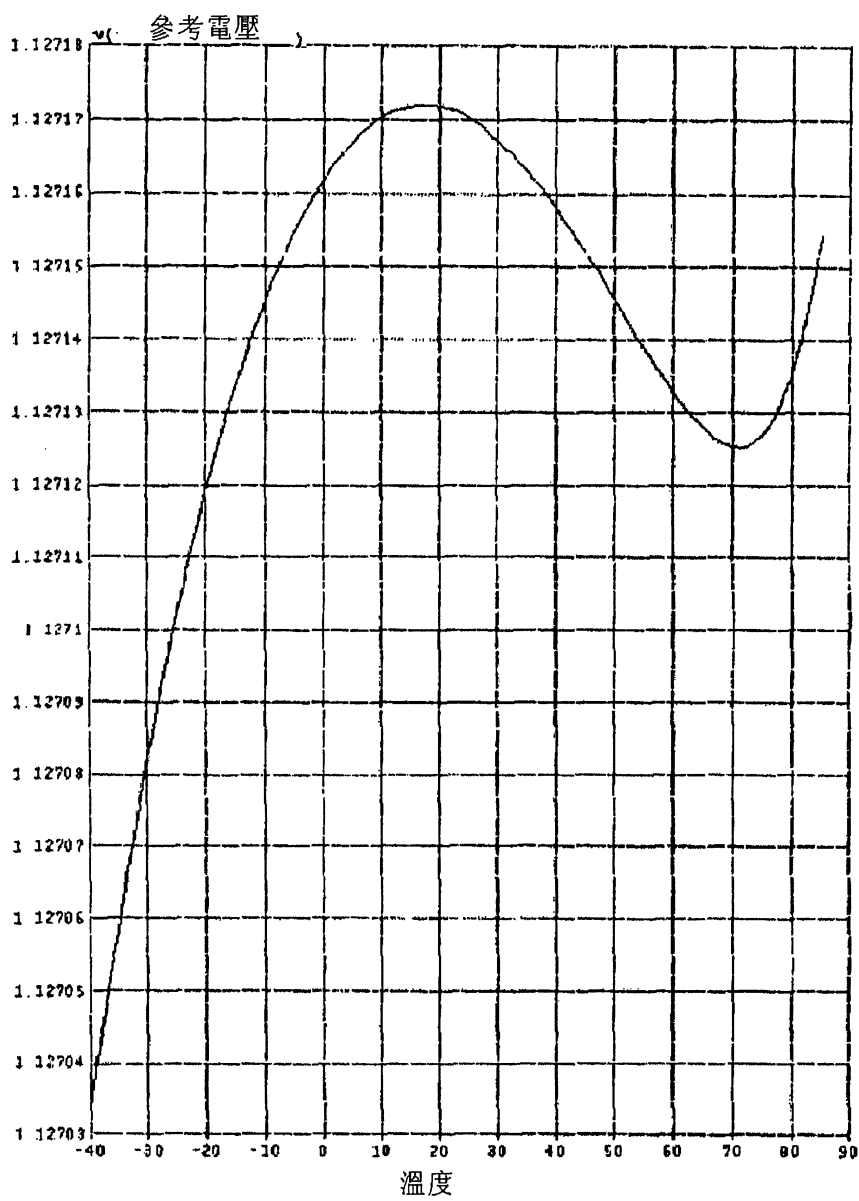


圖 5

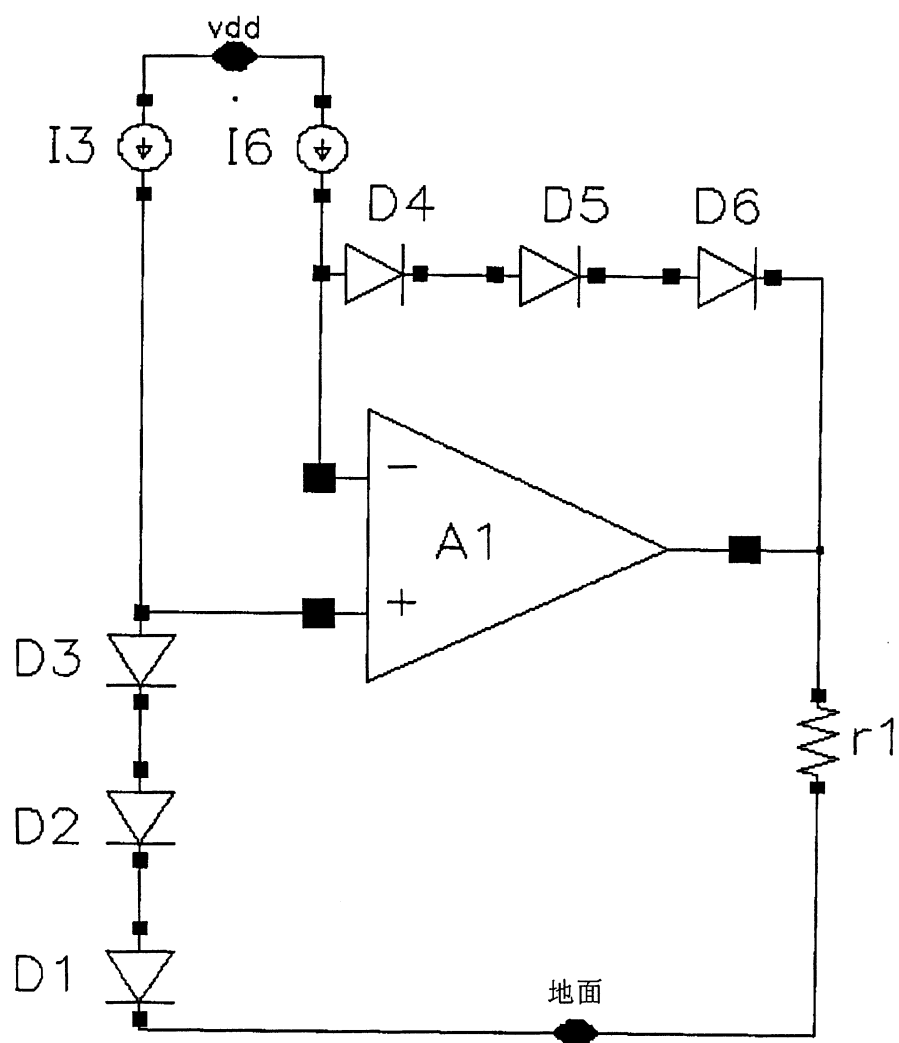


圖 6

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

A1	放 大 器
I1、I2、I3、I4、I5	電 流
I6、I7、I8	恆 定 電 流
M1、M2、M3、M4、M5、M6	電 晶 體
Q1、Q2、Q3、Q4、Q5、Q6、Q7	電 晶 體
r1	電 阻 器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)