(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月18日(18.02.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/029218 A1

(51) 国際特許分類:
H01S 5/042 (2006.01)　*H01S 5/062* (2006.01)

(21) 国際出願番号：　PCT/JP2020/028853

(22) 国際出願日：　2020年7月28日(28.07.2020)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2019-147172　2019年8月9日(09.08.2019)　JP

(71) 出願人: オムロン株式会社 (**OMRON CORPORATION**) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 Kyoto (JP).

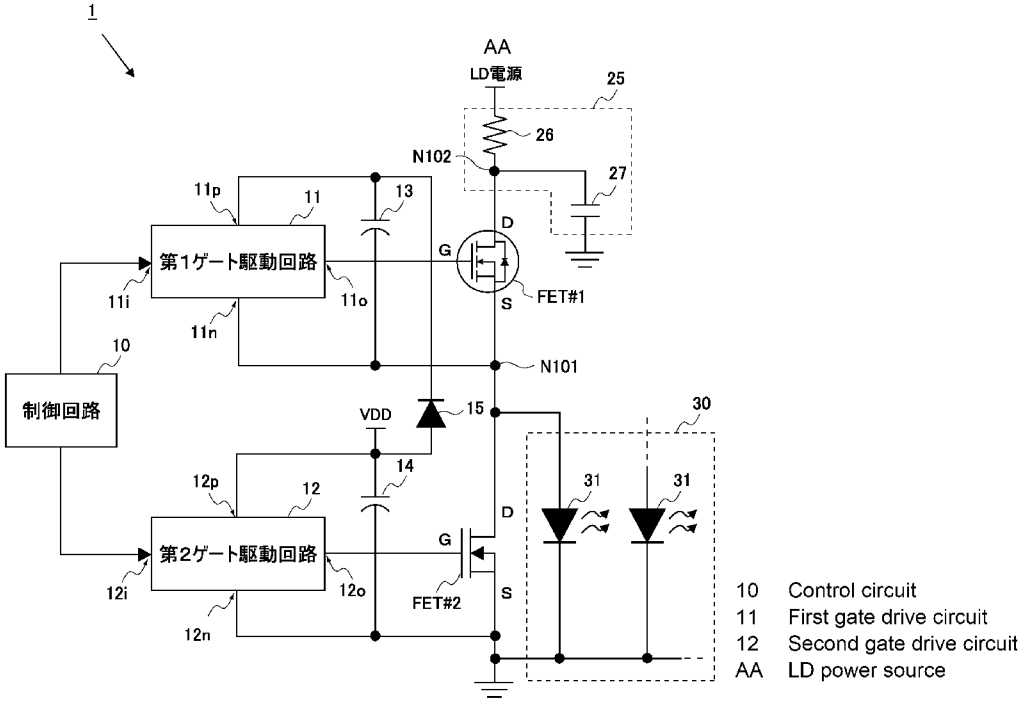
(72) 発明者: 矢和田　将貴 (**YAWATA, Masaki**); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP). 宮原 千紘 (**MIYAHARA, Chihiro**); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人秀和特許事務所 (**IP FIRM SHUWA**); 〒1030004 東京都中央区東日本橋三丁目４番１０号 アクロポリス２１ビル８階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** DRIVE CIRCUIT

(54) 発明の名称： 駆動回路



(57) **Abstract:** A drive circuit (1) is provided with: a GaN-FET (FET#1) having a source (S) that is connected to an anode of an LD (31) and a drain (D) that is connected to a power source (25) of the LD (31); a gate drive circuit (11) with which an output port (11o) and a negative-side voltage port (11n) are connected, respectively, to a gate (G) and the source (S) of the GaN-FET (FET#1), an input voltage to a positive-side voltage port (11p) being outputted from the output port (11o) during inputting of a signal of a predetermined level; a capacitor (13) that is arranged between the positive-side

WO 2021/029218 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

voltage port (11p) and a negative-side voltage port (11n) of the gate drive circuit (11); a diode (15) that is inserted, in an orientation for shutting off a current that flows from the positive-side voltage port (11p) to a VDD power source for outputting a voltage less than a Vgs breakdown voltage of the GaN-FET (FET#1), into a power source line connecting the positive-side voltage port (11p) of the gate drive circuit (11) and the VDD power source; and a semiconductor switch (FET#2) that is arranged between the source (S) of the GaN-FET (FET#1) and ground.

(57) 要約：駆動回路（１）は、ＬＤ（３１）のアノードにソース（Ｓ）が接続され、ＬＤ（３１）の電力源（２５）にドレイン（Ｄ）が接続されたＧａＮ－ＦＥＴ（ＦＥＴ＃１）と、所定レベルの信号の入力時に、正側電圧ポート（１１ｐ）への入力電圧を出力ポート（１１ｏ）から出力する、出力ポート（１１ｏ）、負側電圧ポート（１１ｎ）が、それぞれ、ＧａＮ－ＦＥＴ（ＦＥＴ＃１）のゲート（Ｇ）、ソース（Ｓ）と接続されたゲート駆動回路（１１）と、ゲート駆動回路（１１）の正側電圧ポート（１１ｐ）と負側電圧ポート（１１ｎ）との間に配置されたコンデンサ（１３）と、ゲート駆動回路（１１）の正側電圧ポート（１１ｐ）と、ＧａＮ－ＦＥＴ（ＦＥＴ＃１）のＶｇｓ耐圧未満の電圧を出力するＶＤＤ電源とを接続する電源ラインに、正側電圧ポート（１１ｐ）からＶＤＤ電源に向けて流れる電流を遮断する向きで挿入されたダイオード（１５）と、ＧａＮ－ＦＥＴ（ＦＥＴ＃１）のソース（Ｓ）とグラウンドとの間に配置された半導体スイッチ（ＦＥＴ＃２）と、を備える。

明　細　書

発明の名称 ： 駆動回路

技術分野

[0001] 本発明は、レーザーダイオードを駆動するための駆動回路に関する。

背景技術

[0002] コンデンサに充電した電荷を半導体スイッチを介して供給することでレーザーダイオード（以下、ＬＤとも表記する）をパルス駆動する場合（特許文献１、２参照）、半導体スイッチのスイッチング速度が速い方がパルス形状を良好なものとすることができる。従って、ＬＤのパルス駆動時には半導体スイッチとして、ＧａＮ－ＦＥＴ（Field Effect Transistor）を使用するニーズが存在する。

[0003] ただし、一般的なＬＤアレイは、カソードコモン型のものであるため、一般的なＬＤアレイの各ＬＤをそれぞれ独立で高速にパルス駆動させたい場合にＧａＮ－ＦＥＴを使用する際には、各ＬＤのアノードにＧａＮ－ＦＥＴのソースが接続されることが望ましい。

[0004] ＬＤのアノードにＧａＮ－ＦＥＴのソースが接続されている場合には、ＧａＮ－ＦＥＴのオンによりＬＤに電流が流れると、ＬＤのアノード電位（即ち、ＧａＮ－ＦＥＴのソース電位）が大きく変化する。そして、ＧａＮ－ＦＥＴのＶｇｓ耐圧は、低い（６Ｖ程度）ため、Ｖｇｓをこの電圧以下に抑えながら、ＬＤのアノード側に接続されているＧａＮ－ＦＥＴをＯＮ／ＯＦＦ制御することは困難であった。

先行技術文献

特許文献

[0005] 特許文献1：特表２００９－５４４０２２号公報

特許文献2：特許第５５０９５３７号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は、上記問題に鑑みなされたものであり、カソードがグラウンドに接続されたＬＤ（例えば、カソードコモン型のＬＤアレイ中のＬＤ等）をＧａＮ－ＦＥＴにより良好に駆動できる駆動回路を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一観点に係る駆動回路は、レーザーダイオードを駆動するための駆動回路であって、

前記レーザーダイオードのアノードにソースが接続され、前記レーザーダイオードの電力源にドレインが接続されたＧａＮ－ＦＥＴと、

正側電圧ポート、負側電圧ポート、入力ポート、出力ポートを有し、所定レベルの信号が前記入力ポートに入力されている場合に、前記正側電圧ポートへの入力電圧を前記出力ポートから出力するゲート駆動回路であって、前記出力ポート、前記負側電圧ポートが、それぞれ、前記ＧａＮ－ＦＥＴのゲート、ソースと接続されたゲート駆動回路と、

前記ゲート駆動回路の前記正側電圧ポートと前記負側電圧ポートとの間に配置されたコンデンサと、

前記ゲート駆動回路の前記正側電圧ポートと、前記ＧａＮ－ＦＥＴのＶｇｓ耐圧未満の電圧を出力するＶＤＤ電源とを接続する電源ラインに、前記正側電圧ポートから前記ＶＤＤ電源に向けて流れる電流を遮断する向きで挿入されたダイオードと

前記ＧａＮ－ＦＥＴのソースとグラウンドとの間の接続をＯＮ／ＯＦＦするための半導体スイッチと、

を備える。

[0008] すなわち、この駆動回路は、半導体スイッチをオンすれば、ゲート駆動回路のフローティング電源として機能するコンデンサが、ＧａＮ－ＦＥＴのＶｇｓ耐圧未満の電圧に設定されたＶＤＤ電源の出力電圧で充電される構成を有する。しかも、駆動回路のコンデンサの低電位側端子（即ち、ゲート駆動回路の負側電圧ポートと接続されている端子）は、ＧａＮ－ＦＥＴのソース

（及びレーザーダイオードのアノード）と接続されている。従って、本駆動回路によって、カソードコモン型のＬＤアレイ中のＬＤ等を駆動すれば、常に（即ち、ＧａＮ－ＦＥＴがＯＮであってもＯＦＦであっても）、ＧａＮ－ＦＥＴのＶｇｓがＶｇｓ耐圧未満に制御されることになる。

[0009] また、前記半導体スイッチが、前記ＧａＮ－ＦＥＴのソース（即ち、前記コンデンサの低電位側端子と接続されている端子）とグラウンドとの間の接続をＯＮ／ＯＦＦすることにより、フローティング電源として機能するコンデンサを動作毎に安定して充電させることができる。

[0010] 駆動回路は、半導体スイッチのＯＮ／ＯＦＦ制御、及び、ＧａＮ－ＦＥＴのＯＮ／ＯＦＦ制御（即ち、ゲート駆動回路への制御信号のレベル制御）が、駆動回路外の装置／回路によって行われる回路であっても良い。また、駆動回路に、前記半導体スイッチを第１所定時間の間だけオンさせるための制御をおこなった後に、前記ゲート駆動回路の前記入力ポートに前記所定レベルの信号を第２所定時間の間だけ供給する制御回路を、設けておいても良い。

発明の効果

[0011] 本発明によれば、カソードコモン型のＬＤアレイ中のＬＤ等をＧａＮ－ＦＥＴにより良好に駆動できる駆動回路を提供することができる。

図面の簡単な説明

[0012] [図1]図１は、本発明の一実施形態に係る駆動回路の構成図である。

[図2]図２は、第１ゲート駆動回路の構成例の説明図である。

[図3]図３は、実施形態に係る駆動回路の動作を説明するためのタイミングチャートである。

[図4]図４は、実施形態に係る駆動回路の、ＦＥＴ＃２オン時の電流経路の説明図である。

[図5]図５は、実施形態に係る駆動回路の、ＦＥＴ＃１オン時の電流経路の説明図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態を、図面を参照して説明する。

[0014] 図１は、本発明の一実施形態に係るＬＤ駆動回路１の構成を示す図である。本実施形態に係るＬＤ駆動回路１は、レーザーダイオードアレイ３０内のレーザーダイオード３１（以下、ＬＤ３１とも表記する）毎に設けられることを想定して開発した回路である。図示してあるように、駆動回路は、制御回路１０、第１ゲート駆動回路１１、第２ゲート駆動回路１２、ＦＥＴ＃１、ＦＥＴ＃２、コンデンサ１３、バイパスコンデンサ１４、ダイオード１５、及び、レーザ駆動電力源２５を備える。

[0015] レーザ駆動電力源２５は、ＬＤ３１を駆動（発光）させるための電力の供給源である。レーザ駆動電力源２５は、抵抗２６と、抵抗２６を介して印加されるＬＤ電源からの、数１０～１００Ｖ級の電圧で充電されるコンデンサ２７とにより構成されている。

[0016] ＦＥＴ＃１は、コンデンサ２７からの電流（電荷）をＬＤ３１に供給するためのＧａＮ－ＦＥＴ（Field Effect Transistor）である。ＦＥＴ＃１のドレイン、ゲートは、それぞれ、レーザ駆動電力源２５の出力端、第１ゲート駆動回路１１の出力ポート１１ｏに接続されている。また、ＦＥＴ＃１のソースは、ＬＤ３１のアノード、第１ゲート駆動回路１１の負側電圧ポート１１ｎ等に接続されている。以下、レーザ駆動電力源２５の出力端（レーザ駆動電力源２５とＦＥＴ＃１のドレインとの接続箇所）のことを、ノードＮ１０２と表記し、ＦＥＴ＃１のソースと第１ゲート駆動回路１１の負側電圧ポート１１ｎとの接続箇所のことを、ノードＮ１０１と表記する。

[0017] ＦＥＴ＃２は、第１ゲート駆動回路１１の負側電圧ポート１１ｎ（及びＬＤ３１のアノード、ＦＥＴ＃２のドレイン及びコンデンサ１３の負側端子）とグラウンドとの間の接続をＯＮ／ＯＦＦするためのＭＯＳ（Metal Oxide Semiconductor ）ＦＥＴである。ＦＥＴ＃２のドレイン、ゲート、ソースは、それぞれ、ＦＥＴ＃１のソース（及び第１ゲート駆動回路１１の負側電圧ポート１１ｎ等）、第２ゲート駆動回路１２の出力ポート１２ｏ、グラウンドに接続されている。このＦＥＴ＃２として使用するデバイスは、負側電圧ポ

ート１１ｎとグラウンドとの間の接続をＯＮ／ＯＦＦ可能な半導体スイッチでありさえすれば、ＭＯＳＦＥＴでなくても良く、ＧａＮ－ＦＥＴ等を用いることもできる。

[0018] 第２ゲート駆動回路１２は、正側電圧ポート１２ｐ、負側電圧ポート１２ｎ、入力ポート１２ｉ、出力ポート１２ｏを有し、所定レベル（本実施形態では、ハイレベル）の信号が入力ポート１２ｉに入力されている場合に、正側電圧ポート１２ｐへの入力電圧を出力ポート１２ｏから出力する回路である。この第２ゲート駆動回路１２の正側電圧ポート１２ｐ、負側電圧ポート１２ｎは、それぞれ、ＶＤＤ電源、グラウンドに接続されている。なお、ＶＤＤ電源の出力電圧（以下、単にＶＤＤともいう）は、第２ゲート駆動回路１２等が動作可能な、ＦＥＴ＃１（ＧａＮ－ＦＥＴ）のＶｇｓ耐圧未満の電圧（例えば、５Ｖ）であればよい。また、第２ゲート駆動回路１２としては、一般的なゲートドライバと同様の回路（例えば、２つのＭＯＳＦＥＴによるプッシュプル回路）を使用することができる。また、図１に示すように、ＶＤＤ電源とグラウンドとの間にはバイパスコンデンサ１４が配置されている。

[0019] 第１ゲート駆動回路１１は、正側電圧ポート１１ｐ、負側電圧ポート１１ｎ、入力ポート１１ｉ、出力ポート１１ｏを有し、所定レベル（本実施形態では、ハイレベル）の信号が入力ポート１１ｉに入力されている場合に、正側電圧ポート１１ｐへの入力電圧を出力ポート１１ｏから出力する回路である。図２に、第１ゲート駆動回路１１の構成例を示す。

[0020] 図１に示すように、第１ゲート駆動回路１１の正側電圧ポート１１ｐと負側電圧ポート１１ｎとの間には、コンデンサ１３が配置されている。さらに、第１ゲート駆動回路１１の正側電圧ポート１１ｐと、ＶＤＤ電源とは、正側電圧ポート１１ｐからＶＤＤ電源に向けて流れる電流を遮断するためのダイオード１５が挿入された電源ラインにて接続されている。また、既に説明したように、第１ゲート駆動回路１１の負側電圧ポート１１ｎは、ＦＥＴ＃１のソース、ＦＥＴ＃２のドレイン及びＬＤ３１のアノードと接続されてい

る。

[0021] ここまでの説明から明らかなように、第１ゲート駆動回路１１は、ＦＥＴ＃１がＯＮされると、正側電圧ポート１１ｐの電位と負側電圧ポート１１ｎの電位が共に変化する回路となっている。そのため、第１ゲート駆動回路１１としては、例えば、図２に示したような構成の回路、すなわち、２つのＭＯＳＦＥＴによるプッシュプル回路と、当該プッシュプル回路を構成している各ＭＯＳＦＥＴのゲートへの入力電圧を、正側電圧ポート１１ｐの電位に応じて変更するレベルシフト回路とを備えた回路が使用される。

[0022] 制御回路１０は、第１設定時間の間、第２ゲート駆動回路１２への制御信号レベルをハイレベルとし、第２設定時間の経過を待機してから、第３設定時間の間、第１ゲート駆動回路１１への制御信号レベルをハイレベルとするレーザ駆動処理を実行可能に構成された回路である。なお、第１～第３設定時間とは、ユーザにより設定される時間のことである。第１設定時間は、コンデンサ１３の充電に要する時間を考慮して定められ、第２設定時間は、ＦＥＴ＃２のターンオフ時間を考慮して定められる。また、第３設定時間は、レーザのパルス幅(即ち、コンデンサ２７の充電電荷が放電しきる時間)以上の時間として定められ、ハイレベルとするタイミングがレーザ発光タイミングを決定する。

[0023] 制御回路１０は、外部から所定の指示が入力される度にレーザ駆動処理を行う動作モードと、設定された周期でレーザ駆動処理を繰り返す動作モードとを有している。

[0024] 本実施形態に係る駆動回路は、以上説明した構成を有している。従って、本実施形態に係る駆動回路によれば、ＦＥＴ＃１（ＧａＮ－ＦＥＴ）のＶｇｓを、Ｖｇｓ耐圧以下に抑えながら、ＬＤ３１を駆動することができる。

[0025] 以下、図３から図５に基づいて本実施形態に係る駆動回路の動作例を説明する。図３は、本実施形態に係る駆動回路の動作を説明するためのタイミングチャート、図４は本実施形態に係る駆動回路のＦＥＴ＃２オン時の電流経路の説明図、図５は本実施形態に係る駆動回路のＦＥＴ＃１オン時の電流経

路の説明図である。以下の説明では、ＶＤＤ電源の供給はすでに開始されており、ＦＥＴ＃１、＃２がオフ、コンデンサ２７が未充電の状態で、時刻Ｔ１にＬＤ電源の供給が開始された場合を前提とする。なお、ノードＮ１０１の電位は、グラウンド電位ではないとする。

[0026] 図３に示すように、時刻Ｔ１にＬＤ電源の供給が開始されると、コンデンサ２７の充電が開始されるため、ノードＮ１０２の電位Ｖ＿Ｎ１０２が上昇して、所定時間後に、Ｖ＿Ｎ１０２がＬＤ電源の電位となる。

[0027] そして、制御回路１０の制御により時刻Ｔ２にＦＥＴ＃２がオンされると、ノードＮ１０１の電位Ｖ＿Ｎ１０１がグラウンド電位となる。また、図４に示した経路で電流が流れることになるため、コンデンサ１３が充電されてコンデンサ１３の両端間の電圧がほぼＶＤＤ（即ち、Ｖｇｓ耐圧以下の電圧）となる。

[0028] コンデンサ１３の充電完了後の時刻Ｔ３にＦＥＴ＃２がオフされる。そして、時刻Ｔ４にＦＥＴ＃１がオンされると、図５に示した経路で電流が流れて、ＬＤ３１からパルス光が射出されることになるが、第１ゲート駆動回路１１は、負側電圧ポート１１ｎがノードＮ１０１と接続された状態でコンデンサ１３を電源として動作している。従って、図３に示してあるように、常に（ＦＥＴ＃１のオン時やオフしている間）、ＦＥＴ＃１のＶｇｓが、Ｖｇｓ耐圧以下に抑えられることになる。

[0029] 以上、説明したように、本実施形態に係るＬＤ駆動回路１によれば、カソードがグラウンドに接続されたＬＤ（カソードコモン型のＬＤアレイ３０中のＬＤ３１等）をＧａＮ－ＦＥＴにより良好に駆動できる。従って、本実施形態に係るＬＤ駆動回路１を用いることで、パルスレーザ光を用いる、高性能な装置（例えば、ＬｉＤＡＲ等の測距装置や加工装置）を実現できる。

[0030] 《変形形態》

上記した実施形態の駆動回路は、各種の変形が可能なものである。例えば、駆動回路を、制御回路１０を備えない回路（即ち、外部から、第１ゲート駆動回路１１、第２ゲート駆動回路１２への制御信号が入力される回路）に

変形しても良い。また、駆動回路を、制御回路１０及び第２ゲート駆動回路１２を備えない回路（即ち、外部から第１ゲート駆動回路１１、ＦＥＴ＃２への制御信号が入力される回路）に変形しても良い。また、バイパスコンデンサ１４を備えない構成であっても良い。また、ダイオード１５と正側電圧ポート１１ｐとの間に抵抗を挿入しても良いことや、第１ゲート駆動回路１１の回路構成が上記したものでなくても良いことなどは、当然のことである。

[0031] 《付記》

レーザーダイオード（３１）を駆動するための駆動回路（１）であって、

前記レーザーダイオード（３１）のアノードにソースが接続され、前記レーザーダイオード（３１）の電力源（２５）にドレインが接続されたＧａＮ－ＦＥＴ（ＦＥＴ＃１）と、

正側電圧ポート（１１ｐ）、負側電圧ポート（１１ｎ）、入力ポート（１１ｉ）、出力ポート（１１ｏ）を有し、所定レベルの信号が前記入力ポート（１１ｉ）に入力されている場合に、前記正側電圧ポート（１１ｐ）への入力電圧を前記出力ポート（１１ｏ）から出力するゲート駆動回路（１１）であって、前記出力ポート（１１ｏ）、前記負側電圧ポートが、それぞれ、前記ＧａＮ－ＦＥＴ（ＦＥＴ＃１）のゲート、ソースと接続されたゲート駆動回路（１１）と、

前記ゲート駆動回路（１１）の前記正側電圧ポート（１１ｐ）と前記負側電圧ポート（１１ｎ）との間に配置されたコンデンサ（１３）と、

前記ゲート駆動回路（１１）の前記正側電圧ポート（１１ｐ）と、前記ＧａＮ－ＦＥＴ（ＦＥＴ＃１）のＶｇｓ耐圧未満の電圧を出力するＶＤＤ電源とを接続する電源ラインに、前記正側電圧ポート（１１ｐ）から前記ＶＤＤ電源に向けて流れる電流を遮断する向きで挿入されたダイオード（１５）と

前記ＧａＮ－ＦＥＴ（ＦＥＴ＃１）のソースとグラウンドとの間の接続をＯＮ／ＯＦＦするための半導体スイッチ（ＦＥＴ＃２）と、

を備えることを特徴とする駆動回路（１）。

符号の説明

[0032] １・・・ＬＤ駆動回路

１０・・・制御回路

１１ｐ，１２ｐ・・・正側電圧ポート

１１ｏ，１２ｏ・・・出力ポート

１１ｉ，１２ｉ・・・入力ポート

１１ｎ，１２ｎ・・・負側電圧ポート

１１・・・第１ゲート駆動回路

１２・・・第２ゲート駆動回路

１３，２７・・・コンデンサ

１４・・・バイパスコンデンサ

１５・・・ダイオード

２５・・・レーザ駆動電力源

２６・・・抵抗

３０・・・レーザーダイオードアレイ

３１・・・レーザーダイオード

請求の範囲

[請求項1] レーザーダイオードを駆動するための駆動回路であって、

前記レーザーダイオードのアノードにソースが接続され、前記レーザーダイオードの電力源にドレインが接続されたＧａＮ－ＦＥＴと、

正側電圧ポート、負側電圧ポート、入力ポート、出力ポートを有し、所定レベルの信号が前記入力ポートに入力されている場合に、前記正側電圧ポートへの入力電圧を前記出力ポートから出力するゲート駆動回路であって、前記出力ポート、前記負側電圧ポートが、それぞれ、前記ＧａＮ－ＦＥＴのゲート、ソースと接続されたゲート駆動回路と、

前記ゲート駆動回路の前記正側電圧ポートと前記負側電圧ポートとの間に配置されたコンデンサと、

前記ゲート駆動回路の前記正側電圧ポートと、前記ＧａＮ－ＦＥＴのＶｇｓ耐圧未満の電圧を出力するＶＤＤ電源とを接続する電源ラインに、前記正側電圧ポートから前記ＶＤＤ電源に向けて流れる電流を遮断する向きで挿入されたダイオードと

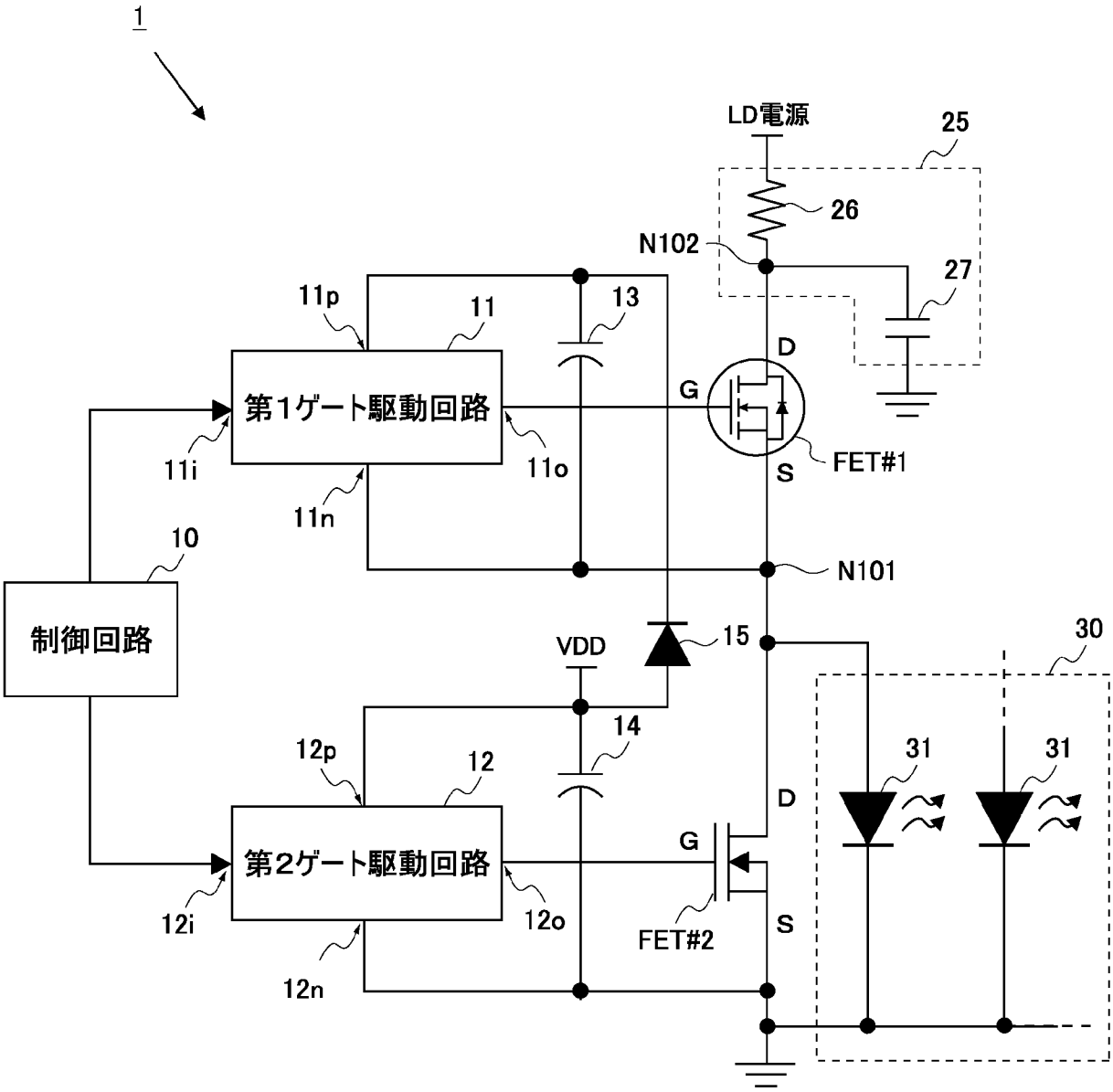
前記ＧａＮ－ＦＥＴのソースとグラウンドとの間の接続をＯＮ／ＯＦＦするための半導体スイッチと、

を備えることを特徴とする駆動回路。

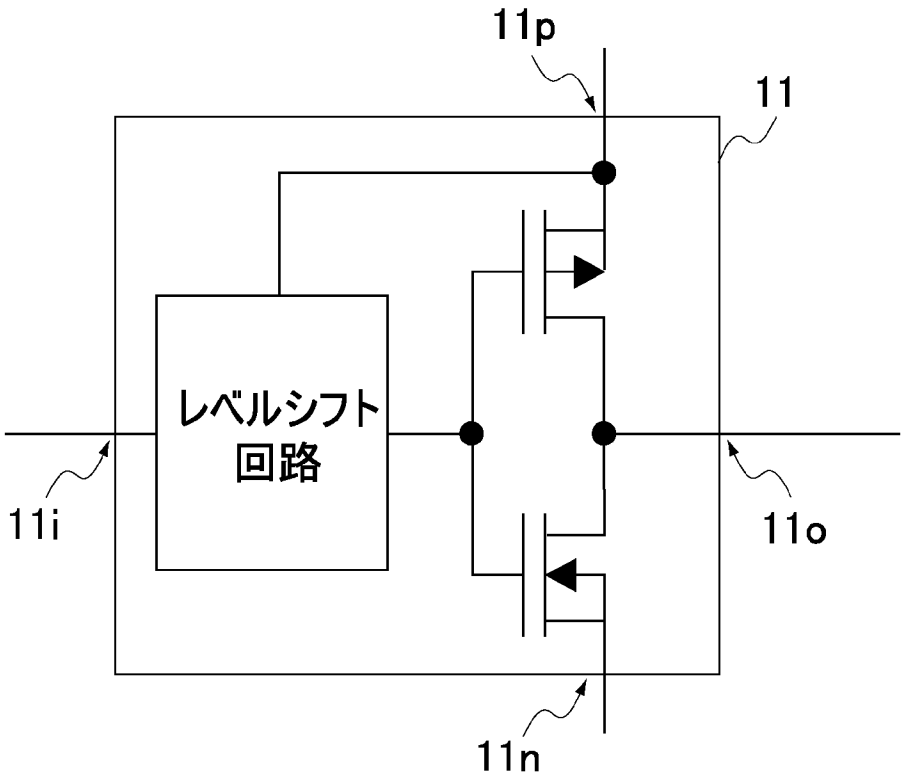
[請求項2] 前記半導体スイッチを第１所定時間の間だけオンさせるための制御をおこなった後に、前記ゲート駆動回路の前記入力ポートに前記所定レベルの信号を第２所定時間の間だけ供給する制御回路を、さらに備える、

ことを特徴とする請求項１に記載の駆動回路。

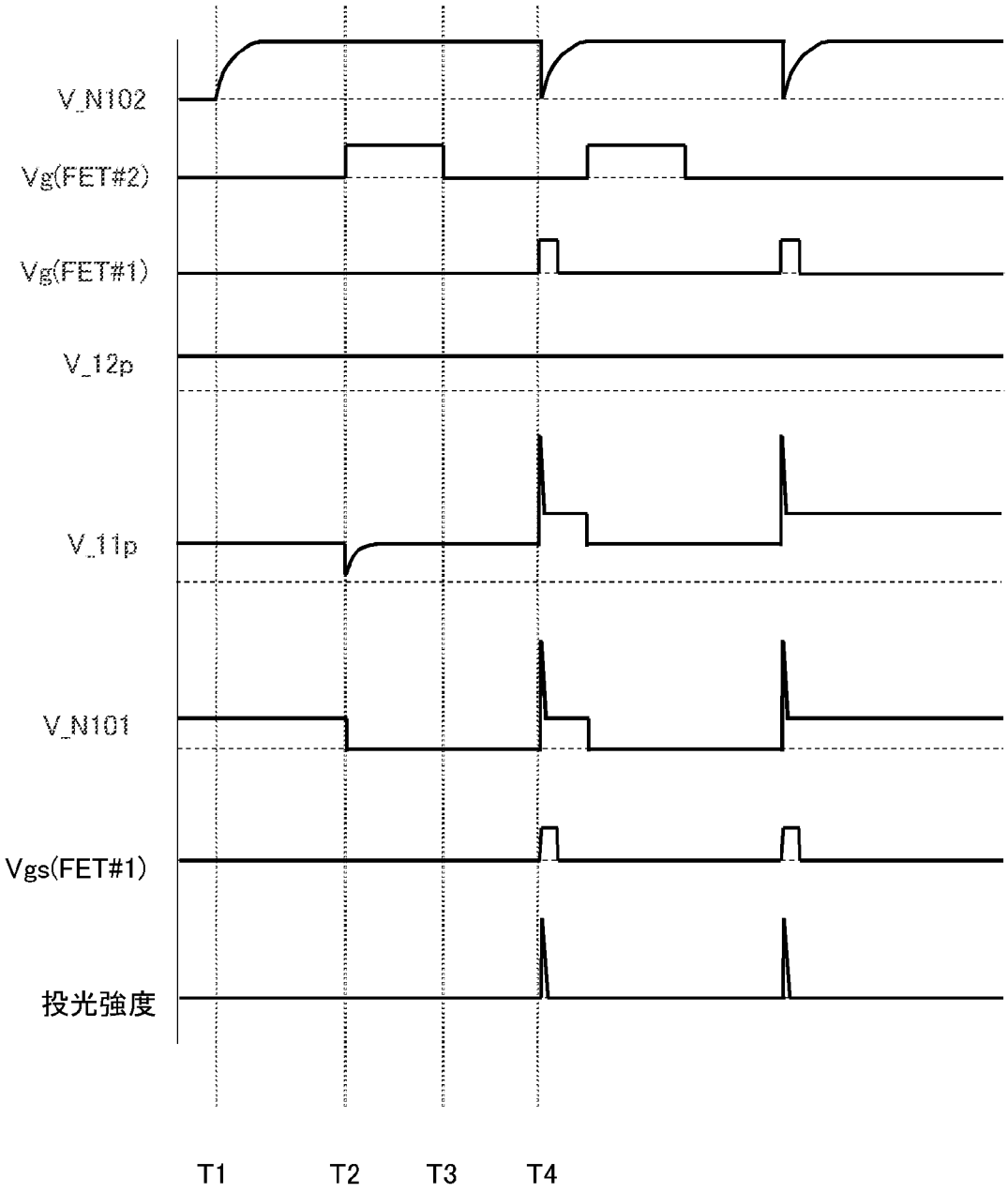
[図1]


1
LD電源
25
26
27
N102
11p
11
13
D
G
第1ゲート駆動回路
11i
11o
11n
FET#1
S
10
制御回路
N101
VDD
15
30
14
12p
12
31
31
D
G
第2ゲート駆動回路
12i
12o
FET#2
S
12n

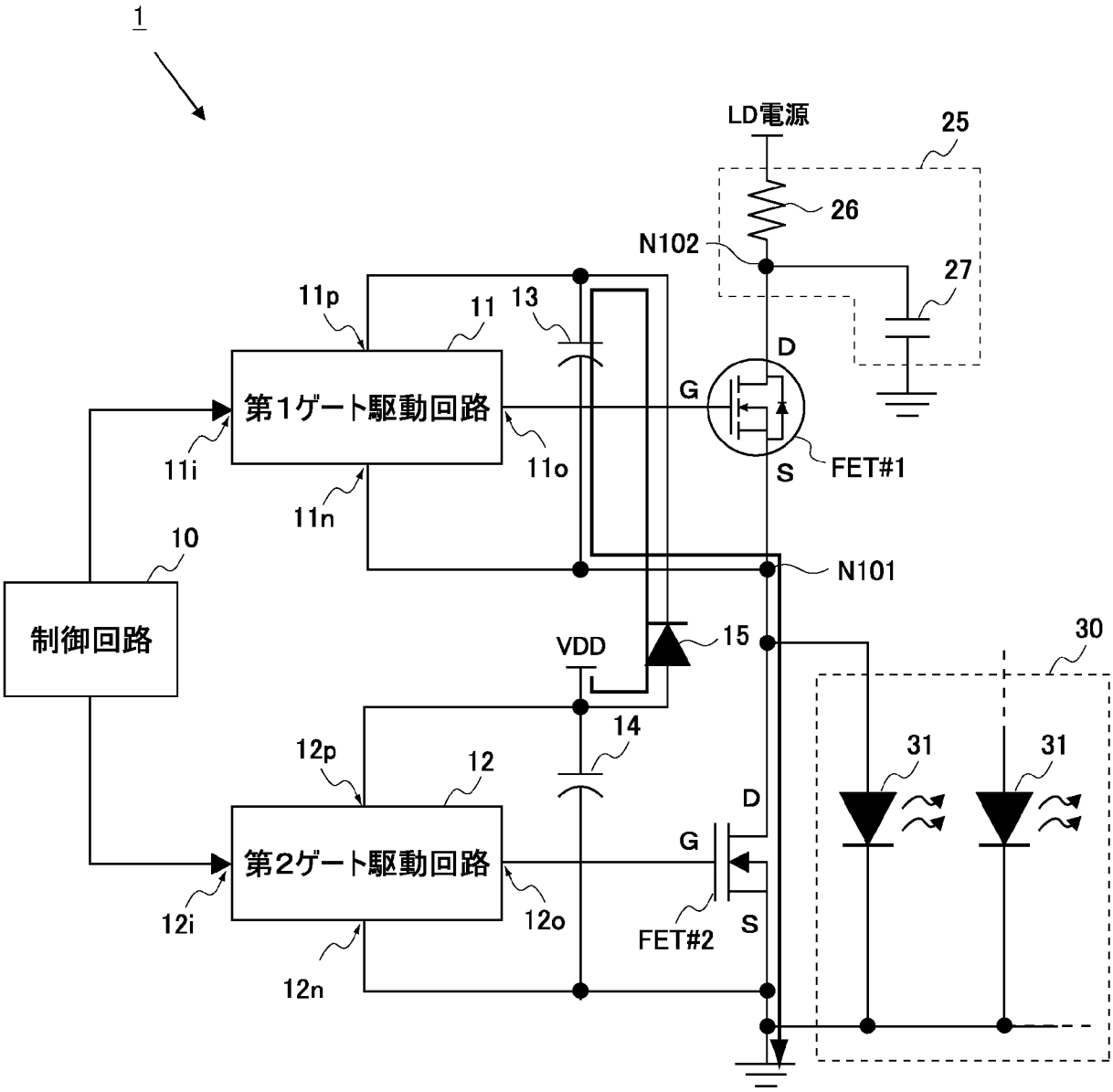
[図2]



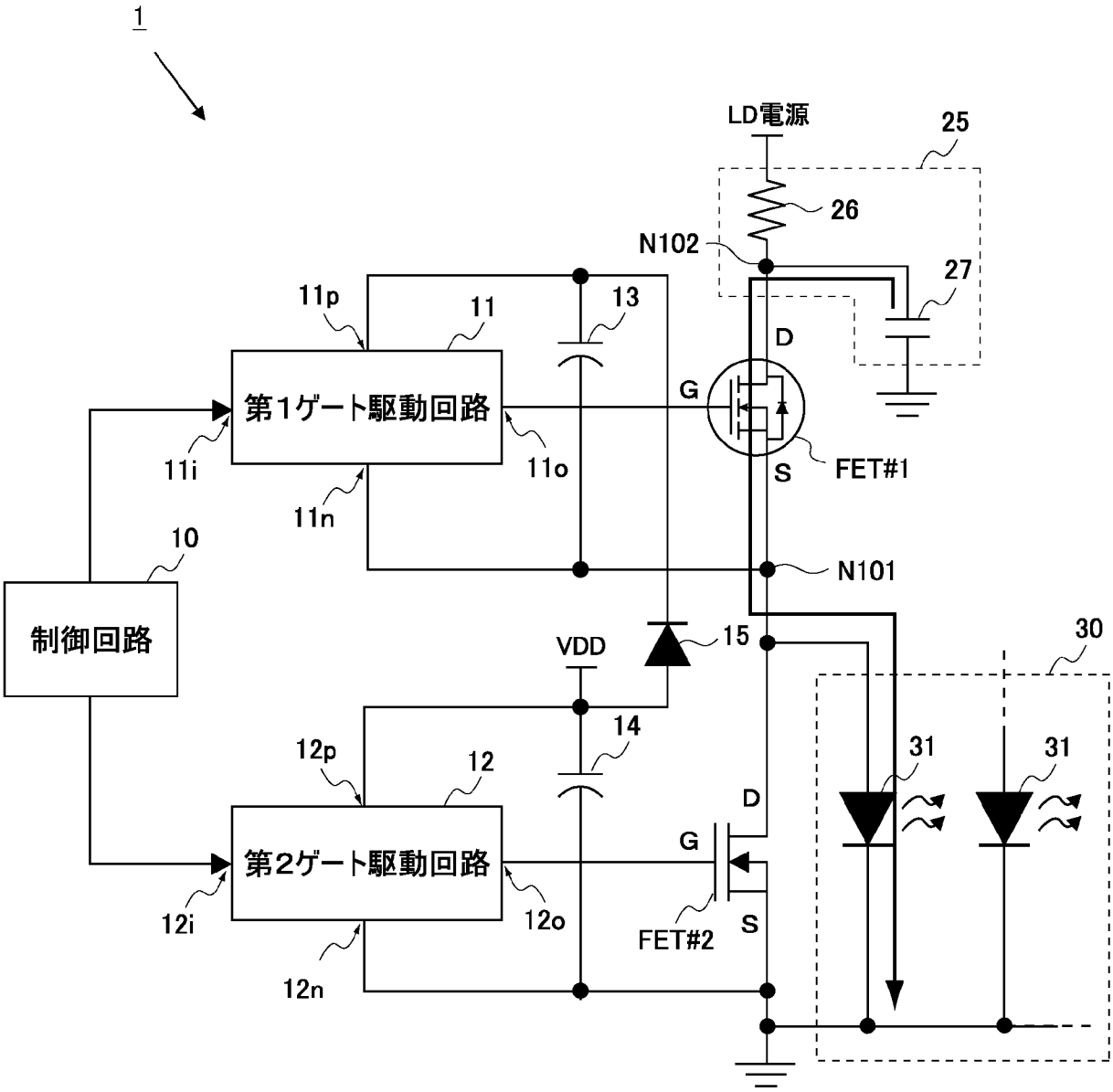
[図3]



[図4]


1
LD電源
25
26
27
N102
11p
11
13
D
G
第1ゲート駆動回路
11i
11o
11n
S
FET#1
10
制御回路
N101
VDD
15
30
14
12p
12
31
31
D
G
第2ゲート駆動回路
12i
12o
FET#2
S
12n

[図5]


1
LD電源
25
26
27
N102
11p
11
13
D
G
第1ゲート駆動回路
11i
11o
11n
S
FET#1
10
制御回路
N101
VDD
15
30
14
12p
12
31
31
D
G
第2ゲート駆動回路
12i
12o
FET#2
S
12n

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/028853

A. CLASSIFICATION OF SUBJECT MATTER
H01S 5/042(2006.01)i; H01S 5/062(2006.01)i
FI: H01S5/042 630; H01S5/062

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01S5/000-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-238821 A (CANON INC.) 24.11.2011 (2011-11-24) entire text, all drawings	1-2
A	JP 2011-023474 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 03.02.2011 (2011-02-03) entire text, all drawings	1-2
A	JP 2006-310684 A (SONY CORP.) 09.11.2006 (2006-11-09) entire text, all drawings	1-2
A	JP 08-096394 A (OLYMPUS OPTICAL CO., LTD.) 12.04.1996 (1996-04-12) entire text, all drawings	1-2
A	JP 2017-216812 A (HAMAMATSU PHOTONICS K.K.) 07.12.2017 (2017-12-07) entire text, all drawings	1-2
A	US 2018/0278017 A1 (INFINEON TECHNOLOGIES AG) 27.09.2018 (2018-09-27) entire text, all drawings	1-2

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 October 2020 (08.10.2020)	20 October 2020 (20.10.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/028853

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2011-238821 A	24 Nov. 2011	(Family: none)	
JP 2011-023474 A	03 Feb. 2011	(Family: none)	
JP 2006-310684 A	09 Nov. 2006	(Family: none)	
JP 08-096394 A	12 Apr. 1996	(Family: none)	
JP 2017-216812 A	07 Dec. 2017	(Family: none)	
US 2018/0278017 A1	27 Sep. 2018	DE 102018106861 A1	
		CN 109378704 A	

国際調査報告

国際出願番号
PCT/JP2020/028853

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01S 5/042(2006.01)i; H01S 5/062(2006.01)i
FI: H01S5/042 630; H01S5/062

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01S5/000-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-238821 A (キヤノン株式会社) 24.11.2011 (2011-11-24) 全文,全図	1-2
A	JP 2011-023474 A (住友電気工業株式会社) 03.02.2011 (2011-02-03) 全文,全図	1-2
A	JP 2006-310684 A (ソニー株式会社) 09.11.2006 (2006-11-09) 全文,全図	1-2
A	JP 08-096394 A (オリンパス光学工業株式会社) 12.04.1996 (1996-04-12) 全文,全図	1-2
A	JP 2017-216812 A (浜松ホトニクス株式会社) 07.12.2017 (2017-12-07) 全文,全図	1-2
A	US 2018/0278017 A1 (INFINEON TECHNOLOGIES AG) 27.09.2018 (2018-09-27) 全文,全図	1-2

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
08.10.2020	20.10.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
大西　孝宣 2K 6006
電話番号 03-3581-1101 内線 3255

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/028853

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-238821 A	24.11.2011	（ファミリーなし）	
JP 2011-023474 A	03.02.2011	（ファミリーなし）	
JP 2006-310684 A	09.11.2006	（ファミリーなし）	
JP 08-096394 A	12.04.1996	（ファミリーなし）	
JP 2017-216812 A	07.12.2017	（ファミリーなし）	
US 2018/0278017 A1	27.09.2018	DE 102018106861 A1	
		CN 109378704 A	