



등록특허 10-2192270



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월18일
(11) 등록번호 10-2192270
(24) 등록일자 2020년12월11일

- (51) 국제특허분류(Int. Cl.)
H01L 39/24 (2006.01) *H01L 39/12* (2006.01)
H01L 39/14 (2006.01)
- (52) CPC특허분류
H01L 39/24 (2013.01)
H01L 39/12 (2013.01)
- (21) 출원번호 10-2015-7022222
- (22) 출원일자(국제) 2014년01월17일
심사청구일자 2019년01월17일
- (85) 번역문제출일자 2015년08월17일
- (65) 공개번호 10-2015-0127046
- (43) 공개일자 2015년11월16일
- (86) 국제출원번호 PCT/US2014/012080
- (87) 국제공개번호 WO 2014/168665
국제공개일자 2014년10월16일

(30) 우선권주장
61/754,298 2013년01월18일 미국(US)
61/871,061 2013년08월28일 미국(US)

(56) 선행기술조사문헌

US05296457 A*
JP02194638 A*
JP61082449 A

*는 심사관에 의하여 인용된 문헌

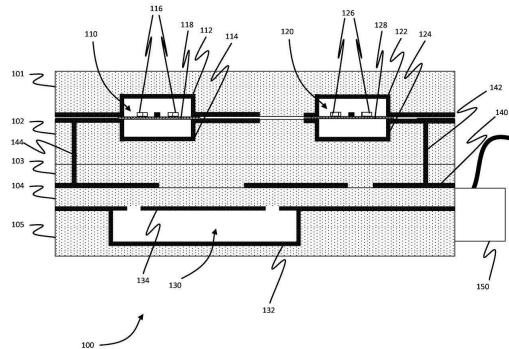
전체 청구항 수 : 총 25 항

심사관 : 강필승

(54) 발명의 명칭 적어도 하나의 인클로저를 구비한 초전도 디바이스를 제조하는 방법

(57) 요약

몇몇 실시형태는 하나 이상의 트로프를 포함하는 다수의 기판을 포함하는 디바이스에 관한 것이다. 기판들은, 하나 이상의 트로프가 적어도 하나의 인클로저를 형성하도록 배치된다. 적어도 하나의 초전도층은 적어도 하나의 인클로저의 적어도 일부를 피복한다. 다른 실시형태들은 초전도 디바이스를 제조하기 위한 방법에 관한 것이다. 방법은 적어도 제1 기판에 적어도 하나의 트로프를 형성하는 단계; 초전도 물질로 제1 기판의 적어도 일부를 피복하는 단계; 초전도 물질로 제2 기판의 적어도 일부를 피복하는 단계; 및 적어도 하나의 트로프 및 초전도 물질을 포함하는 적어도 하나의 인클로저를 형성하기 위해 제1 기판 및 제2 기판을 접착하는 단계를 포함한다.

대 표 도 - 도1

(52) CPC특허분류

H01L 39/14 (2013.01)

H01L 39/2422 (2013.01)

H01L 39/2467 (2013.01)

H01L 39/2474 (2013.01)

(72) 발명자

프룬지오, 루이지

미국 코네티컷주 06473 뉴 헤이븐 모리 스트리트

24

데보렛, 미셸

미국 코네티컷주 06511 뉴 헤이븐 유닛 7더블유 오
렌지 스트리트 869

명세서

청구범위

청구항 1

초전도 디바이스의 제조방법으로서, 적어도 제1 반도체 기판에 적어도 하나의 트로프(trough)를 형성하는 단계; 상기 제1 반도체 기판의 적어도 일부를 초전도 물질로 피복하는 단계; 제2 반도체 기판의 적어도 일부를 상기 초전도 물질로 피복하는 단계; 및 상기 제1 반도체 기판과 상기 제2 반도체 기판을 접착시켜 상기 적어도 하나의 트로프 및 상기 초전도 물질을 포함하는 적어도 하나의 인클로저(enclosure)를 형성하는 단계를 포함하는, 초전도 디바이스의 제조방법.

청구항 2

제1항에 있어서, 상기 적어도 하나의 트로프를 형성하는 단계는, 상기 제1 반도체 기판의 일부를 피복하는 마스크층을 형성하는 단계; 및 상기 마스크층으로 피복되지 않은 상기 제1 반도체 기판의 일부를 식각(etching)하는 단계를 포함하는, 초전도 디바이스의 제조방법.

청구항 3

제2항에 있어서, 상기 식각하는 단계는 이방성 식각(anisotropic etching)하는 단계를 포함하는, 초전도 디바이스의 제조방법.

청구항 4

제3항에 있어서, 상기 이방성 식각하는 단계는 습식 식각제(wet etchant)를 사용하는, 초전도 디바이스의 제조방법.

청구항 5

제2항에 있어서, 상기 마스크층은 질화 규소를 포함하는, 초전도 디바이스의 제조방법.

청구항 6

제1항에 있어서, 상기 제1 반도체 기판의 적어도 일부를 초전도 물질로 피복하는 단계는, 상기 제1 반도체 기판의 적어도 일부 상에 시드 층(seed layer)을 형성하는 단계; 및 상기 시드 층 위에 상기 초전도 물질을 전기도금하는 단계를 포함하는, 초전도 디바이스의 제조방법.

청구항 7

제1항에 있어서, 상기 초전도 물질은 알루미늄, 니오븀, 인듐, 레늄, 탄탈륨, 질화 티타늄 및 질화 니오븀으로 이루어진 군으로부터 선택되는, 초전도 디바이스의 제조방법.

청구항 8

제1항에 있어서, 적어도 하나의 배선층 기판에 채널들을 형성하는 단계; 상기 채널들의 적어도 일부를 상기 초전도 물질로 피복하여 배선층을 형성하는 단계; 및 상기 제1 반도체 기판 및/또는 상기 제2 반도체 기판에 상기 적어도 하나의 배선 기판을 접착하는 단계를 더 포함하는, 초전도 디바이스의 제조방법.

함하는, 초전도 디바이스의 제조방법.

청구항 9

제8항에 있어서, 적어도 제1 반도체 기판에 적어도 하나의 트로프를 형성하는 단계는,
 상기 제1 반도체 기판에 제1 트로프를 형성하는 단계; 및
 상기 제2 반도체 기판에 제2 트로프를 형성하는 단계를 포함하되,
 상기 적어도 하나의 인클로저는 상기 제1 트로프 및 상기 제2 트로프로부터 형성된 제1 인클로저를 포함하는,
 초전도 디바이스의 제조방법.

청구항 10

제9항에 있어서, 상기 적어도 하나의 인클로저는 외부 전자기 복사(external electromagnetic radiation)가 상기 적어도 하나의 인클로저에 진입하는 것을 방지하게끔 적어도 하나의 전자기 차폐부를 형성하도록 구성부되는, 초전도 디바이스의 제조방법.

청구항 11

제10항에 있어서, 상기 제1 인클로저 내에 적어도 하나의 초전도 구성요소를 형성하는 단계를 더 포함하는, 초전도 디바이스의 제조방법.

청구항 12

제11항에 있어서, 상기 적어도 하나의 초전도 구성요소는 적어도 하나의 초전도 회로를 포함하는, 초전도 디바이스의 제조방법.

청구항 13

제11항에 있어서, 상기 적어도 하나의 초전도 구성요소는 적어도 하나의 큐비트(qubit)를 포함하는, 초전도 디바이스의 제조방법.

청구항 14

제13항에 있어서, 상기 제2 반도체 기판의 적어도 일부를 지지층으로 피복하는 단계를 더 포함하되, 상기 적어도 하나의 큐비트는 상기 지지층 상에 및/또는 상기 지지층 내에 배치되는, 초전도 디바이스의 제조방법.

청구항 15

제13항에 있어서, 상기 적어도 하나의 초전도 구성요소는 적어도 하나의 스트립라인 공진기(stripline resonator)를 포함하는, 초전도 디바이스의 제조방법.

청구항 16

제15항에 있어서, 적어도 제1 반도체 기판에 적어도 하나의 트로프를 형성하는 단계는 제3 기판에 제3 트로프를 형성하는 단계를 더 포함하고,

상기 초전도 디바이스의 제조방법은,

상기 제3 기판의 적어도 일부를 상기 초전도 물질로 피복하는 단계;

제4 기판의 적어도 일부를 상기 초전도 물질로 피복하는 단계;

상기 제3 기판과 상기 제4 기판을 접착하여, 상기 제3 트로프로부터 제2 인클로저를 포함하는 메모리층을 형성하는 단계; 및

상기 적어도 하나의 배선층에 상기 메모리층을 접착하는 단계를 더 포함하는, 초전도 디바이스의 제조방법.

청구항 17

제16항에 있어서, 상기 배선층은 상기 제1 인클로저에 상기 제2 인클로저를 결합시키는, 초전도 디바이스의 제

조방법.

청구항 18

제17항에 있어서, 상기 제1 인클로저는 적어도 하나의 비아(via)를 통해 상기 배선층에 전기적으로 접속되는, 초전도 디바이스의 제조방법.

청구항 19

제16항에 있어서, 상기 제2 인클로저의 Q 팩터가 상기 제1 인클로저의 Q 팩터보다 큼, 초전도 디바이스의 제조방법.

청구항 20

제1항에 있어서, 상기 적어도 하나의 인클로저에 적어도 하나의 큐비트를 결합시키는 단계를 더 포함하는, 초전도 디바이스의 제조방법.

청구항 21

제20항에 있어서, 상기 적어도 하나의 인클로저에 적어도 하나의 큐비트를 결합시키는 단계는 상기 적어도 하나의 인클로저 내에 상기 적어도 하나의 큐비트를 형성하는 단계를 포함하는, 초전도 디바이스의 제조방법.

청구항 22

삭제

청구항 23

제20항에 있어서, 상기 적어도 하나의 큐비트는 트랜스몬 큐비트(transmon qubit)인, 초전도 디바이스의 제조방법.

청구항 24

제20항에 있어서, 상기 적어도 하나의 큐비트는 플럭소늄 큐비트(fluxonium qubit)인, 초전도 디바이스의 제조방법.

청구항 25

제1항에 있어서, 상기 적어도 하나의 인클로저는, 하나 이상의 주파수에서의 전자기 복사가 적어도 하나의 3차원 공동 공진기 내에서 공진하게끔 상기 적어도 하나의 3차원 공동 공진기를 형성하도록 구성되는, 초전도 디바이스의 제조방법.

청구항 26

삭제

청구항 27

초전도 디바이스의 제조방법으로서,

적어도 제1 반도체 기판에 적어도 하나의 트로프를 형성하는 단계;

상기 제1 반도체 기판의 적어도 일부를 초전도 물질로 피복하는 단계;

제2 반도체 기판의 적어도 일부를 상기 초전도 물질로 피복하는 단계; 및

상기 제1 반도체 기판과 상기 제2 반도체 기판을 접착시켜, 상기 초전도 물질로 피복된 상기 제1 반도체 기판의 상기 일부가 상기 초전도 물질로 피복된 상기 제2 반도체 기판의 상기 일부와 대향하고 그리고 상기 제2 반도체 기판의 상기 일부와 대체되도록 상기 적어도 하나의 트로프 및 상기 초전도 물질을 포함하는 적어도 하나의 인클로저를 형성하는 단계를 포함하는, 초전도 디바이스의 제조방법.

발명의 설명

기술 분야

[0001]

관련 출원들

[0002]

본 출원은, 미국 특허 출원 제61/754298호(발명의 명칭: ERROR-CORRECTED QUANTUM REGISTERS FOR A MODULAR SUPERCONDUCTING QUANTUM COMPUTER, 출원일: 2013년 1월 18일) 및 미국 특허 출원 제61/871061호(발명의 명칭: ERROR-CORRECTED QUANTUM REGISTERS FOR A MODULAR SUPERCONDUCTING QUANTUM COMPUTER, 출원일: 2013년 8월 28일)에 대한 35 U.S.C. § 119(e) 하의 우선권을 주장하며, 이들 두 기초 출원의 전체 내용은 참고로 본 명세서에 통합된다.

[0003]

연방 정부에서 지원하는 연구

[0004]

본 발명은 미국 육군 - 육군 연구소에 의해 지급된 승인 번호 W9111NF-09-1-0514 하의 정부 지원으로 고안되었다.

[0005]

발명의 기술분야

[0006]

본 출원은 일반적으로 초전도 디바이스들 및 초전도 디바이스들을 형성하는 방법들에 관한 것이다. 특히, 본 출원은 양자 역학 현상을 나타내도록 구성된 다수의 기판으로부터 형성된 초전도 디바이스들에 관한 것이다.

배경 기술

[0007]

양자 정보 처리는 종래의 정보 처리에 의해 이용되지 않은 방식으로 정보를 인코딩하고 처리하기 위해, 에너지 양자화, 중첩 및 얹힘(entanglement)과 같은, 양자 역학 현상을 사용한다. 예를 들면, 특정 계산 문제점들이 종래의 고전적인 계산보다 양자 계산을 사용하여 더 효율적으로 해결될 수 있음이 공지된다. 그러나, 가능한 계산 옵션이 되기 위해, 양자 계산은 "큐비트(qubit)들"로서 공지된, 많은 수의 양자 비트, 그리고 이를 큐비트 사이의 상호작용을 정확하게 제어하는 능력을 요구한다. 특히, 큐비트들은 긴 간섭성 시간들을 가져야 하고, 개별적으로 조작될 수 있어야 하고, 다중-큐비트 게이트들을 구현하기 위해 하나 이상의 다른 큐비트와 상호작용 할 수 있어야 하고, 효율적으로 초기화되고 측정될 수 있어야 하며, 많은 수들의 큐비트로 확장가능해야 한다.

[0008]

큐비트는 적어도 2가지 직교 상태를 갖는 임의의 물리적 양자 역학 시스템으로부터 형성될 수 있다. 정보를 인코딩하기 위해 사용된 시스템의 2가지 상태는 "계산 기저(computational basis)"로서 지칭된다. 예를 들면, 광자 분극, 전자 스핀, 및 핵 스핀은 정보를 인코딩할 수 있고 따라서, 양자 정보 처리를 위한 큐비트로서 사용될 수 있는 2-레벨 시스템들이다. 큐비트들의 상이한 물리적 구현은 상이한 장점 및 단점을 갖는다. 예를 들면, 광자 분극은 긴 간섭성 시간 및 단순한 단일 큐비트 조작으로부터 이득을 얻지만, 단순한 다중-큐비트 게이트들을 생성할 수 없게 된다.

[0009]

계산 기저가 조셉슨 접합(Josephson junction)에서 구리 쌍들의 양자화된 에너지 상태들인 "위상 큐비트들"; 계산 기저가 초전도 루프로 전류 흐름을 순환시키는 방향인 "유속 큐빗"; 및 계산 기저가 초전도 섬(superconducting island) 상의 구리 쌍의 존재 또는 부재인 "전하 큐비트들"을 포함하는, 조셉슨 접합들을 사용하는 상이한 유형들의 초전도 큐비트들이 제안되었다. 초전도 큐비트들은 큐비트의 이로운 선택인데, 이는 2개의 큐비트 사이의 결합이 강하게, 2-큐비트 게이트들을 상대적으로 단순하게 구현하도록 하기 때문이고, 초전도 큐비트들은 확장가능한데, 이는 그들이 종래의 전자 회로 기술들을 사용하여 형성될 수 있는 메조스코픽(mesoscopic) 구성요소들이기 때문이다.

발명의 내용

[0010]

발명자들은, 초전도 디바이스들이 종래의 마이크로전자 제작 기술들을 사용하여 제조될 수 있음을 인식하고 이해했다. 따라서, 실시형태들은 초전도 디바이스들 및 초전도 디바이스들을 제조하기 위한 방법들에 관한 것이다.

[0011]

몇몇 실시형태는 하나 이상의 트로프(trough)를 포함하는 다수의 기판을 포함하는 디바이스에 관한 것이다. 기판들은, 하나 이상의 트로프가 적어도 하나의 인클로저(enclosure)를 형성하도록 배치된다. 적어도 하나의 초전도층은 적어도 하나의 인클로저의 적어도 일부를 피복(cover)한다. 몇몇 실시형태에서, 복수의 기판은 실리콘과 같은, 결정 구조를 갖는 물질을 포함한다.

[0012]

몇몇 실시형태에서, 적어도 하나의 인클로저는, 하나 이상의 주파수에서의 전자기 복사(electromagnetic radiation)가 적어도 하나의 3차원 공동 공진기(three-dimensional cavity resonator) 내에서 공진하게끔, 적

어도 하나의 3차원 공동 공진기를 형성하도록 구성된다. 하나 이상의 주파수는 적어도 하나의 마이크로파 주파수를 포함할 수 있다. 적어도 하나의 3차원 공동 공진기의 Q 팩터(factor)는 천만보다 클 수 있다. 몇몇 실시형태에서, 적어도 하나의 3차원 공동 공진기는 제1의 3차원 공동 공진기 및 제2의 3차원 공동 공진기를 포함한다. 제1의 3차원 공동 공진기의 Q 팩터는 제2의 3차원 공동 공진기의 Q 팩터보다 클 수 있다.

[0013] 몇몇 실시형태에서, 적어도 하나의 초전도 큐비트는 적어도 하나의 3차원 공동 공진기에 결합된다. 적어도 하나의 초전도 큐비트는 트랜스몬 큐비트(transmon qubit) 또는 플럭소늄 큐비트(fluxonium qubit)일 수 있다. 몇몇 실시형태에서, 초전도 배선층은 복수의 기판 중 제1 기판 상에 및/또는 제1 기판에 배치된다. 초전도 배선층은 적어도 하나의 3차원 공동 공진기에 적어도 하나의 초전도 큐비트를 결합시키도록 구성될 수 있다. 몇몇 실시형태에서, 적어도 하나의 초전도에서의 적어도 하나의 개구는 적어도 하나의 3차원 공동 공진기에 초전도 배선층을 결합시키도록 구성된다. 적어도 하나의 비아(via)는 복수의 기판 중 제2 기판의 적어도 하나의 초전도 구성요소에 초전도 배선층을 접속시킬 수 있다.

[0014] 몇몇 실시형태에서, 적어도 하나의 초전도 큐비트는, 적어도 하나의 초전도 큐비트가 전자기 복사를 통해 적어도 하나의 3차원 공동 공진기에 결합하도록 구성되도록 적어도 하나의 3차원 공동 공진기 내에 배치된다.

[0015] 몇몇 실시형태에서, 디바이스의 복수의 기판은 제1 기판 및 제2 기판을 포함한다. 제1 기판은 하나 이상의 트로프 중 제1 트로프를 포함할 수 있다. 적어도 하나의 초전도층은 제1 트로프의 적어도 일부를 피복하는 제1 초전도층; 및 제2 기판의 표면의 적어도 일부를 피복하는 제2 초전도층을 포함할 수 있다. 제1 기판 및 제2 기판은, 제1 초전도층 및 제2 초전도층이 직접 접촉을 하고 제1 트로프가 적어도 하나의 3차원 공동 공진기를 형성하도록 배치될 수 있다.

[0016] 몇몇 실시형태에서, 적어도 하나의 인클로저는, 외부 전자기 복사가 적어도 하나의 인클로저에 진입하는 것을 방지하게끔 적어도 하나의 전자기 차폐부를 형성하도록 구성된다. 적어도 하나의 초전도 구성요소는 적어도 하나의 전자기 차폐 내에 배치될 수 있다. 적어도 하나의 초전도 구성요소는 적어도 하나의 초전도 회로, 적어도 하나의 큐비트 및/또는 적어도 하나의 스트립라인 공진기(stripline resonator)를 포함할 수 있다.

[0017] 몇몇 실시형태에서, 복수의 기판은 제1 기판 및 제2 기판을 포함한다. 제1 기판은 하나 이상의 트로프 중 제1 트로프를 포함할 수 있고 제2 기판은 하나 이상의 트로프 중 제2 트로프를 포함할 수 있다. 적어도 하나의 초전도층은 제1 트로프의 적어도 일부를 피복하는 제1 초전도층 및 제2 트로프의 적어도 일부를 피복하는 제2 초전도층을 포함할 수 있다. 제1 기판 및 제2 기판은, 제1 트로프 및 제2 트로프가 적어도 하나의 인클로저를 형성하도록 배치될 수 있다. 적어도 하나의 스트립라인 공진기는 적어도 하나의 전자기 차폐 내에 배치될 수 있다. 몇몇 실시형태에서, 적어도 하나의 지지층은 적어도 하나의 전자기 차폐 내에 설치되고, 여기서 적어도 하나의 스트립라인 공진기는 적어도 하나의 지지층 상에 및/또는 적어도 하나의 지지층에 배치된다. 적어도 하나의 지지층은 규소, 산화 규소, 및 질화 규소로 구성된 군으로부터 선택된 적어도 하나의 물질을 포함할 수 있다. 몇몇 실시형태에서, 적어도 하나의 전자기 차폐는 적어도 하나의 스트립라인 공진기와 연관된 회로의 일부가 되도록 구성된다.

[0018] 몇몇 실시형태에서, 하나 이상의 트로프는 제2 트로프 표면에 대향된 제1 트로프 표면을 갖는 제1 트로프를 포함하고, 여기서 제1 트로프 표면은 제2 트로프 표면에 평행하지 않다. 하나 이상의 트로프의 적어도 하나의 표면은 원자적으로 평활(atomically smooth)할 수 있다. 적어도 하나의 인클로저는 기압보다 적은 압력으로 소기(evacuate)될 수 있다.

[0019] 몇몇 실시형태는 초전도 디바이스를 제조하기 위한 방법에 관한 것이다. 방법은 적어도 제1 기판에 적어도 하나의 트로프를 형성하는 단계; 제1 기판의 적어도 일부를 초전도 물질로 피복하는 단계; 제2 기판의 적어도 일부를 초전도 물질로 피복하는 단계; 및 제1 기판과 제2 기판을 접착하여 적어도 하나의 트로프 및 초전도 물질을 포함하는 적어도 하나의 인클로저를 형성하는 단계를 포함한다.

[0020] 몇몇 실시형태에서, 적어도 하나의 트로프를 형성하는 단계는, 제1 기판의 일부를 피복하는 마스크층을 형성하는 단계; 및 마스크층으로 피복되지 않은 제1 기판의 일부를 식각(etching)하는 단계를 포함한다. 식각하는 단계는 예를 들면, 습식 식각제(wet etchant)를 사용하여 이방성 식각(anisotropic etching)하는 단계를 포함할 수 있다. 마스크층은 질화 규소를 포함할 수 있다.

[0021] 몇몇 실시형태에서, 제1 기판의 적어도 일부를 초전도 물질로 피복하는 단계는, 제1 기판의 적어도 일부 상에 시드 층(seed layer)을 형성하는 단계; 및 시드 층 위에 초전도 물질을 전기도금하는 단계를 포함한다. 초전도 물질은 알루미늄, 니오븀, 인듐, 레늄, 탄탈륨, 질화 티타늄 및 질화 니오븀 중 하나 이상을 포함할 수 있다.

[0022] 몇몇 실시형태에서, 방법은, 적어도 하나의 배선층 기판에 채널들을 형성하는 단계; 채널들의 적어도 일부를 초전도 물질로 피복하여 배선층을 형성하는 단계; 및 제1 기판 및/또는 제2 기판에 적어도 하나의 배선 기판을 접착하는 단계를 더 포함한다. 적어도 제1 기판에 적어도 하나의 트로프를 형성하는 단계는, 제1 기판에 제1 트로프를 형성하는 단계; 및 제2 기판에 제2 트로프를 형성하는 단계를 포함할 수 있고, 여기서 적어도 하나의 인클로저는 제1 트로프 및 제2 트로프로부터 형성된 제1 인클로저를 포함한다. 몇몇 실시형태에서, 적어도 하나의 인클로저는, 외부 전자기 복사가 적어도 하나의 인클로저에 진입하는 것을 방지하게끔 적어도 하나의 전자기 차폐부를 형성하도록 구성된다. 적어도 하나의 초전도 구성요소는 제1 인클로저 내에 형성될 수 있다. 적어도 하나의 초전도 구성요소는 적어도 하나의 초전도 희로, 적어도 하나의 큐비트 및/또는 적어도 하나의 스트립라인 공진기(stripline resonator)를 포함할 수 있다. 몇몇 실시형태에서, 상기 제2 기판의 적어도 일부는 지지층으로 피복되고 적어도 하나의 큐비트는 공동 내의 지지층 상에 및/또는 지지층 내에 배치된다.

[0023] 몇몇 실시형태에서, 적어도 제1 기판에 적어도 하나의 트로프를 형성하는 단계는 제3 기판에 제3 트로프를 형성하는 단계를 더 포함하고, 상기 방법은, 제3 기판의 적어도 일부를 초전도 물질로 피복하는 단계; 제4 기판의 적어도 일부를 초전도 물질로 피복하는 단계; 제3 기판과 제4 기판을 접착하여 제3 트로프로부터 제2 인클로저를 포함하는 메모리층을 형성하는 단계; 및 적어도 하나의 배선층에 메모리층을 접착하는 단계를 더 포함한다. 배선층은 제1 인클로저에 제2 인클로저를 결합시킬 수 있다. 제1 인클로저는 적어도 하나의 비아를 통해 배선층에 전기적으로 접속될 수 있다. 몇몇 실시형태에서, 제2 인클로저의 Q 팩터는 제1 인클로저의 Q 팩터보다 크다.

[0024] 몇몇 실시형태에서, 방법은 적어도 하나의 인클로저에 적어도 하나의 큐비트를 결합시키는 단계를 또한 포함할 수 있다. 적어도 하나의 인클로저에 적어도 하나의 큐비트를 결합시키는 단계는 적어도 하나의 인클로저 내에 적어도 하나의 큐비트를 형성하고/하거나 적어도 하나의 인클로저 내에 적어도 하나의 큐비트를 형성하는 단계를 포함할 수 있다. 적어도 하나의 큐비트는 트랜스몬 큐비트 또는 플렉소늄 큐비트일 수 있다.

[0025] 몇몇 실시형태에서, 적어도 하나의 인클로저는, 하나 이상의 주파수에서의 전자기 복사가 적어도 하나의 3차원 공동 공진기 내에서 공진하게끔 적어도 하나의 3차원 공동 공진기를 형성하도록 구성된다.

도면의 간단한 설명

[0026] 첨부된 도면들은 일정한 비율로 그려지도록 의도되지 않는다. 도면들에서, 다양한 도표에 도시되는 각각의 동일하거나 거의 동일한 구성요소는 유사한 부호에 의해 표현된다. 명료성을 목적으로, 모든 구성요소가 모든 도면에 라벨링(labelling)되는 것은 아니다.

도 1은 몇몇 실시형태에 따라 복수의 인클로저를 형성하기 위해 배치된 복수의 기판 및 초전도층을 포함하는 초전도 디바이스의 단면도;

도 2는 몇몇 실시형태에 따라 공동 내에 배치된 복수의 초전도 큐비트를 인클로징(enclosing)하는 3차원 공동 공진기를 포함하는 초전도 디바이스의 단면도;

도 3은 몇몇 실시형태에 따라 전자기 차폐 및 복수의 큐비트를 포함하는 스트립라인 공진기를 포함하는 초전도 디바이스의 단면도;

도 4는 몇몇 실시형태에 따라 전자기 차폐 내에 포함된 복수의 초전도 큐비트를 포함하는 스트립라인 공진기를 포함하는 초전도 디바이스의 상면도;

도 5는 몇몇 실시형태에 따라 초전도 디바이스를 구성하기 위한 방법의 복수의 단계의 단면도;

도 6은 몇몇 실시형태에 따라 기판에 트로프를 형성하는 단면도;

도 7은 몇몇 실시형태에 따라 초전도 디바이스를 구성하기 위한 방법의 흐름도;

도 8은 몇몇 실시형태에 따라 기판에 트로프를 형성하기 위한 방법의 흐름도;

도 9는 몇몇 실시형태에 따라 초전도 디바이스를 구성하기 위한 방법을 도시한 도면;

도 10은 몇몇 실시형태에 따라 초전도 디바이스를 구성하기 위한 방법을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0027] 발명자들은, 초전도 디바이스의 간섭성 시간이 3차원 공동 공진기를 형성하기 위한 마이크로전자 제작 기술을 사용함으로써 상당히 증가될 수 있음을 인식하고 이해했다. 이들 디바이스는 더 많은 종래의, 평면 회로보다 절

연 기판 및 전도체 둘 다의 물질 결합에 덜 민감하다. 상당히 개선된 간접성 시간이 종래의 수단에 의해 제작된 3차원 공진기로 판측되었다. 이러한 3차원 공진기는 몇몇 실시형태에서 또한, 식각 기술로부터 발생할 수 있는, 적은 결함을 갖는 표면을 매우 평활하게 하는 것으로부터 이득을 얻을 수 있다. 몇몇 실시형태에서, 3차원 공동 공진기는 양자 정보를 위한 오래가는 메모리로서 사용될 수 있다. 초전도 큐비트는, 양자 정보가 초전도 큐비트로부터 3차원 공동 공진기의 광자 에너지 상태로 전달되도록 3차원 공동 공진기에 결합될 수 있다. 몇몇 실시형태에서, 하나 이상의 초전도 큐비트는 배선층을 통해 3차원 공동 공진기에 결합될 수 있다. 다른 실시형태들에서, 하나 이상의 초전도 큐비트는, 공동 내의 전자기 복사가 하나 이상의 초전도 큐비트에 직접적으로 결합하도록 3차원 공동 공진기 내에 배치될 수 있다.

[0028] 발명자들은, 초전도 물질로부터 형성된 인클로저가 외부 전자기 잡음으로부터 공동 내의 구성요소들을 보호할 수 있고, 심지어 초전도 물질의 두께가 작을 때 양자 회로에 의한 전자기 복사로 인한 손실을 억제함으로써 결어긋남(decoherence)을 방지할 수 있음을 인식하고 이해했다. 따라서, 초전도층은 정화하고, 용이하게 스케일링된 초전도 디바이스를 생성하기 위해 기판 층을 피복하도록 형성될 수 있다. 몇몇 실시형태에서, 전자기 차폐는 외부 잡음으로부터 큐비트들을 보호하기 위해 하나 이상의 초전도 큐비트를 인클로징할 수 있고, 그에 의해 초전도 큐비트들의 성능을 증가시킨다. 예를 들면, 양자 버스의 역할을 하는 복수의 초전도 큐비트를 포함하는 스트립라인 공진기는 전자기 차폐 인클로저 내에 배치될 수 있다. 게다가, 대형 양자 처리기의 부분들 또는 하위 유닛들 사이에 구성된 얇은 초전도 차폐들은 양자 디바이스의 성능, 신뢰성, 및 교정의 용이함을 개선할 것이다. 몇몇 실시형태에서, 양자 버스는, 제1 구성요소로부터의 양자 정보가 제2 구성요소로 전달될 수 있도록 하나 이상의 다른 초전도 구성요소에 결합될 수 있다.

[0029] 발명자들은, 양자 정보 처리에서 사용하기 위한 적어도 하나의 초전도 인클로저를 포함하는 초전도 디바이스를 제조하기 위해 마이크로전자 제작 기술을 이용하는 것이, 공동이 별크(bulk) 물질로부터 형성될 때 이용가능하지 않은 확장성(scalability)을 허용함을 또한 인식하고 이해했다. 몇몇 실시형태에서, 복수의 인클로저 및 초전도 큐비트는 복수의 기판에 트로프들을 형성하고 기판들을 함께 접착시킴으로써 단일 디바이스로 형성될 수 있다. 몇몇 실시형태에서, 하나 이상의 배선층은 구성요소들을 함께 접속시키고/거나 외부 디바이스들에 구성요소들을 접속시키기 위해 사용될 수 있다. 몇몇 실시형태에서, 하나 이상의 비아는 상이한 기판 층들에 있는 구성요소들 및/또는 배선층들을 상호접속시킬 수 있다. 이 방식으로, 복수의 초전도 큐비트 및/또는 인클로저는 콤팩트 공간에서 상호접속될 수 있다.

[0030] 마이크로전자 제작 기술은 예를 들면, 반도체 디바이스들 및/또는 마이크로전자기계 시스템(MEMS)을 위한 마이크로미터 크기의 구조의 제조 시에 사용된 처리이다. 마이크로전자 제작 기술들의 예들은 화학 기상 증착(chemical vapor deposition; CVD), 물리 기상 증착(PVD)과 같은, 증착 기술; 포토리소그래피(photolithography); 건식 식각, 습식 식각, 반응성 이온 식각(RIE), 등방성 식각 및 이방성 식각과 같은, 식각 기술; 화학-기계 평탄화; 이온 주입 기술; 및 열 산화 기술을 포함하지만, 이들로 제한되지 않는다.

[0031] 본 출원에 걸쳐, 용어 "인클로저"는 빈 공간일 수 있는 공간의 영역을 형성(define)하거나 배선, 큐비트들, 공진기들, 공동들과 같은 다양한 유형의 하나 이상의 초전도 디바이스, 또는 하나 이상의 기판 내의 다른 활성 디바이스들을 포함하는 초전도층들의 조합을 설명하기 위해 사용된다. "3차원 공동 공진기"는 공진 전자기 복사를 지원하도록 구성되는 일 유형의 인클로저이다. "전자기 차폐"는 외부 전자기 복사가 인클로저에 진입하지 못하게 하고 내부 전자기 복사가 외부 환경으로 인클로저 밖으로 누출하지 못하게 하도록 구성되는 일 유형의 인클로저이다.

[0032] 도 1은 하나의 실시형태에 따른 초전도 디바이스(100)를 도시한다. 초전도 디바이스는 임의의 적합한 방식으로 함께 접착되는 복수의 기판(101 내지 105)을 포함한다. 예를 들면, 적어도 부분적으로, 금속 물질로 피복된 2개의 기판은 냉간 용접(cold welding), 열압착, 열초음파 접착, 공정(eutectic) 접착 또는 땀납 리플로우(solder reflow)를 사용하여 함께 접착될 수 있다. 임의의 적합한 수의 기판은 초전도 디바이스(100)를 형성하기 위해 함께 접착될 수 있다. 도 1에 도시된 실시형태는 5개의 별개의 기판(101 내지 105)을 나타내지만, 실시형태들은 그렇게 제한되지 않는다. 예를 들면, 몇몇 실시형태는 단지 2개의 기판을 함께 접착할 수 있다.

[0033] 초전도 디바이스(100)의 상이한 기판들은 상이한 목적들을 서빙(serving)할 수 있다. 예를 들면, 기판(101) 및 기판(102)은 버스층을 함께 형성하고, 이는 아래 도 3 및 도 4와 관련하여 더 상세하게 설명된다. 기판(104) 및 기판(105)은 공동 메모리층을 함께 형성하고, 이는 도 2와 관련하여 아래에 더 상세하게 설명된다. 기판(103)은 초전도 디바이스(100) 내에 다양한 구성요소를 상호접속시키기 위해 사용된 상호접속층으로서 사용된다. 상호접속층은 초전도 디바이스(100)의 상이한 구성요소들을 상호접속시키도록 구성되는 패턴으로 기판(103) 상에 및/

또는 기판 내에 배치된 초전도 물질로부터 형성된 적어도 하나의 배선층을 포함한다.

[0034] 기판(101 내지 105)은 임의의 적합한 물질을 포함할 수 있다. 제한이 아닌 예로서, 물질은 결정 구조를 갖는 임의의 물질을 포함할 수 있다. 예를 들면, 규소 또는 게르마늄이 사용될 수 있다. 그러나, 몇몇 실시형태에서, 기판 물질은, 초전도 디바이스의 거동을 제어하는 것이 기판의 다양한 부분 및 인클로저를 형성하기 위해 기판 내에 생성되는 트로프들을 코팅하는 초전도 물질이기 때문에 대수롭지 않은 것일 수 있다. 부가적으로, 기판(101 내지 105)은 임의의 적합한 크기를 가질 수 있다. 제한이 아닌 예로서, 기판(101 내지 105)은 300 μm 부터 500 μm 까지의 범위의 두께를 가질 수 있다.

[0035] 초전도 디바이스(100)의 초전도층들은 임의의 적합한 방식으로 형성될 수 있다. 몇몇 실시형태에서, 기판의 표면은 초전도 물질로 피복된다. 다른 실시형태들에서, 하나 이상의 채널 및/또는 트로프는 적어도 부분적으로, 초전도 물질로 후속적으로 피복되는 기판에 형성될 수 있다. 초전도층의 임의의 적합한 두께가 사용될 수 있다. 몇몇 실시형태에서, 초전도 디바이스(100)의 초전도층은 1 μm 부터 10 μm 까지의 범위의 두께를 가질 수 있다. 부가적으로, 임의의 적합한 초전도 물질이 사용될 수 있다. 제한이 아닌 예로서, 초전도 물질은 알루미늄, 닉오븀, 인듐, 태늄, 탄탈륨, 질화 티타늄 및/또는 질화 닉오븀을 포함할 수 있다.

[0036] 몇몇 실시형태에서, 초전도 디바이스(100)는 본 기술 분야에 공지된 바와 같이, 평면-대-동축 전이 구성요소(150)를 통해 외부 구성요소들과 통신할 수 있다.

[0037] 도 1은 3개의 별개의 인클로저(110, 120 및 130)를 나타낸 디바이스의 단일 단면을 도시한다. 당업자는, 도표의 평면 내의 그리고 밖의 상이한 위치들에서 다른 단면들이 배선층(140), 비아(142 및 144), 및/또는 도시되지 않은 부가적인 배선층들 및 비아들을 통해 인클로저(110, 120 및 130)에 결합될 수 있는 부가적인 인클로저들을 포함할 수 있음을 인식할 것이다. 부가적으로, 주어진 층 상의 배선 또는 층들 사이의 비아들은 동일하거나, 상이한 방법들에 의해 실현된 부가적인 초전도층들(도시되지 않음)에 의해 별개로 인클로저될 수 있다. 모든 전자기 신호가 스트립라인들 또는 동축 라인들과 같은, 적절하게 설계된 송신 라인 구조들 상에 전달되어야 하고, 이들이 초전도 인클로저들을 실현하기 위한 우리의 방법의 실시형태에 의해 실현될 수 있다는 생각은 당업자에게 분명해야 한다.

[0038] 상기 언급된 바와 같이, 공동 메모리층은 기판(104 및 105)으로부터 형성될 수 있다. 트로프는 기판(105)에 형성되고 적어도 부분적으로, 초전도층(132)으로 피복된다. 기판(104)의 적어도 일부는 초전도층(134)으로 또한 피복된다. 트로프는 임의의 적합한 형상 또는 크기일 수 있다. 예를 들면, 트로프는 약 300 μm 만큼 기판의 표면으로부터 연장할 수 있다. 기판들은 그 다음, 함께 접속될 때 3차원 공동 공진기(130)가 형성되도록 위치된다. 도 2는 공동 메모리층의 일 실시형태(200)를 더 상세하게 도시한다. 3차원 공동 공진기(130)는 서로 대향되는 적어도 제1 표면(232) 및 제2 표면(234)을 포함한다. 몇몇 실시형태에서, 2개의 표면은 서로 평행하다. 다른 실시형태들에서, 제1 표면(232) 및 제2 표면(234)은 둘 모두 기판(104)과 연관된 초전도층(134)과 비-수직 각을 형성할 수 있다. 몇몇 실시형태에서, 3차원 공동 공진기(130)의 모든 표면은 적어도 부분적으로, 초전도 물질로 피복된다. 몇몇 실시형태에서, 3차원 공동의 각각의 표면은 초전도층(134)에 형성된 2개의 개구(236 및 238)를 제외하고 전제적으로 피복된다. 개구(236 및 238)는 배선층(140)으로부터 3차원 공동 공진기(130)로의 전자기 복사를 결합시키기 위해 사용될 수 있다. 당업자에 의해 공지될, 공동에 결합시키는 다른 방법들이 또한 이용될 수 있다.

[0039] 3차원 공동 공진기(130)의 기하학적 구조는 전자기 복사의 어떤 주파수가 공동과 공진할 것인지를 결정한다. 몇몇 실시형태에서, 3차원 공동 공진기(130)는 마이크로파 주파수로 공진하도록 구성될 수 있다. 제한이 아닌 예로서, 3차원 공동 공진기(130)는 1GHz 내지 20GHz의 범위인 적어도 하나의 주파수로 공진하도록 구성될 수 있다. 또 다른 예로서, 3차원 공동(130)은 5GHz 내지 9GHz의 범위인 적어도 하나의 주파수로 공진하도록 구성될 수 있다.

[0040] 몇몇 실시형태에서, 초전도 디바이스(200)는 3차원 공동 공진기(130) 내에 배치된 하나 이상의 초전도 큐비트(131)를 포함할 수 있다. 임의의 적합한 초전도 큐비트가 사용될 수 있다. 제한이 아닌 예로서, 초전도 큐비트(131) 각각은 트랜스몬 큐비트 또는 플럭소늄 큐비트일 수 있다. 초전도 큐비트(131) 각각은 쌍극 안테나의 역할을 하는 2개의 초전도 부분들 사이에 배치된 조셉슨 접합을 포함할 수 있다. 몇몇 실시형태에서, 초전도 큐비트(131)는, (쌍극 안테나의 지향성에 의해 결정된 바와 같은) 각각의 초전도 큐비트의 축이 개구(236 및 238)를 형성하기 위해 사용된 초전도층(134)에 수직이 되도록 수직으로 지향되고, 큐비트들은 그에 의해, 공진 공동의 전자기장들에 결합한다.

- [0041] 다른 실시형태들에서, 3차원 공동 공진기(130)는 초전도 큐비트를 포함하지 않지만, 대신에 배선층(140)을 통해 초전도 큐비트에 결합된다. 이 방식으로, 외부 초전도 큐비트(도시되지 않음)는 양자 정보를 3차원 공동 공진기(130)에 전달할 수 있고, 상기 3차원 공동 공진기는 양자 정보를 위한 메모리의 역할을 할 수 있다.
- [0042] 양자 정보는 임의의 적합한 방식으로 3차원 공동 공진기(130)에 저장될 수 있다. 예를 들면, 전자기장의 에너지 고유상태는 양자 정보를 인코딩하기 위한 계산 기저로서 사용될 수 있다. 대안적으로, 상이한 결맞음 상태(coherent state)들 및/또는 결맞음 상태의 중첩(때때로, "캣 상태(cat state)"로 불리는)이 계산 기저로서 사용될 수 있다. 실시형태들은 3차원 공동 공진기(130)에서 양자 정보를 인코딩하기 위한 임의의 특정한 기술로 제한되지 않는다.
- [0043] 상기 언급된 바와 같이, 도 1의 기판(101) 및 기판(102)은 버스층을 형성한다. 버스층은 인클로저(110) 및 인클로저(120)를 포함하고, 이들은 전자기 차폐들이 되도록 구성된다. 전자기 차폐부(110)는 전자기 차폐부(110) 내에 설치되는 지지층(118) 상에 및/또는 지지층에 형성된 복수의 큐비트(116)를 포함한다. 전자기 차폐부(110)는 큐비트(116)를 인클로징하기 위한 초전도층(112) 및 초전도층(114)을 포함하고, 그에 의해 외부 전자기 잡음으로부터 큐비트(116)를 보호하고 원하지 않은 전자기 복사가 인클로저에 진입하지 못하도록 한다. 전자기 차폐부(110)는 또한, 인클로저 내로부터의 전자기 복사가 외부 환경으로 누출하지 못하도록 한다. 유사하게, 전자기 차폐부(120)는 공동(120) 내에 설치되는 지지층(128) 상에 및/또는 지지층에 형성된 복수의 큐비트(126)를 포함한다. 전자기 차폐부(120)는 큐비트(126)를 인클로징하기 위한 초전도층(122) 및 초전도층(124)을 포함하고, 그에 의해 외부 전자기 잡음으로부터 큐비트(126)를 보호하고 원하지 않은 전자기 복사를 방지하거나 디바이스의 다른 요소들에 교차-결합한다.
- [0044] 도 3은 몇몇 실시형태에 따른 전자기 차폐부(110)의 더 상세한 단면도(300)를 도시한다. 기판(102)은 전자기 차폐부(110)가 형성되는 트로프를 포함한다. 트로프의 적어도 일부는 초전도층(114)으로 피복된다. 초전도층(114)은 트로프의 부분인 기판(102)의 일부를 또한 피복할 수 있다. 복수의 큐비트(116)는 지지층(128)에 및/또는 지지층 상에 형성된다. 몇몇 실시형태에서, 지지층은 기판(102)에서 트로프에 걸쳐 설치된 유전체 막이다. 임의의 적합한 물질이 지지층을 형성하기 위해 사용될 수 있다. 제한이 아닌 예로서, 지지층은 규소, 산화 규소, 또는 질화 규소를 포함할 수 있다. 복수의 큐비트(116)는 트랜스몬 큐비트 또는 플럭소늄 큐비트와 같은, 임의의 적합한 초전도 큐비트일 수 있다. 복수의 큐비트(116) 중 각각의 개별적인 큐비트는 피드 라인(feed line)(312)을 사용하여 개별적으로 제어되고/되거나 검출될 수 있고, 상기 피드 라인들은 지지층(118)에 및/또는 지지층 상에 형성된다. 스트립라인 공진기(310)는 제1 복수의 큐비트와 제2 복수의 큐비트 사이에 배치된다. 몇몇 실시 형태에서, 스트립라인 공진기(310)는 대략 폭이 $20\mu\text{m}$ 일 수 있다. 피드 라인(312) 및 스트립라인 공진기(310)는 임의의 적합한 초전도 물질로부터 형성될 수 있다.
- [0045] 기판(101)은 동일한 기판(102)에서의 트로프와 대략 동일한 크기를 갖는 트로프를 또한 포함한다. 기판(101)에서의 트로프의 적어도 일부는 초전도층(112)으로 피복된다. 기판(101)은, 피드라인(312)과 초전도층(112) 사이에 간격이 존재하도록 기판(102) 가까이에 배치된다. 몇몇 실시형태에서, 간격은 대략 $10\mu\text{m}$ 일 수 있다. 기판(101) 및 기판(102)은, 그들이 함께 접착될 수 있도록 전자기 차폐부(110)로부터 멀어진 위치에서 서로 접촉할 수 있다. 전자기 차폐로 스트립라인 공진기(310) 및 복수의 큐비트(116)를 인클로징함으로써, 인클로징된 구성 요소들은 외부 전자기 잡음으로부터 분리되고, 원하지 않은 전자기 복사로 인한 결어긋남 및 교차-결합들이 방지된다.
- [0046] 도 4는 지지층(118) 및 그 위에 포함된 구성요소들의 상면도(400)를 도시한다. "A"를 나타내는 화살표들은 도 3의 단면도(300)의 위치를 표현하는 평면을 도시한다. 막(118)은 복수의 초전도 큐비트(116)를 포함한다. 몇몇 실시형태에서, 각각의 초전도 큐비트는 트랜스몬 큐비트 또는 플럭소늄 큐비트와 같은, 초전도 큐비트일 수 있다. 도 4는 제1 초전도 부분(414)과 제2 초전도 부분(416) 사이의 조셉슨 접합(412)을 포함하는 트랜스몬 큐비트(116)를 도시한다. 각각의 큐비트(116)는 구동 피드 라인(314)을 사용하여 개별적으로 제어되고/되거나 관통될 수 있다. 지지층(118)의 표면의 넓은 부분은 스트립라인 공진기(430)에 대한 기면(ground plane)과 같이 초전도층으로 피복된다. 스트립라인 공진기(430)는 피드라인(420)을 통해 구동된다. 2개의 구성요소가 약하게, 용량성으로 결합하도록 피드라인(420)과 스트립라인 공진기 사이에 간격이 존재한다. 선택적으로, 지지층이 배치되는 인클로저에 존재하는 유전체의 양을 감소시키고 인클로저에 존재하는 진공의 양을 증가시키기 위해 지지층(118)에 복수의 구멍(hole)이 존재하고, 이는 성능을 증가시킬 수 있다.
- [0047] 특정 실시형태들에 따른 초전도 디바이스들은 임의의 적합한 방식으로 제조될 수 있다. 예를 들면, 마이크로전자 제작 기술이 사용될 수 있다. 대안적으로, 기판들은 3차원 인쇄 기술을 사용하여 원하는 대로 트로프들 및

채널들을 갖고 형성될 수 있고 초전도층들은 예를 들면, 전기도금 기술을 사용하여 형성될 수 있다. 몇몇 실시 형태는 도 2에 도시된 바와 같이, 단일 기판에 트로프를 형성함으로써 인클로저들을 생성할 수 있다. 대안적으로, 또는 게다가, 인클로저들은 제1 기판에 제1 트로프를 그리고 제2 기판에 제2 트로프를 형성함으로써 및 서로 인접하여 2개의 트로프들을 갖는 2개의 기판을 함께 위치시킴으로써 생성될 수 있다. 몇몇 실시형태에 따라 초전도 디바이스를 형성하기 위한 방법은 도 5 내지 도 10을 참조하여 아래에 설명된다.

[0048] 도 5는 몇몇 실시형태에 따라 초전도 디바이스를 구성하기 위한 방법의 복수의 단계의 단면도를 도시한다. 몇몇 실시형태에 따른 방법(700)의 단계들의 흐름도는 도 7에 도시된다. 단계(702)에서, 제1 트로프가 제1 기판에 형성된다. 트로프는 임의의 방식으로 형성될 수 있다. 몇몇 실시형태에서, 기판 및 트로프는 3차원 인쇄 기술을 사용하여 인쇄될 수 있다. 다른 실시형태에서, 마이크로전자 제작 기술이 사용될 수 있다. 하나의 이러한 실시 형태의 상세는 이제 도 5, 도 6 및 도 8과 관련하여 설명된다.

[0049] 도 5a는 제공되는 제1 기판(500)을 도시한다. 임의의 적합한 기판이 사용될 수 있다. 몇몇 실시형태에서, 기판은 결정 구조를 갖는 물질로부터 형성될 수 있다. 예를 들면, 기판은 규소 또는 게르마늄을 포함할 수 있다. 기판(500)은 임의의 적합한 두께를 가질 수 있다. 도시된 실시형태에서, 기판은 두께가 대략 $500\mu\text{m}$ 이다.

[0050] 단계(802)에서, 질화 규소층(502)은 기판(500)의 제1 표면 상에 증착된다(도 5b 참조). 질화 규소가 도 5의 예시적인 실시형태에서 사용될지라도, 마스크의 역할을 할 수 있는 임의의 적합한 물질이 사용될 수 있다.

[0051] 단계(804)에서, 포토레지스트층(photoresist layer)(504)이 질화 규소층(502)의 위에 증착된다(도 5c). 포토레지스트층(504)은 기판(500)에 형성되는 트로프의 크기에 기초한 패턴으로 형성된다. 따라서, 포토레지스트층은, 트로프가 후속 단계들에서 기판에 형성될 상기 영역에 없다. 제한이 아닌 예로서, 포토레지스트층(504)은, 18mm \times 38mm의 크기를 갖는 질화 규소층(502)이 노출된 채로 남아 있도록 형성될 수 있다.

[0052] 단계(806)에서, 질화 규소층(502)의 노출된 부분이 제거된다(도 5d 참조). 이것은 임의의 적합한 방식으로 성취될 수 있다. 몇몇 실시형태에서, 질화 규소층(502)은 질화 규소층을 제거하지만, 포토레지스트를 제거하지 않는 식각제를 사용하여 식각된다. 예를 들면, 반응성 이온 식각(RIE)은 질화 규소층을 식각하기 위해 사용될 수 있다. RIE의 단계는 예를 들면, 식각제로서 CHF_3/O_2 를 사용할 수 있다. 포토레지스트층(504)은 그 다음, 단계(808)에서 제거된다. 결과로 발생하는 구조는 트로프의 크기를 정의하기 위한 마스크의 역할을 할 질화 규소층(502)으로 부분적으로 피복된 기판(500)이다.

[0053] 단계(810)에서, 기판(500)의 노출된 부분은 트로프(506)를 형성하기 위해 식각된다. 임의의 적합한 식각이 수행될 수 있다. 몇몇 실시형태에서, 기판(500)은, 결과로 발생하는 트로프(506)의 대향 표면들이 서로 평행하도록 식각될 수 있다. 도 5f에 도시된 실시형태에서, 트로프는 85°C에서 30% KOH를 사용하는 이방성 습윤 식각을 사용하여 식각된다. 이방성 식각의 상세는 도 6에서 더 상세하게 도시된다.

[0054] 도 6은 이방성 습윤 식각으로부터 발생하는 트로프(506)를 도시한다. 규소 기판(500)의 결정 구조 때문에, (100) 평면(612) 및 (111) 평면(614)은 식각 단계의 결과로서 54.7° 로 비스듬히 놓인다. 몇몇 실시형태에서, 이방성 습윤 식각은 원자적으로 평활한 표면(612 및 614)을 야기한다. 따라서, 초전도층으로 피복될 때, 얻어지는 인클로저의 표면은 실질적으로 결함이 없을 것이다. 인클로저가 3차원 공동 공진기로서 사용하기 위해 구성되면, 평활한 표면은 고 Q 팩터 공동을 야기한다.

[0055] 단계(812)에서, 질화 규소층은 제거되어 트로프(506)를 포함하는 기판(500)을 야기한다(도 5g 참조). 도 8이 기판에 트로프를 생성하기 위한 방법의 하나의 실시형태를 도시했을지라도, 임의의 적합한 방법이 사용될 수 있다. 예를 들면, 레이저 가공(laser machining) 또는 3차원 인쇄가 트로프를 갖는 기판을 형성하기 위해 사용될 수 있다.

[0056] 도 7로 되돌아오면, 트로프가 단계(702)에서 기판에 형성된 후에, 방법(700)은 단계(704)에서 계속되고, 여기서 제1 기판의 적어도 일부는 초전도 물질로 피복된다. 몇몇 실시형태에서, 기판에서의 트로프의 모든 표면이 피복될 수 있다. 다른 실시형태들에서, 표면들의 단지 일부가 피복될 수 있다. 이 방식으로, 예를 들면, 개구들이 형성될 수 있다. 몇몇 실시형태에서, 트로프와 연관된 영역의 바깥쪽의 기판의 일부들은 초전도층으로 또한 피복될 수 있다.

[0057] 초전도층은 임의의 적합한 방식으로 형성될 수 있다. 예를 들면, 도 5h 내지 도 5i는 기판의 적어도 일부를 피복하는 초전도층을 형성하기 위한 하나의 특정한 방법을 도시한다. 도 5h는 얇은 시드 층(508)이 기판(500)의 표면 위에 적층됨을 도시한다. 이것은 임의의 적합한 방식으로 행해질 수 있다. 몇몇 실시형태에서, 구리는 시

드 층(508)을 형성하기 위해 증발 기술을 통해 접착된다. 시드 층의 임의의 적합한 두께가 사용될 수 있다. 예를 들면, 시드 층(508)은 두께가 대략 200nm일 수 있다. 구리가 시드 층(508)을 위한 일 예시적인 물질로서 사용될지라도, 임의의 적합한 물질이 사용될 수 있다.

[0058] 도 5i는 시드 층(508) 상에 형성된 초전도층(510)을 도시한다. 이것은 임의의 적합한 방식으로 행해질 수 있다. 예를 들면, 초전도 물질은 시드 층 위에 전기로금될 수 있다. 초전도층(510)은 임의의 적합한 두께를 갖고 형성될 수 있다. 예를 들면, 초전도층(510)은 두께가 대략 10μm일 수 있다. 임의의 적합한 초전도 물질이 사용될 수 있다. 예를 들면, 초전도층은 알루미늄, 니오븀, 인듐, 레늄, 탄탈륨, 질화 티타늄, 또는 질화 니오븀을 포함할 수 있다.

[0059] 단계(706)에서, 제2 트로프는 제2 기판에 형성된다. 제2 트로프를 형성하는 단계는 단계(702), 도 5 및 도 8과 관련하여 설명된 동일한 기술을 사용하여 성취될 수 있다. 그러나, 제2 트로프의 형성은 선택적이다. 인클로저는 제2 기판에 제2 트로프를 형성하지 않고 제1 기판에서의 단일 트로프로부터 형성될 수 있다.

[0060] 단계(708)에서, 제2 기판의 적어도 일부는 초전도 물질로 피복된다. 이 단계는 단계(704)와 관련하여 설명된 기술을 사용하여 성취될 수 있다. 제2 트로프가 제2 기판에 형성되는 실시형태들에서, 트로프의 모든 표면의 적어도 일부는 초전도층으로 피복될 수 있다. 몇몇 실시형태에서, 트로프 영역의 바깥쪽의 제2 기판의 일부는 초전도층으로 적어도 부분적으로 피복될 수 있다.

[0061] 단계(710)에서, 적어도 하나의 초전도 큐비트는 지지층 상에 형성된다. 몇몇 실시형태에서, 지지층은 임의의 적합한 절연체 막일 수 있다. 예를 들면, 지지층은 규소, 산화 규소, 또는 질화 규소를 포함할 수 있다. 몇몇 실시형태에서, 단계(710)는, 초전도 디바이스가 인클로저에 인클로징되는 초전도 큐비트 없이 형성될 수 있기 때문에 생략될 수 있다.

[0062] 단계(712)에서, 제1 기판 및 제2 기판은 인클로저를 형성하기 위해 함께 접착된다. 제1 트로프가 제1 기판에 형성되고 제2 트로프가 제2 기판에 형성된 실시형태에서, 2개의 트로프는, 인클로저가 트로프들 둘 다로부터 함께 형성되도록 서로 인접하여 위치된다. 적어도 하나의 초전도 큐비트가 인클로저에 의해 인클로징되어야 하는 몇몇 실시형태에서, 지지층은 2개의 기판을 함께 접착하기 이전에 제1 트로프에 걸쳐 설치된다. 따라서, 지지층에서의 및/또는 지지층 상의 적어도 하나의 큐비트는 인클로저 내에 배치된다.

[0063] 방법(700)은 도 9 및 도 10에 도시된 부가적인 선택적 단계들을 또한 포함할 수 있다. 예를 들면, 방법(700)을 수행하는 결과는 도 1의 버스층에서의 인클로저(110)의 형성일 수 있다. 도 9는 배선층(140) 및 메모리층 인클로저(130)를 형성하기 위한 부가적인 단계들을 도시한다. 도 10은 버스층에 제2 인클로저(120)를 형성하기 위한 부가적인 단계들을 도시한다.

[0064] 도 9는 배선층 및 메모리층을 형성하기 위한 부가적인 단계들(900)를 도시한다. 몇몇 실시형태에서, 부가적인 단계들은 방법(700) 후에 수행될 수 있다. 다른 실시형태들에서, 부가적인 단계들은 방법(700) 전에 또는 방법(700)과 동시에 수행될 수 있다.

[0065] 단계(902)에서, 적어도 하나의 채널이 배선층 기판(103)에 형성된다(도 1 참조). 적어도 하나의 채널은 예를 들면, 단계(702)에서 트로프를 생성하기 위해 사용된 동일한 처리를 사용하여 형성될 수 있다.

[0066] 단계(904)에서, 적어도 하나의 채널의 적어도 일부는 초전도 물질로 피복된다. 이것은 단계(704)와 관련하여 상기 사용된 동일한 처리를 사용하여 성취될 수 있다. 몇몇 실시형태에서, 채널은 초전도 물질로 완전하게 채워질 수 있다. 다른 실시형태들에서, 적어도 하나의 채널의 표면들의 하나 이상은 초전도 물질로 피복될 수 있다.

[0067] 단계(906)에서, 배선 기판(103)은 기판(102)에 접착된다. 기판들은 상기 논의된 바와 같이, 임의의 적합한 방식으로 접착될 수 있다.

[0068] 단계(908)에서, 트로프는 예를 들면, 단계(702)에서 트로프를 생성하기 위해 사용된 동일한 처리를 사용하여 기판(105)에 형성된다.

[0069] 단계(910)에서, 기판(105)의 적어도 일부는 초전도 물질로 피복된다. 이것은 단계(704)와 관련하여 상기 사용된 동일한 처리를 사용하여 성취될 수 있다. 몇몇 실시형태에서, 트로프의 각각의 표면은 초전도 물질로 완전하게 피복된다. 초전도 물질은 임의의 적합한 두께일 수 있는 층에 형성된다. 몇몇 실시형태에서, 초전도층은 두께가 대략 1μm일 수 있다. 다른 실시형태들에서, 초전도층은 두께가 대략 10μm일 수 있다.

[0070] 단계(912)에서, 기판(104)의 적어도 일부는 초전도 물질로 피복된다. 이것은 단계(704)와 관련하여 상기 사용된

동일한 처리를 사용하여 성취될 수 있다. 기판(104)의 표면의 특정 부분은 노출된 채로 남아있을 수 있다. 예를 들면, 도 2에서 개구(236 및 238)에 대응하는 영역은 초전도 물질로 피복되지 않을 수 있다.

[0071] 단계(914)에서, 기판(104)은, 트로프가 3차원 공동 공진기를 형성하도록 기판(105)에 접착된다. 기판들은 상기 논의된 바와 같이, 임의의 적합한 방식으로 접착될 수 있다.

[0072] 단계(916)에서, 메모리층은 배선층에 접착된다. 층들과 연관된 기판들은 상기 논의된 바와 같이, 임의의 적합한 방식으로 접착될 수 있다.

[0073] 도 10은 버스층에서 제2 인클로저(120)를 형성하기 위한 부가적인 단계들을 도시한다.

[0074] 단계(1002)에서, 인클로저(120)와 연관된 트로프는 예를 들면, 단계(702)에서 트로프를 생성하기 위해 사용된 동일한 처리를 사용하여 기판(101)에 형성된다. 몇몇 실시형태에서, 인클로저(120)와 연관된 트로프는 인클로저(110)와 연관된 트로프와 동시에 형성될 수 있다.

[0075] 단계(1004)에서, 인클로저(120)와 연관된 트로프는 예를 들면, 단계(702)에서 트로프를 생성하기 위해 사용된 동일한 처리를 사용하여 기판(102)에 형성된다. 몇몇 실시형태에서, 인클로저(120)와 연관된 트로프는 인클로저(110)와 연관된 트로프와 동시에 형성될 수 있다.

[0076] 단계(1006)에서, 기판(102)의 적어도 일부는 인클로저(120)와 연관된 트로프 위에 설치되는 지지층으로 피복될 수 있다. 이 지지층은 인클로저(110)와 연관된 지지층과 동일한 방식으로 형성될 수 있다.

[0077] 단계(1008)에서, 적어도 하나의 큐비트는 지지층 상에 형성된다. 이 적어도 하나의 큐비트는 인클로저(110)와 연관된 지지층과 동일한 방식으로 형성될 수 있다.

[0078] 따라서, 초전도 디바이스의 적어도 하나의 실시형태의 몇몇 양태 및 초전도 디바이스를 제조하기 위한 적어도 하나의 방법이 설명되었을지라도, 다양한 변경, 수정 및 개선이 당업자에 용이하게 발생할 것임이 이해되어야 한다. 예를 들면, 임의의 크기의 초전도 인클로저들이 포함될 수 있다. 일부 인클로저는 대략 센티미터, 밀리미터 또는 마이크로미터의 크기를 가질 수 있다. 이러한 변경들, 수정들 및 개선들은 본 개시의 부분이 되도록 의도되고, 본 발명의 사상 및 범위 내에 있도록 의도된다. 본 교시가 다양한 실시형태 및 예와 결부하여 설명되었을지라도, 본 교시가 이러한 실시형태들 또는 예들로 제한되도록 의도되지 않는다. 반대로, 본 교시는 당업자에 의해 이해될 바와 같이, 다양한 대안, 수정 및 등가물을 포함한다.

[0079] 다양한 창의적인 실시형태가 설명되고 도시되었을지라도, 당업자는 기능을 수행하고/하거나 결과들 및/또는 설명된 장점을 중 하나 이상을 얻기 위한 다양한 다른 수단 및/또는 구조를 용이하게 구상할 것이고, 이러한 변형들 및/또는 수정들 각각은 설명된 창의적인 실시형태들의 범위 내에 있도록 간주된다. 더 일반적으로, 당업자는 설명된 모든 파라미터, 크기, 물질 및 구성이 예시적인 것으로 여겨지고 실제 파라미터, 크기, 물질 및/또는 구성이, 창의적인 교시들이 사용되는 특정 애플리케이션 또는 애플리케이션들에 의존할 것임을 용이하게 이해할 것이다. 당업자는 단지 일상의 실험을 사용하여 설명된 특정 창의적인 실시형태들에 대한 많은 등가물을 인식할 것이거나, 이를 알아낼 수 있을 것이다. 따라서, 상기 실시형태들이 단지 예로서 제시되고, 첨부된 청구항들의 범위 및 그에 대한 등가물들 내에서, 창의적인 실시형태들이 구체적으로 설명되고 주장되는 것과는 다르게 실행될 수 있음이 이해되어야 한다. 본 개시의 창의적인 실시형태들은 설명된 각각의 개별적인 특징, 시스템, 시스템 업그레이드 및/또는 방법에 관한 것이다. 게다가, 이러한 특징들, 시스템들, 시스템 업그레이드 및/또는 방법들이 상호 일관성이 있으면, 2개 이상의 이러한 특징, 시스템 및/또는 방법의 임의의 조합은 본 개시의 창의적인 범위 내에 포함된다.

[0080] 게다가, 설명된 실시형태들의 일부 장점이 표시될 수 있을지라도, 모든 실시형태가 모든 설명된 장점을 포함하는 것이 아님이 이해되어야 한다. 몇몇 실시형태는 이로운 것으로서 설명된 임의의 특징들을 구현할 수 없다. 따라서, 상기 설명 및 도면들은 단지 예에 의한 것이다.

[0081] 사용된 부문 머리말들은 단지 구조적인 목적들을 위한 것이고 임의의 방식으로 설명된 주제를 제한하는 것으로서 해석되어서는 안 된다.

[0082] 또한, 설명된 기술은 적어도 하나의 예가 제공되는 방법으로서 구현될 수 있다. 방법의 부분으로서 수행된 단계들은 임의의 적합한 방식으로 순서화될 수 있다. 따라서, 예시적인 실시형태들에서 순차적인 단계들로서 도시될지라도, 단계들이, 일부 단계들을 동시에 수행하는 것을 포함할 수 있는, 도시된 것과 상이한 순서로 수행되는 실시형태들이 구성될 수 있다. 게다가, 방법의 부분으로서 수행된 특정 단계들은 선택적일 수 있다. 따라서, 특

정 단계들이 전혀 수행되지 않는 실시형태들이 구성될 수 있다.

[0083] 정의되고 사용된 바와 같이, 모든 정의는 사전 정의들, 참조로서 통합된 문서들에서의 정의들, 및/또는 정의된 용어들의 일반 의미들을 통제하도록 이해되어야 한다.

[0084] 용어들 "약", "대략" 및 "실질적으로"는 값을 언급하기 위해 사용될 수 있고, 참조된 값 플러스 및 마이너스 수 용가능한 변화들을 포함하도록 의도된다. 변화의 양은 몇몇 실시형태에서 5% 미만일 수 있고, 몇몇 실시형태에서 10% 미만일 수 있으며, 그래도 몇몇 실시형태에서 20% 미만일 수 있다. 장치가 값들의 큰 범위 예를 들면, 하나 이상의 크기의 정도를 포함하는 범위에 걸쳐 적절하게 기능할 수 있는 실시형태들에서, 변화의 양은 2배일 수 있다. 예를 들면, 장치가 20부터 350까지의 범위의 값에 대해 적절하게 기능하면, "대략 80"은 40 내지 160 사이의 값들을 포함할 수 있다.

[0085] 명세서에서 및 청구항들에서 사용된 바와 같이, 단수 형태 표현은 그와 달리 명백하게 표시되지 않는다면, "적어도 하나"를 의미하도록 이해되어야 한다.

[0086] 명세서에서 및 청구항들에서 사용된 바와 같이, 어구 "및/또는"은 그렇게 결합된 요소들 즉, 일부 경우들에서 결합적으로 존재하고 다른 경우들에서 분리적으로 존재하는 요소들 중 "하나 또는 둘 모두"를 의미하도록 이해되어야 한다. "및/또는"으로 나열된 다수의 요소는 동일한 방식으로 즉, 그렇게 결합된 요소들 중 "하나 이상"으로 해석되어야 한다. 구체적으로 식별된 요소들에 관련되든지 또는 관련되지 않든지, "및/또는" 절에 의해 구체적으로 식별된 상기 요소들 외의 다른 요소들이 선택적으로 존재할 수 있다. 따라서, 비-제한적인 예로서, "포함하는"과 같은 개방형(open-ended) 언어와 결부하여 사용될 때, "A 및/또는 B"에 대한 언급은 하나의 실시형태에서, 단지 A(선택적으로 B 외의 요소들을 포함)를 지칭할 수 있고; 또 다른 실시형태에서, 단지 B(A 외의 요소들을 포함)를 지칭할 수 있고; 여전히 또 다른 실시형태에서, A 및 B 둘 모두(선택적으로 다른 요소들을 포함)를 지칭할 수 있는 등이다.

[0087] 명세서에서 및 청구항들에서 사용된 바와 같이, "또는"은 상기 정의된 바와 같이 "및/또는"과 동일한 의미를 갖도록 이해되어야 한다. 예를 들면, 리스트에서 항목들을 분리시킬 때, "또는" 또는 "및/또는"은 포괄적인 것 즉, 적어도 하나의 포함으로서, 그러나 복수의 요소 또는 한 리스트의 요소, 및 선택적으로 부가적인 나열되지 않은 항목들 중, 하나보다 많은 것을 또한 포함하는 것으로서 해석될 것이다. "~ 중 단지 하나" 또는 "~ 중 정확하게 하나", 또는 청구항들에서 사용될 때 "~로 구성되는" 것과 같은, 그와 달리 명백하게 표시된 용어들만이 복수의 또는 한 리스트의 요소 중 정확한 하나의 요소의 포함을 언급할 것이다. 일반적으로, 사용된 바와 같이 용어 "또는"은 "둘 중 하나", "중 하나", "중 단지 하나", 또는 "중 정확한 하나"와 같은, 배타성의 용어들이 앞설 때 배타적인 대안들(즉, "어느 하나 하지만 둘 모두는 아님")을 나타내는 것으로서 단지 해석될 것이다. 청구항들에서 사용될 때, "근본적으로 구성되는"은 특허법의 분야에서 사용된 바와 같이 그것의 일반적인 의미를 가질 것이다.

[0088] 명세서에서 및 청구항들에서 사용된 바와 같이, 하나 이상의 요소의 리스트와 관련하여 어구 "적어도 하나"는 요소들의 리스트에서의 요소들 중 임의의 하나 이상의 요소로부터 선택되지만, 반드시 요소들의 리스트 내에 구체적으로 나열된 모든 요소 중 적어도 하나를 포함하는 것은 아니며, 요소들의 리스트에서의 요소들의 임의의 조합들을 배제하지 않는 적어도 하나의 요소를 의미하도록 이해되어야 한다. 이 정의는, 요소들이 어구 "적어도 하나"가 구체적으로 식별된 상기 요소들에 관련되든지 또는 관련되지 않든지를 언급하는 요소들의 리스트 내에서 구체적으로 식별된 요소들 외에 선택적으로 존재할 수 있음을 또한 허용한다. 따라서, 비-제한적 예로서, "A 및 B 중 적어도 하나"(또는, 등가적으로, "A 또는 B 중 적어도 하나", 또는 등가적으로 "A 및/또는 B 중 적어도 하나")는 하나의 실시형태에서, 어떠한 B도 존재하지 않는(및 B 외의 요소들을 선택적으로 포함하는), 하나 보다 많은 것을 선택적으로 포함하는 적어도 하나의 A를 언급할 수 있고; 또 다른 실시형태에서, 어떠한 A도 존재하지 않는(및 A 외의 요소들을 선택적으로 포함하는), 하나 보다 많은 것을 선택적으로 포함하는 적어도 하나의 B를 언급할 수 있고; 여전히 또 다른 실시형태에서, 하나 보다 많은 것을 선택적으로 포함하는 적어도 하나의 A, 및 하나 보다 많은 것을 선택적으로 포함하는(및 다른 요소들을 선택적으로 포함하는) 적어도 하나의 B를 언급할 수 있는 등이다.

[0089] 청구항들에서 뿐만 아니라, 상기 명세서에서, "포함하는(comprising, including)", "지니는(carrying)", "가지는", "포함하는(containing)", "수반하는", "보유하는", "~로 구성되는", 등과 같은 모든 전환 어구는 개방형 즉, 포함하지만 제한되지 않는 것으로 이해되어야 한다. 단지 전환 어구들(~로 구성되는 및 "~로 근본적으로 구성되는")은 각각, 폐쇄되거나 반-폐쇄된 전환 어구들일 것이다.

[0090]

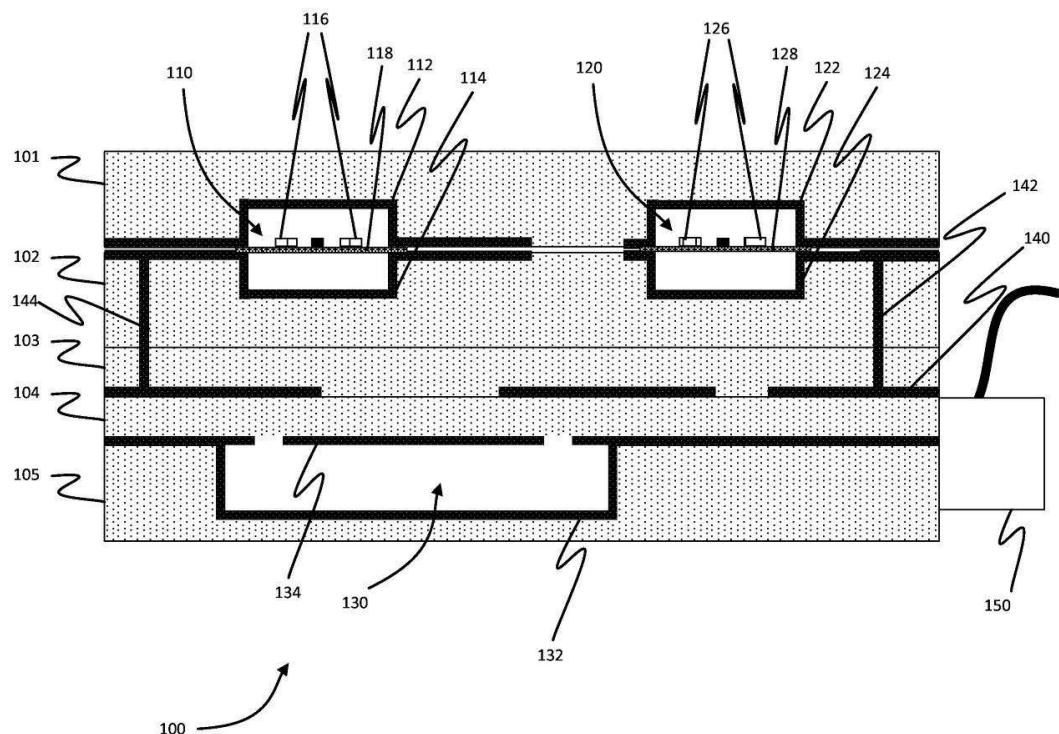
청구항들은 그 효과에 대해 언급되지 않는다면, 설명된 순서 또는 요소들로 제한되는 것으로서 판독되지 않아야 한다. 형태 및 상세의 다양한 변화가 첨부된 청구항들의 사상 및 범위를 벗어나지 않고 당업자에 의해 행해질 수 있음이 이해되어야 한다. 다음 청구항들 및 그에 대한 등가물들의 사상 및 범위 내에 있는 모든 실시형태가 주장된다.

[0091]

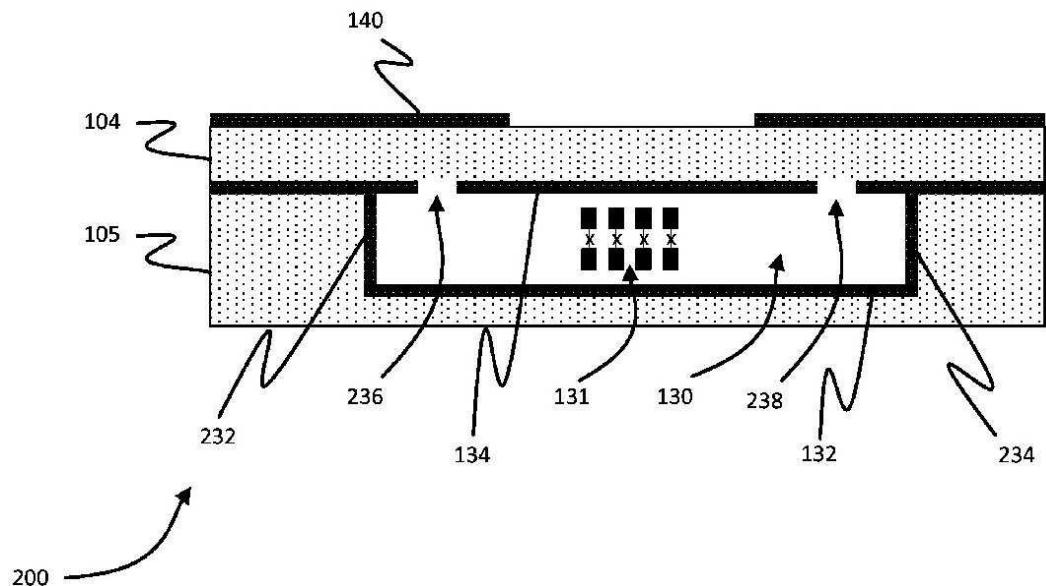
청구항 요소를 수정하기 위한 청구항들에서의 "제1", "제2", "제3", 등과 같은 서수 용어들의 사용은 그 자체로, 방법의 단계들이 수행되지만, 청구항 요소들을 구별하기 위해 특정 이름을 가지는 하나의 청구항 요소와 동일한 이름을 가지는 또 다른 요소를 구별하기 위한(그러나, 서수 용어의 사용을 위한) 라벨들로서 단지 사용되는 임의의 우선순위, 우선함(precedence), 또는 또 다른 또는 시간 순서보다는 하나의 청구항 요소의 순서를 함축하지 않는다.

도면

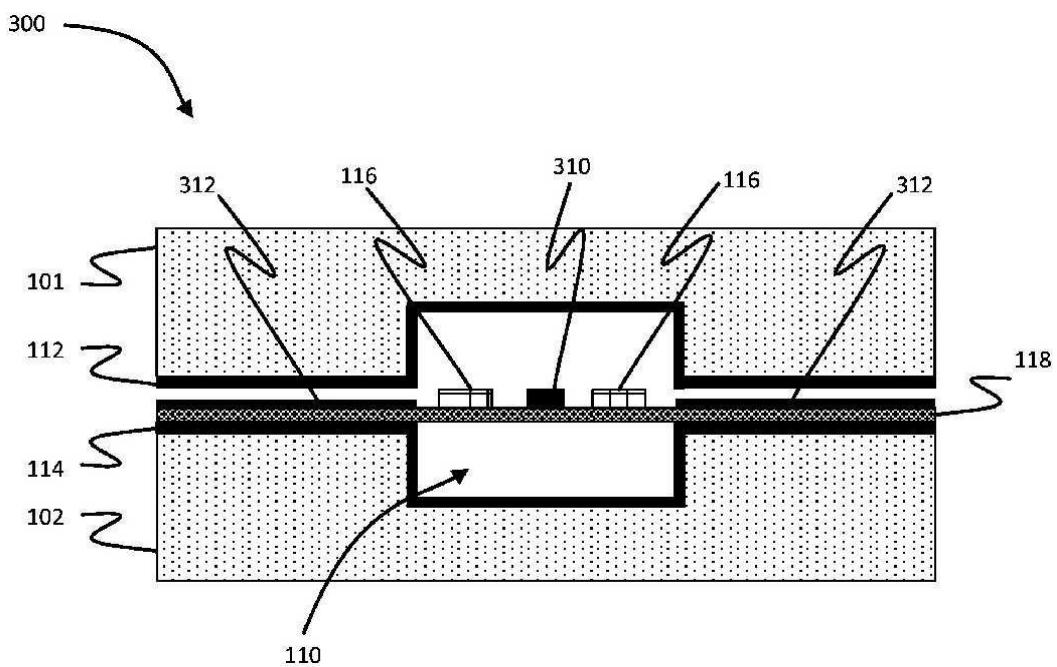
도면1



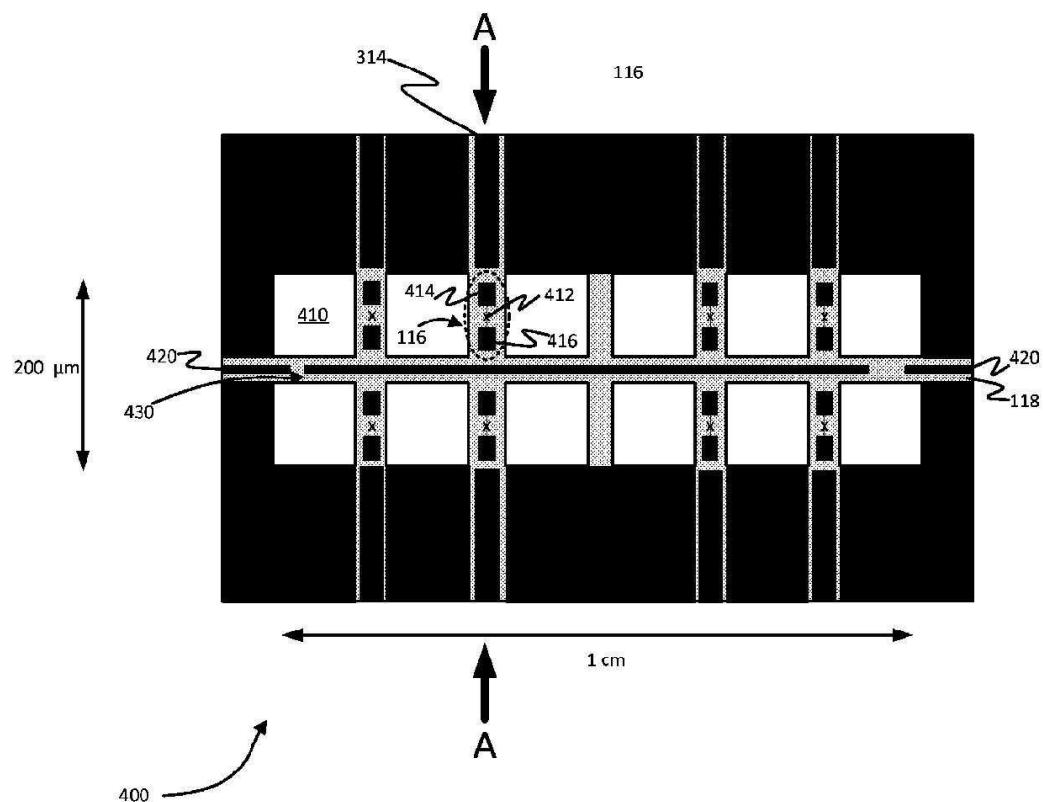
도면2



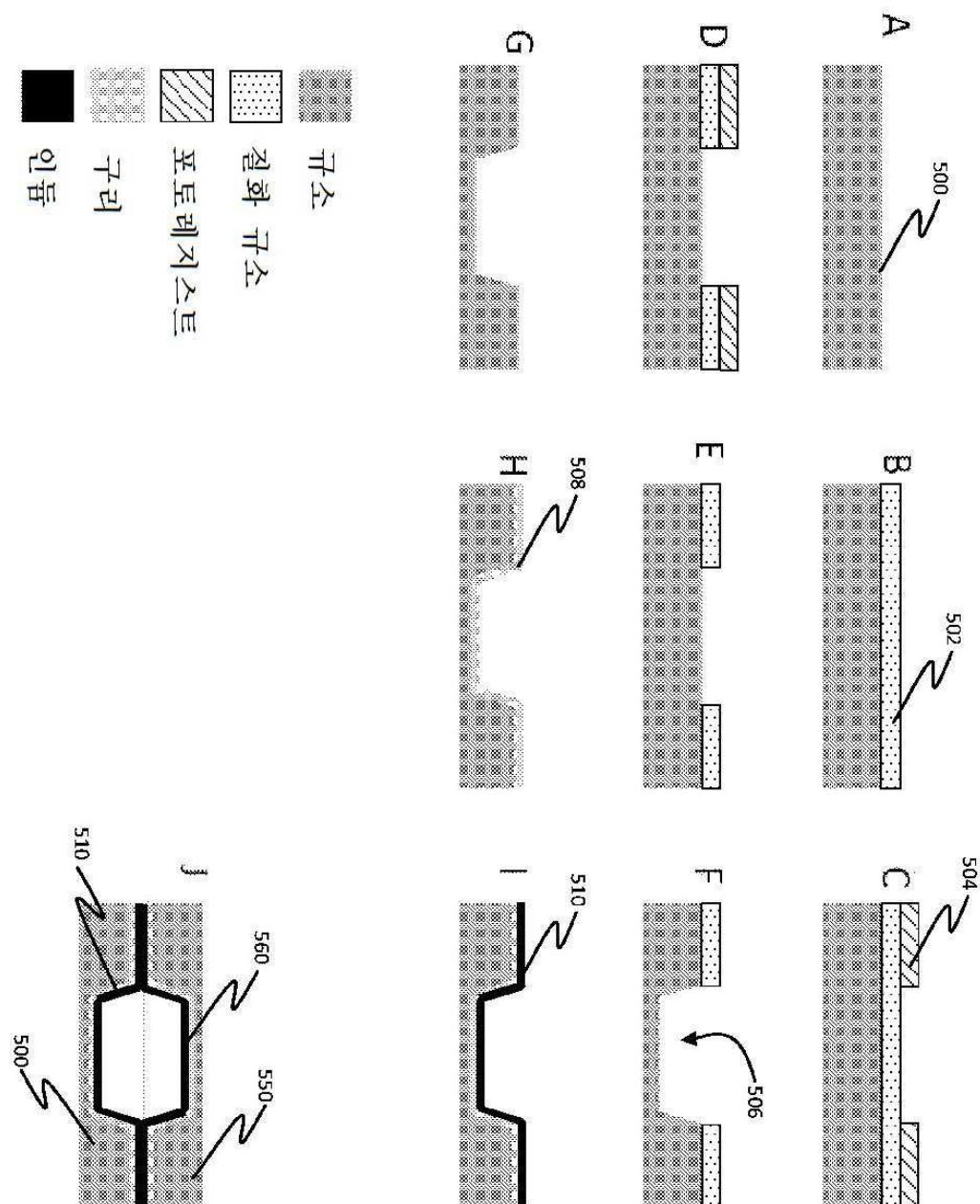
도면3



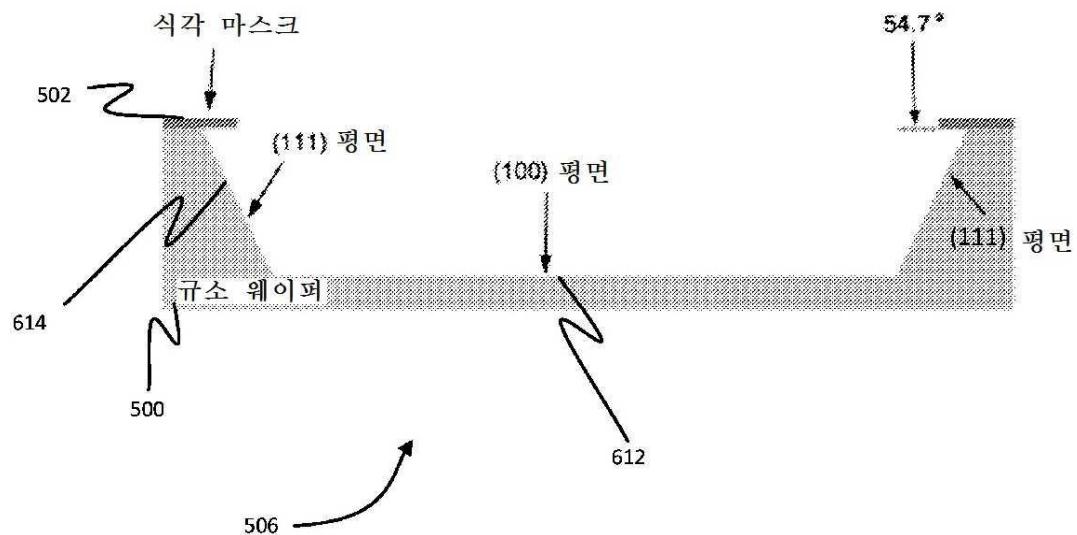
도면4



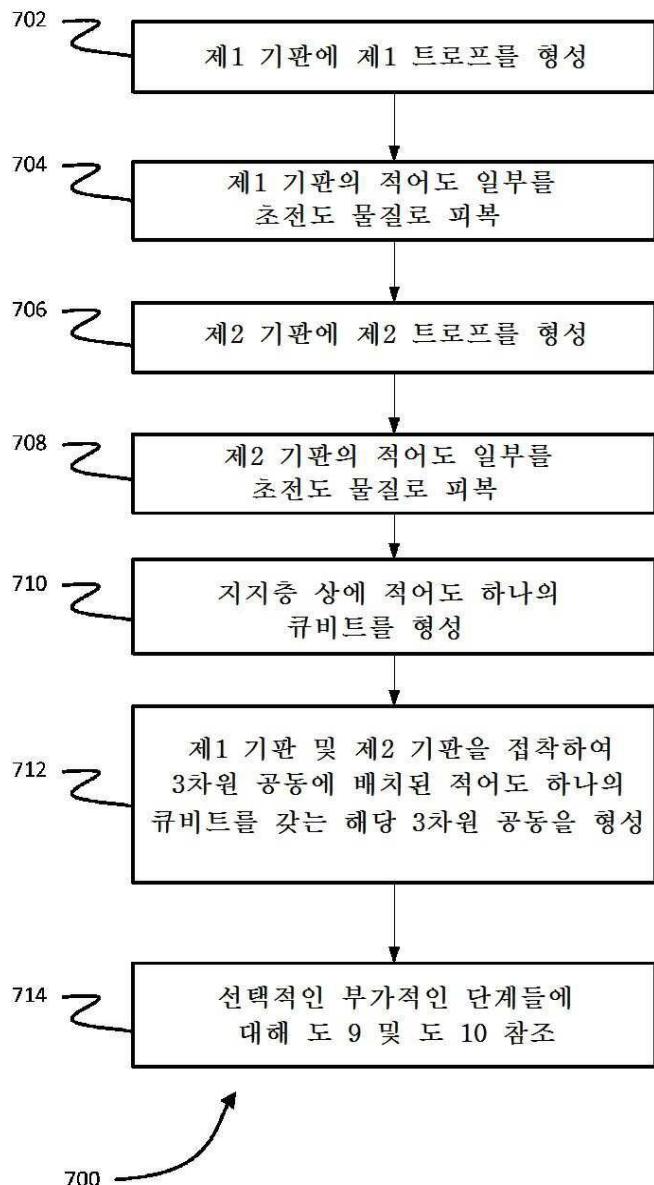
도면5



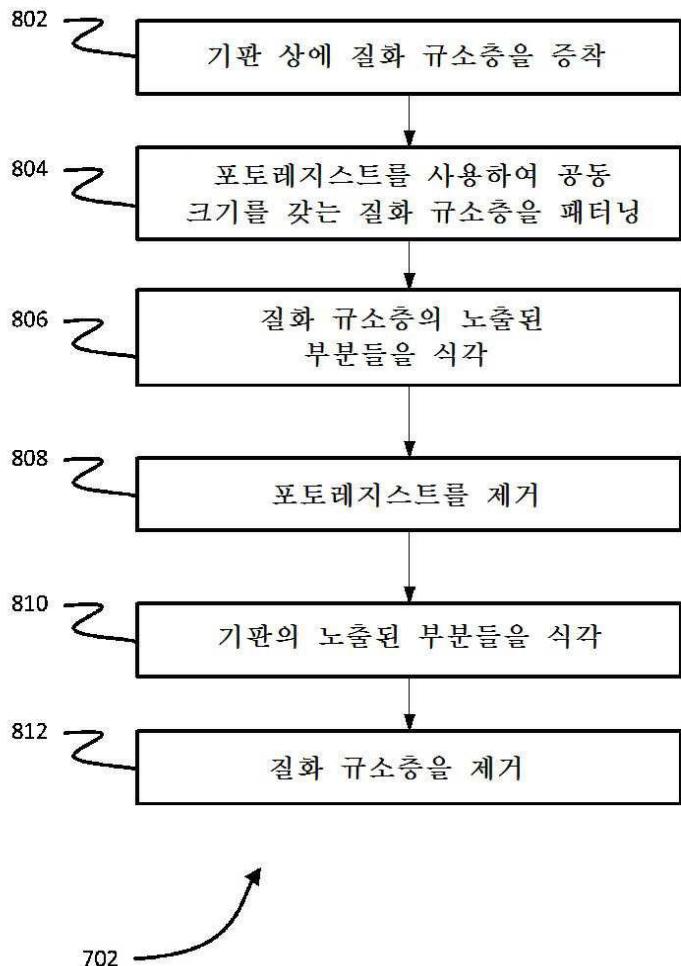
도면6



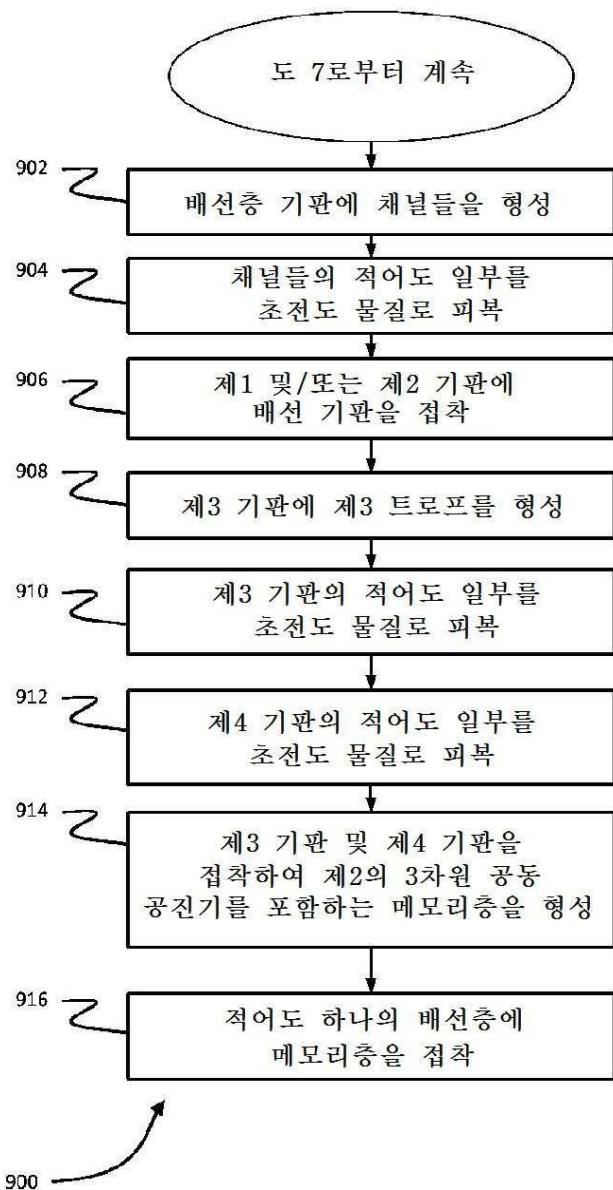
도면7



도면8



도면9



도면10

