(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第4057585号
(P4057585)

(45)発行日 平成20年3月5日(2008.3.5)　(24)登録日 平成19年12月21日(2007.12.21)

(51)Int.Cl.　F I
HO3M 7/32 (2006.01)　HO3M 7/32

請求項の数 15 (全 18 頁)

(21)出願番号	特願2004-519530 (P2004-519530)	(73)特許権者	595158337
(86)(22)出願日	平成15年4月16日 (2003.4.16)		シーラス ロジック，インコーポレイテッド
(65)公表番号	特表2005-532732 (P2005-532732A)		Ｃｉｒｒｕｓ Ｌｏｇｉｃ，Ｉｎｃ．
(43)公表日	平成17年10月27日 (2005.10.27)		アメリカ合衆国 テキサス ７８７４６，オースティン， ビアフォーチュナ ２９０１
(86)国際出願番号	PCT/US2003/011777	(74)代理人	100078282
(87)国際公開番号	W02004/006440		弁理士 山本 秀策
(87)国際公開日	平成16年1月15日 (2004.1.15)	(74)代理人	100062409
審査請求日	平成17年6月1日 (2005.6.1)		弁理士 安村 高明
(31)優先権主張番号	10/191,016	(74)代理人	100113413
(32)優先日	平成14年7月8日 (2002.7.8)		弁理士 森下 夏樹
(33)優先権主張国	米国 (US)		

最終頁に続く

(54)【発明の名称】デルタ・シグマ変調回路、およびデルタ・シグマ変調回路を用いるマルチノイズ減衰帯域とデータコンバータとを利用する方法

(57)【特許請求の範囲】

【請求項１】

ノイズ伝達関数を有するデルタ・シグマ変調器（１０２）であって、前記ノイズ伝達関数は、変換器出力信号ベースバンドにおけるノイズを減衰させるための第１のノイズ減衰帯域と、少なくとも１つの第２のノイズ減衰帯域とを含む複数のノイズ減衰帯域とを有する、デルタ・シグマ変調器（１０２）を備え、

前記変調器からの出力信号を複数の中間信号に分割する回路（１０３）と、

複数のインタリーブされたデジタル・アナログ変換エレメント（１０６、１０７）であって、前記複数のインタリーブされたデジタル・アナログ変換エレメント（１０６、１０７）のそれぞれは、前記複数の中間信号のうちの対応する１つをデジタル形式からアナログ形式に変換する、複数のインタリーブされたデジタル・アナログ変換エレメント（１０６、１０７）と、

前記複数のインタリーブされたデジタル・アナログ変換エレメントからのアナログ出力信号を合計して、変換器出力信号にする加算器（１１０、１１２）と、

前記変調器内の回路であって、前記変調器から出力され、かつ、前記複数のインタリーブされたデジタル・アナログ変換エレメントからの複数の出力信号の間のミスマッチによって復調されるノイズを減衰させるように前記変調器の前記第２のノイズ減衰帯域を設定する回路と

を特徴とする、デジタル・アナログ変換器（１００）。

【請求項２】

前記分割する回路（１０３）は、ｎ個のインタリーブされた変換エレメントにより、前記出力信号を変換用のｎ個の中間信号に分割し、前記少なくとも１つの第２のノイズ減衰帯域は、前記変調器の前記ノイズ伝達関数においてｎ個の減衰帯域を含む、請求項１に記載のデジタル・アナログ変換器（１００）。

【請求項３】

前記複数のインタリーブされたデジタル・アナログ変換エレメント（１０６、１０７）は、複数のインタリーブされたオペレーティング相において動作する複数のスイッチドキャパシタエレメント（６０２、６０３、６０４、６１０、６１１、６１２）を含む、請求項１に記載のデジタル・アナログ変換器（１００）。

【請求項４】

前記複数のインタリーブされたデジタル・アナログ変換エレメント（１０６、１０７）は、複数のインタリーブされたオペレーティング相において動作する複数の電流ステアリングエレメント（７０５）を含む、請求項１に記載のデジタル・アナログ変換器（１００）。

【請求項５】

前記第１のノイズ減衰帯域と、前記少なくとも１つの第２のノイズ減衰帯域との間でのノイズ減衰レベルの差分が、前記複数のインタリーブされたデジタル・アナログ変換エレメントからの複数の出力信号の間のミスマッチの度合いの関数として選択される、請求項１に記載のデジタル・アナログ変換器（１００）。

【請求項６】

前記デルタ・シグマ変調器（１０２）は、少なくとも２つのセットの極ゼロ点ペアを生成し、前記少なくとも２つのセットの極ゼロ点ペアのそれぞれは、ｚ平面上において、前記極ゼロ点ペアの数および位置が異なる、請求項１に記載のデジタル・アナログ変換器（１００）。

【請求項７】

前記デルタ・シグマ変調器（１０２）は、フィードフォワードデルタ・シグマ変調器（３００）を含み、前記フィードフォワードデルタ・シグマ変調器（３００）は、

前記第１の減衰帯域を特徴づける第１の伝達関数を有するフィルタ（３０２）であって、変調器入力信号を受信し、変調器加算器（３０５）と、前記加算器の出力部の変調器量子化器（３０６）とに重み付き入力用の第１の信号を出力するフィルタ（３０２）と、

前記第２の減衰帯域を特徴づける第２の伝達関数を有するフィルタ（３０３）であって、前記量子化器（３０６）の出力部から入力信号を受信し、前記変調器加算器（３０５）と量子化器（３０６）とに重み付き入力用の第２の信号を出力するフィルタ（３０３）と

を含む、請求項１に記載のデジタル・アナログ変換器（１００）。

【請求項８】

前記デルタ・シグマ変調器（１０２）は、フィードバックデルタ・シグマ変調器（４００）を含み、前記フィードバックデルタ・シグマ変調器（４００）は、

前記第１の減衰帯域を特徴づける第１の伝達関数を有するフィルタ（４０１）であって、前記変調器への入力信号と、変調器量子化器（４０８）からのフィードバックとを受信し、前記量子化器への入力部の変調器加算器（４０７）に信号を出力するフィルタ（４０１）と、

前記第２の減衰帯域を特徴づける第２の伝達関数を有するフィルタ（４０４）であって、前記量子化器（４０８）からフィードバックを受信し、前記加算器（４０７）に信号を出力するフィルタ（４０４）と

を含む、請求項１に記載のデジタル・アナログ変換器（１００）。

【請求項９】

ノイズ伝達関数を有するデルタ・シグマ変調器（１０２）を含むシステム（１００）においてデジタル・アナログ変換を実行する方法であって、前記ノイズ伝達関数は、変換器出力信号ベースバンドにおけるノイズを減衰させるための第１のノイズ減衰帯域と、少なくとも１つの第２のノイズ減衰帯域とを含む複数のノイズ減衰帯域とを有し、

前記変調器からの出力信号を複数の中間信号に分割することと、
複数のインタリーブされたデジタル・アナログ変換エレメント（１０６、１０７）のうちの対応する１つにおいて、前記複数の中間信号のそれぞれをデジタル形式からアナログ形式に変換することと、
前記複数のインタリーブされたデジタル・アナログ変換エレメントからのアナログ出力信号を合計して、変換器出力信号にすることと
を特徴とし、
前記変調器の前記第２のノイズ減衰帯域は、前記変調器から出力され、かつ、前記複数のインタリーブされたデジタル・アナログ変換エレメントからの複数の出力信号の間のミスマッチによって復調されるノイズを減衰させることを特徴とする、方法。
【請求項１０】
前記変調器からの出力信号を分割することは、前記変調器からの前記出力信号をｎ個の中間信号に分割することを包含し、
前記複数の中間信号を変換することは、ｎ個のインタリーブされた変換エレメントを用いてｎ個の中間信号を変換することを包含し、
前記変調器の前記少なくとも１つの第２のノイズ減衰帯域は、前記変調器の前記ノイズ伝達関数においてｎ個の減衰帯域を含む、請求項９に記載の方法。
【請求項１１】
前記複数のインタリーブされたデジタル・アナログ変換エレメントは、複数のインタリーブされたオペレーティング相において動作する複数のスイッチドキャパシタエレメント（６０２、６０３、６０４、６１０、６１１、６１２）を含む、請求項９に記載の方法。
【請求項１２】
前記複数のインタリーブされたデジタル・アナログ変換エレメントは、複数のインタリーブされたオペレーティング相において動作する複数の電流ステアリングエレメント（７０５）を含む、請求項９に記載の方法。
【請求項１３】
前記変調器の前記第１のノイズ減衰帯域と、前記少なくとも１つの第２のノイズ減衰帯域との間でのノイズ減衰レベルの差分を前記複数のインタリーブされたデジタル・アナログ変換エレメントからの複数の出力信号の間のミスマッチの度合いの関数として設定することをさらに包含する、請求項９に記載の方法。
【請求項１４】
前記デルタ・シグマ変調器は、フィードフォワードトポロジを有する、請求項９に記載の方法。
【請求項１５】
前記デルタ・シグマ変調器は、フィードバックトポロジを有する、請求項９に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
（発明の背景）
（発明の分野）
本発明は一般にデルタ・シグマ変調器に関し、特に、デルタ・シグマ変調回路と、デルタ・シグマ変調回路を用いるマルチノイズ減衰帯域とデータコンバータとを利用する方法とに関する。
【背景技術】
【０００２】
（発明の背景）
デルタ・シグマ変調器は、特に、デジタル・アナログ変換器およびアナログ・デジタル変換器（ＤＡＣおよびＡＤＣ）において有用である。オーバサンプリングを利用して、デルタ・シグマ変調器は、一般に入力信号帯域幅よりもずっと広いオーバサンプリング周波

数帯域の両端にわたって量子化ノイズパワーの拡散を行う。さらに、デルタ・シグマ変調器は、入力信号用ローパスフィルタとして機能し、ノイズに対してハイパスフィルタとして機能することによりノイズ整形を行う。これによって量子化ノイズパワーのほとんどが信号帯域の中からシフトされる。

【０００３】

典型的デルタ・シグマ変調器は、負帰還を用いて入力信号を加算する加算器と、線形フィルタと、量子化器と、量子化器の出力と加算器の反転入力とを結合するフィードバックループとを備える。線形フィルタが単一の積分器または別のフィルタ段を１次変調器内に備えているのに対して、より高次の変調器内のループフィルタは対応する数のカスケード形のフィルタ段を備える。高次の変調器は、低次の量子化ノイズ伝達特性よりも向上した量子化ノイズ伝達特性を有するが、次数が上がるにつれて安定性がより重要な設計要因となる。量子化器は１ビット量子化器またはマルチビット量子化器のいずれであってもよい。

【０００４】

デルタ・シグマ変調器内に積分段を備えた複数のアプリケーションにおいて、スイッチドキャパシタフィルタ／積分器は有用である。一般に、基本差動スイッチドキャパシタフィルタ積分器は、サンプリング（チャージング）相の最中に、サンプリングキャパシタ上へ入力信号のサンプリングを行う。ＡＤＣのフィードバックループでＤＡＣ機能を実行するために上記サンプリング相の最中に基準サンプリングキャパシタ上へ基準電圧のサンプリングを行ってもよい。以下のダンプ相の最中に、サンプリングキャパシタ上の電荷は、増幅器フィードバックループ内の演算増幅器と積分器キャパシタの加算ノードへ転送される。演算増幅器は積分器出力を駆動する。

【０００５】

スイッチドキャパシタフィルタ、および、多相時に動作する電流ステアリングＤＡＣなどの同様の回路に関する１つの欠点として非効率であることが挙げられる。スイッチドキャパシタフィルタ積分器の場合、演算増幅器の電流駆動能力は二相設計用のおよそ１／２の時間しか利用されない。すなわち、演算増幅器がダンプ相の最中に電流駆動を行っている間、演算増幅器の電流駆動能力はサンプリング相の最中には一般に利用されない。

【発明の開示】

【発明が解決しようとする課題】

【０００６】

回路の非効率問題の処理は、特にデルタ・シグマ変調器アプリケーションでは主たる努力事項となる。中でも、回路効率の改善は、ノイズ減衰などの別のパフォーマンスパラメータの妥協を結果としてもたらす場合がある。このため、ノイズパフォーマンスやその他の動作特性を犠牲にしない効率のよい多相フィルタ並びに関連するデルタ・シグマ変調器の設計および構築を行うためのいくつかの改善された技法が求められている。

【課題を解決するための手段】

【０００７】

（発明の概要）

本発明の原理は、ノイズ伝達関数内に複数の減衰帯域を持つデルタ・シグマ変調を実行する回路並びに方法で具現化される。１つの特定の実施形態によれば、ノイズ伝達関数における信号ベースバンドでのノイズの減衰を特徴とする第１のセットの極とゼロ点、並びに、ノイズ伝達関数の信号ベースバンドにおけるノイズの減衰を特徴とする少なくとも１つの追加セットの少なくとも１つの極とゼロ点を生成するフィルタシステムを備えたノイズシェーパが開示される。

【０００８】

デルタ・シグマ変調器のノイズ伝達関数におけるマルチ減衰帯域は著しい利点を実現する。例えば、ｚ平面内の単位円周上に画定されるｎ個の減衰帯域を持つデルタ・シグマ変調器は、出力信号をインタリーブして、ｎ個の変換エレメントの中へ入れることを可能にする。マルチ減衰帯域でのノイズの減衰は、この減衰が行われなければ、インタリーブさ

れた変換エレメント間のミスマッチにより復調されることになるノイズの最小化を保証するものである。スイッチドキャパシタフィルタＤＡＣや加算器の場合、インタリーブされた変換エレメントによって、ｎ個の非オーバーラップ相における出力演算増幅器の電流能力の十分な利用が可能となる。電流ステアリングＤＡＣなどの電流ステアリング回路では、インタリーブ済みの電流ステアリングエレメントによってさらに平滑な出力信号の生成が行われる。

【０００９】

本発明および本発明の利点をさらに完全に理解するために、添付図面と関連して以下説明を行う。

【００１０】

（発明の詳細な説明）

図面の図１～図８に描かれている実施形態を参照することにより、本発明の原理およびこの原理の利点をもっとも良く理解することができる。図では、同じ参照番号は同じ部品を示すものとする。

【００１１】

図１は本発明の原理を説明するのに適したデジタル・アナログ変換器システム１００の高レベルの機能ブロック図である。説明の便宜上、コンパクトディスク（ＣＤ）やデジタル多用途ディスク（ＤＶＤ）プレイヤなどのソース１０１から得られるデジタルオーディオを処理するオーディオ・アプリケーションについて説明する。しかしながら、以下に説明するコンセプトは、広範囲のデジタル・アナログアプリケーション、並びに、アナログ・デジタルアプリケーションで利用することが可能である。

【００１２】

システム１００は、ノイズ伝達関数（ＮＴＦ）にマルチ減衰帯域を備えたマルチビットノイズシェーパ１０２に基づくものである。ノイズシェーパ１０２についてはさらに以下で詳細に論じることにするが、一般的に言えば、ＮＴＦには、信号通過帯域でノイズを減衰するための１つの減衰帯域と、ノイズシェーパの出力ストリームを後で分割して奇数および偶数のパリティサンプルに変えることにより、復調されたエレメントのミスマッチノイズを減衰するための別の減衰帯域とが含まれる。

【００１３】

奇数および偶数パリティサンプルへの分割はブロック１０３で行われ、このブロック１０３によって偶数パリティサンプルは第１のダイナミックエレメントマッチングブロック（ＤＥＭ０）１０４へ、また、奇数パリティサンプルは第２のダイナミックエレメントマッチングブロック（ＤＥＭ１）１０５へ切り替えられる。ＤＥＭブロック１０４と１０５から出された出力信号は、ＤＡＣ１０８の偶数パリティエレメント１０６と奇数パリティエレメント１０７とへそれぞれ渡される。ＤＥＭブロック１０４と１０５とは、一般に、偶数および奇数のパリティエレメントブロック１０６と１０７の個々のエレメント間のノイズシェーパ１０２から、分割された出力ストリームを分散することにより、ミスマッチノイズを減らすものである。ＤＡＣ１０８用の２つの例示構造について以下説明する。一般に、ＤＡＣ１０８は、スイッチドキャパシタ設計または電流ステアリング設計のうちのいずれであってもよい。スイッチドキャパシタ設計の場合、偶数および奇数のパリティエレメント１０６と１０７は一般にスイッチとサンプリングキャパシタとを備える。電流ステアリング設計の場合、偶数および奇数のパリティエレメント１０６と１０７は、一般に、複数のセットの重み付き電流源を備えることになる。

【００１４】

概念的には、相Φ１の間、図１の１１２で全体が示されているスイッチング回路は、シングルエンド型積分器によって図１に表されている偶数パリティエレメント１０６から出力段１０９の加算ノードへ電荷すなわち電流を切り替える。同時に、奇数パリティエレメント１０７への入力信号はＤＥＭ１０５からの出力信号のサンプリングを行っている。相Φ２の間、上記処理は逆に行われ、偶数パリティエレメント１０６がＤＥＭ１０４からの出力信号のサンプリングを行い、奇数パリティエレメント１０７が出力段１０９の入力部

で電荷すなわち電流の加算ノードへのダンピングを行うことになる。

【００１５】

スイッチドキャパシタフィルタ回路などの、多相時に動作している回路が、回路の最大能力まで利用されていないことがしばしば生じる。従来型の差動スイッチドキャパシタフィルタＤＡＣの場合について考えることにする。サンプリング相の間、ＤＡＣ入力部における差分信号は１セットのサンプリングキャパシタ上へサンプルされる。次いで、サンプリングキャパシタ上の電荷は、積分（ダンプ）相の間、演算増幅積分器の差動加算ノードへ転送される。演算増幅器はシステム内の次の回路ブロックへ電流駆動を行う。次のサンプリング相の開始時に、加算ノードはサンプリングキャパシタから減結合される。上記処理が次のサンプルに対して繰り返される。したがって、５０％の時間、すなわち積分相時に、演算増幅器はこの増幅器がアクティブになっている間だけ効果的に電流駆動を行っていることになる。

【００１６】

複数のセットのＤＡＣ素子や別の何らかの技法を交互に利用して、すべての動作相の間、ＤＡＣオペアンプの電流駆動能力を十分に利用し、それによってシステム全体の効率を上げるようにすることが望ましい。例えば、回路利用の効率を上げる１つの可能な技法として、奇数および偶数のパリティサンプル値のサンプリングを独立に行い、これらのパリティサンプル値を交番位相で積分する技法がある。この場合、ＤＡＣ演算増幅器の電流駆動はほとんどすべての時間中利用されることになる。しかし、交番形ＤＡＣ素子の利用によって、一般に別のセットの問題が提示されることになる。

【００１７】

１つのアプローチでは、単一のデルタ・シグマ変調器で着信デジタルデータストリームを変調して、変調データを奇数および偶数のパリティサンプルに分割することが可能である。次いで、これらの奇数および偶数のパリティサンプルは、対応する奇数および偶数のセットのＤＡＣ素子を介してそれぞれ渡され、その結果生じる奇数および偶数のアナログ信号はＤＡＣオペアンプ内の交番位相合計されることになる。単一のデルタ・シグマ変調器を利用することによって、グローバルなノイズ整形を行うことができるという利点があるが、交互の半平面ストリームを処理する２つの別個のセットのＤＡＣ素子間での何らかのミスマッチによって、変調器出力ノイズがナイキスト周波数（Ｆｓ／２）で復調されることになる。このミスマッチ－復調ノイズを折り畳んで元の信号ベースバンドにすることが可能である。

【００１８】

第２のアプローチとして、奇数および偶数のデータストリームに対して２つの独立したデルタ・シグマ変調器と、個々の変調器の出力部の独立したＤＡＣ素子とを利用するアプローチがある。この技法は、ＤＡＣ素子間の、潜在的ミスマッチにより復調されるノイズ問題を少なくするものである。しかし、個々のデルタ・シグマ変調器が１／２のサンプリングレートでデータ処理を行うため、個々のＮＴＦのグローバルなノイズ整形関数が逆に悪影響を受けることになる。（一般に、個々の変調器を介してサンプルレートを１／２にすることにより、対応する信号帯域での潜在的ノイズ減衰はほぼ１／２になる。）

図１のシステムでは、選択されたノイズシェーパ１０２のＮＴＦは図２Ａに図示のように少なくとも２つのノイズ減衰帯域を有する。この構成によって、上述の２つのアプローチのバランスをとるという効果が得られる。低周波数減衰帯域は信号帯域でノイズの減衰を行い、第２の帯域は、非ゼロミスマッチ（不完全なマッチング）を用いて、（交番する）データストリームを別個のセットのＤＡＣ素子１０６と１０７とに分割することにより、ナイキスト・レートＦｓ／２で復調できるノイズの減衰を行う。特に、信号帯域での減衰の平均レベル間の差分と、ナイキストでの平均レベル減衰とは、ダイナミックエレメントマッチング後の偶数および奇数のパリティエレメント１０６と１０７間のミスマッチの関数となる。さらに多くのミスマッチが出れば、ナイキストでさらに多くの変調器ノイズが復調されることになり、したがって、ナイキストでＮＴＦにおけるより多くの減衰が必要となる。ナイキストで減衰が大きくなる結果、信号帯域の減衰の減少が得られる。（一

般に、図２ＡのＸ軸より下の面積はＸ軸より上の面積に等しくなければならない。）したがって、ＮＴＦのグローバルなノイズ整形と、ローカルな減衰レベルとの間でバランスをとる必要がある。１％のミスマッチの場合、信号帯域とナイキストとにおいてほぼ－４０ｄＢの減衰レベルの差が最適である。

【００１９】

信号帯域での平均減衰レベルと、ナイキストでの平均減衰との間に所定の差分を設けてノイズシェーパ１０２にＮＴＦを生成するために、ｚ平面の左半分と右半分の２つの等しくないセットの極を備えた構成を選択することが望ましい。このような１つのノイズシェーパを特徴づける極とゼロ点のｚ平面でのプロットが図２Ｂに示されている。本例では、ＮＴＦの低周波数（信号帯域）ノイズ減衰の形状を画定する第１のセットの極ゼロ点ペア２０１を含む６次のノイズシェーパが特徴づけられる。第２のセットの極２０２によってナイキストにおけるノイズ減衰帯域の形状が画定される。極とゼロ点の数は、ナイキスト周波数（Ｒｅ＝－１，Ｉｍ＝０）の周辺の極ゼロ点ペアの数がＤＣ点（Ｒｅ＝１，Ｉｍ＝０）周辺の極ゼロ点ペアの数より少なければ、実施形態の間で変動するものであってもよい。すなわち、２つのセットの極ゼロ点ペア２０１と２０２とは鏡像ではない。さらに、所望のグローバルで、ローカルなノイズ整形関数に対応して、複数の異なる極ゼロ点の配置が可能である。例えば、交番する非対称極ゼロ点配置は、ｚ＝－１における単一のゼロ点とユニット回路内の負の実軸上の対応する極、および、単位円内のＤＣ点と対応する極の辺りのユニット回路上の２または３以上のゼロ点となる。

【００２０】

図３Ａは、図２Ｂの極ゼロ点配置と、図２Ａの対応するＮＴＦとを生成することになる６次の重み付きフィードフォワードデルタ・シグマ変調器３００の例図である。変調器３００は、一般に、入力加算器３０１と、１／（１－Z^{-1}）のレスポンスを持つ４つの（４）フィルタ段３０２ａ～３０２ｄ、並びに、１／（１＋Z^{-1}）のレスポンスを持つ各々２つの（２）フィルタ段３０３ａと３０３ｂを備えたループフィルタを備える。フィードフォワード係数Ｃｘは、フィードフォワード段３０４ａ～３０４ｄにより実装され、フィルタ段３０２ａ～３０２ｄと３０３ａ～３０３ｂの出力部から出力加算器３０５を駆動する。上記フィードフォワード段は、デジタル実施形態では減衰器、増幅器（ゲイン段）あるいは乗算器となることができる。変調器３００から出る出力信号は、マルチビット量子化器３０６と遅延エレメント３０９とにより生成され、入力加算器３０１の反転入力へフィードバックされる。例示の実施形態は、３つのフィードバックループ３０７ａ～３０７ｃおよびこれらフィードバックループのそれぞれの加算器３０８ａ～３０８ｃを備える。フィードフォワード設計を含むデルタ・シグマ変調トポロジについての一般的解説については、Ｎｏｒｓｗｏｒｔｈｙらの「デルタ・シグマデータコンバータ、理論、設計並びにシミュレーション」（ＩＥＥＥプレス、１９９６年）などの文献で知ることができる。（Ａ／Ｄコンバータなどのアナログのアプリケーションの場合、後述するデジタルフィルタ段並びに関連する回路は、上記文献に記載されているこれら回路のアナログ等価物によってほぼ置き換えられる。）

フィルタ段３０２ａ～３０２ｄは、それぞれ、１／（１－Z^{-1}）の伝達関数を有し、図２Ｂの正の実軸により画定されるｚ平面の右半分に極とゼロ点２０１とを生成する。極の実際の所在位置はフィードフォワード係数Ｃ１～Ｃ４によりセットされる。フィードバックループ３０７ａと３０７ｂは、ＤＣ点（Ｒｅ＝１、Ｉｍ＝０）から単位円（ｚ＝１）に沿って対応するゼロ点を移動させる。同様に、フィルタ段３０３ａと３０３ｂは、それぞれ、１／（１＋Z^{-1}）の伝達関数を有し、フィードフォワード係数Ｃ５とＣ６とは、負の実軸により画定される図２Ｂのｚ平面の左半分に極２０２を配置する。フィードバックループ３０７ｃは、単位円に沿ってナイキストポイント（Ｒｅ＝－１、Ｉｍ＝０）から対応するゼロ点を移動させる。

【００２１】

表１は、図３Ａのトポロジを用いて、４８ｋＨｚの共通入力サンプリングレートでの一般的なオーディオ・アプリケーションデータの１セットの係数例を示すものである。これ

らのデータは１２８倍にアップサンプルされ、その結果ナイキスト周波数Ｆｓ／２はほぼ３．０７ＭＨｚになる。この結果得られるノイズ伝達関数が図３Ｂに示されている。図３ＣはＮＴＦの信号帯域内でのノイズ減衰の拡大図であり、図３Ｄはナイキストでのノイズ減衰の拡大図である。図３Ｂ～３Ｃに示すように、所望の２つの減衰帯域が生成され、この生成によって、量子化器３００からのデータは奇数および偶数のストリームに分割されて出力部ＤＡＣ１０８への入力が可能となる。

【００２２】

【表１】

表 1

係数	48 kHz, 128x オーバーサンプルされたオーディオ信号値
C_1	0.472636
C_2	0.213727
C_3	0.0451561
C_4	0.00529628
C_5	0.249534
C_6	0.0537832

ｚ平面の右半分と左半分に非対称の極ゼロ点セットを生成する８次のフィードバックデルタ・シグマ変調器４００の例が図４Ａに示されている。この場合、各々が伝達関数１／（１－Ｚ$^{-1}$）を持つ６つのフィルタ段４０１ａ～４０１ｆと、それぞれのフィードバック係数Ｃ１～Ｃ６を持つフィードバック加算器４０２ａ～４０２ｆとによって、正の実軸により画定される右半分ー平面に６個の極ゼロ点ペアが生成される。２つのフィードバックループ４０３ａと４０３ｂによって、ゼロ点のうちの４つのゼロ点が単位円に沿ってＤＣ（Ｒｅ＝１，Ｉｍ＝０）点から移される。２つの極ゼロ点ペアが、伝達関数１／（１＋Ｚ$^{-1}$）およびフィードバック加算器４０５ａ～４０５ｂを個々に備え、それぞれのフィードバック係数Ｃ７とＣ８とを持つフィルタ段４０４ａと４０４ｂとによってｚ平面の左半分に画定される。フィードバックループ４０６はナイキスト点（Ｒｅ＝－１，Ｉｍ＝０）から２つのゼロ点をシフトする。

【００２３】

フィルタ段４０１ａ～４０１ｆと４０４ａ～４０４ｂとによりそれぞれ形成されるフィルタチェーンからの出力信号は出力加算器４０７により合計される。量子化器４０８は本実施形態ではマルチビット変調器出力を生成する。１２８倍にアップサンプルされた例示の４８ｋＨｚオーディオ半平面ストリームの係数並びに図４Ａのフィードバックトポロジを表２に示す。

【００２４】

【表２】

表 2

係数	48 kHz, 128x アップサンプルされたオーディオ信号値
C_1	1.79268×10^{-6}
C_2	0.0000567507
C_3	0.000912029
C_4	0.00898768
C_5	0.0646919
C_6	0.262072
C_7	0.187477
C_8	0.46439

図４Ｂ～４Ｃは、それぞれ、結果として生じるＮＴＦおよび信号帯域とナイキスト帯域とおけるノイズ減衰の拡大図を図示する。

【００２５】

マルチ減衰帯域を持つＮＴＦを生成する第３の代替例として、インタリーブ済みループフィルタ段を備えたデルタ・シグマ変調器がある。１例として図５Ａに図示の重み付きフィードフォワード変調器５００がある。この場合、ナイキストでのローカルなノイズ整形は、スイッチ（“ＳＷ”）または同様の回路５０２により時間的にインタリーブされた一対のセットの独立したループフィルタ段５０１ａと５０１ｂとにより特徴づけられる。個々のセットの独立したフィルタ段５０１ａと５０１ｂが、一対のフィルタ段５０３ａと５０３ｂと、ローカルな極をセットするための係数C_1とC_2を持つ対応するフィードフォワード段５０４ａと５０４ｂと、（１つの遅延Z^{-1}とゲインg_1を持つ）フィードバックループ５０５と、ローカルなゼロ点をセットする加算器５０６とによって図５Ａに表されている。（個々のセットの５０１ａと５０１ｂの構造は単一のフィルタ段５０３から３またはそれ以上のフィルタ段５０３へ変更してもよく、また、所望の数と位置のローカルな極とゼロ点に応じて２以上のフィードバックループを含むようにしてもよい。）独立したループフィルタ段のセット５０１ａと５０１ｂのゲイン段５０４からの出力信号は対応するセットのスイッチ５０７ａと５０７ｂによりインタリーブされて変調器出力部の加算器５０８の中へ入れられる。

【００２６】

グローバルな（ベースバンド）ノイズ整形は、１セットの共有されるループフィルタ段（本ケースでは、それぞれの係数C_3～C_5が出力加算器５０８に入力される３つの積分段５０９ａ～５０９ｃ、および、対応するフィードフォワード段５１０ａ～５１０ｃ）を特徴とする。段５０１ａと５０１ｂの出力信号はスイッチ（“ＳＷ”）５０２の中へ送出される。ＳＷ５０２の出力信号は、次いで、第１の積分段５０９ａの中へ送出される。グローバルなフィルタ段の数は、ＮＴＦ内の所望の数と位置のグローバルな極ゼロ点ペアに応じて実施形態毎に変更してもよい。ＤＣ点（Ｒｅ＝－１，Ｉｍ＝０）からユニット回路上のグローバルなノイズ整形用ゼロ点を移動させるフィードバックループ５１１（g_1のゲインおよび遅延Z^{-1}の間の）と、加算器５１２とが図示されている。

【００２７】

マルチビット量子化器５１３と遅延エレメント５１４とは好適に変調器５００の出力信号を生成する。この結果生じる出力信号は変調器の入力加算器５１４の反転入力へフィードバックされる。

【００２８】

独立したセットのフィルタ段５０１の間でインタリービングを行うことにより、個々のセット５０１ａまたは５０１ｂは１／２のサンプリングレートで加算器５０８の入力に貢

献する。この結果、図５Ｂに５２０で一般的に示すように、フィルタセット５０１ａと５０１ｂとによりセットされた極とゼロ点はナイキスト（Ｆｓ／２）点（Ｒｅ＝－１，Ｉｍ＝０）周辺の左側半平面の中へ移されることになる。すでに説明した実施形態例の場合と同様、好適には右側半平面内の極とゼロ点の数は、右側半平面内の極とゼロ点の数より大きいことが望ましい。本例では、フィルタセット５０１ａと５０１ｂはナイキスト周辺に２つの極ゼロ点ペアを生みだし、グローバルな（共有される）フィルタ段５０９ａ～５０９ｃは、ＤＣ点の辺りに３つの極ゼロ点ペア５２１を生みだす。

【００２９】

図６はＤＡＣ１０８の１つの実施形態の電気接続図である。この場合、十分に差動的な設計が示されている。図を明瞭にするために、ＤＥＭから得られる４ビットの量子化サンプルを処理する４ビットのＤＡＣを例として示す。但し、量子化サンプルの幅は、使用する量子化器に応じてアプリケーション毎に変動するものとする。一般に、偶数パリティエレメント１０６ａと１０６ｂとが電荷のサンプリングを行っている間、奇数パリティエレメント１０７ａと１０７ｂとはオペアンプ１０９に対して電荷のダンピングを行っている。この逆もまた同様である。したがって、オペアンプ１０９の電流駆動能力は最大化されることになる。

【００３０】

本実施形態では、偶数パリティサンプルおよびこれらサンプルの（差動の場合の）相補形は、演算増幅器１０９の反転ノードと非反転加算ノードでそれぞれの偶数パリティエレメント１０６ａと１０６ｂへそれぞれ送信される。反転加算ノード用偶数パリティエレメント１０６ａをさらに詳細に示す。但し、相補エレメント１０６ｂは好適には同じ構造を有することが望ましい。ブロック１０６ａと１０６ｂの偶数パリティエレメントは相１（Φ_1）の間、電荷のサンプリングを行い、相２（Φ_2）の間、電荷のダンプを行う。詳細には、相１の開始時にスイッチ６０５は閉じていて、或る遅延（相１遅延－Φ_{1D}）後、入力スイッチ６０２ａ～６０２ｄが閉じられ、偶数のＤＥＭ１０４から偶数のサンプリングキャパシタ６０４ａ～６０４ｄのそれぞれの入力プレート上への対応する入力ビット（ビットＡ～ビットＤ）のサンプリングを行う。スイッチ６０３ａ～６０３ｄおよび６０６は相１の間開いている。相２（Φ_2）の間、スイッチ６０６は最初閉じるが、遅延（相２遅延－Φ_{2D}）後、スイッチ６０３ａ～６０３ｄが、サンプリングキャパシタ６０４ａ～６０４ｄのそれぞれの入力プレート上の電荷をオペアンプ１０９の対応する加算ノードに対して付勢する。相２の間、スイッチ６０２ａ～６０２ｄおよび６０５は開く。

【００３１】

同様に、奇数パリティサンプルおよびこれら奇数パリティサンプルの相補形が、演算増幅器１０８の反転加算ノードと非反転加算ノードでそれぞれの奇数パリティエレメント１０７ａと１０７ｂとへ送信される。反転加算ノード用の奇数パリティエレメント１０７ａをさらに詳細に示す。但し、１０７ｂは好適には同じ構造を有することが望ましい。ブロック１０７ａと１０７ｂの奇数パリティエレメントは、相２（Φ_2）の間、電荷のサンプリングを行い、相１（Φ_1）の間、電荷のダンプを行う。詳細には、スイッチ６１３は、最初相２の間閉じていて、遅延（相２遅延－Φ_{2D}）後、入力スイッチ６１０ａ～６１０ｄは、奇数のＤＥＭ１０５から奇数のサンプリングキャパシタ６１２ａ～６１２ｄのそれぞれの入力プレート上へ対応する入力ビット（ビットＡ～ビットＤ）のサンプリングを行うために閉じられる。相２の間、スイッチ６１１ａ～６１１ｄおよび６１４は開いている。相１（Φ_1）の間、スイッチ６１４は最初は閉じているが、遅延（相１遅延（Φ_{1D}）後、サンプリングキャパシタ６１２ａ～６１２ｄのそれぞれの入力プレートに対して電荷を付勢するためにスイッチ６１１ａ～６１１ｄは閉じられる。相１の間、スイッチ６１０ａ～６１０ｄおよび６１３は開かれている。

【００３２】

上述の原理は、デルタ・シグマ変調器のＮＴＦで３以上の減衰帯域を必要とする例に対して拡張することができる。例えば、図７は、Ｎ個のＤＡＣ素子を用いてＮ個の段を処理する一般化されたデジタル・アナログシステム７００を例示する図である。システム７０

０は、デジタルデータソース７０１、および、システム７００のＮＴＦにＮ個の減衰帯域を生成するノイズシェーパ７０２を備える。以下さらにノイズシェーパ７０２について論じることにする。

【００３３】

スプリッタ７０３は、ノイズシェーパ７０２から量子化済みデジタルデータストリームを分割して、Ｎ個の半平面ストリームにする。次いで、ＤＥＭ７０４は、Ｎ個のスイッチまたはＮ個のオーバーラップ段（$Φ_N$）で作動する同様の回路７０４への半平面ストリームの経路選定を行う。本実施形態では、Ｎ個の電流ステアリングＤＡＣ７０５が半平面ストリームを変換して、アナログ電流に変え、次いで、これらのアナログ電流は加算器７０６により合計されて、最終のアナログ出力信号が生みされる。

【００３４】

システム７００で多相を利用する１つの利点として、アナログ出力信号での平滑化を高めるという結果が挙げられる。一般に、より多くの段と電流ステアリングＤＡＣとが存在する場合、アナログ出力信号はさらに平滑化されることになる。入力信号ストリームがＮ回分割されると、ミスマッチにより、ノイズシェーパ７０２からノイズが復調されてＮ個の別々の帯域の中へ入ることになる。このため、ノイズシェーパ７０２はＮ個の対応するノイズ減衰帯域を生みだすように好適に設計される。

【００３５】

例えば、Ｎ＝４でかつノイズシェーパ７０２からの出力が個々にＦｓ／４で４つの（４）半平面ストリームに分割される場合、ＤＡＣ素子７０５間のいずれのミスマッチも復調して、帯域Ｆｓ／４と、Ｆｓ／２と、３Ｆｓ／４とに変えられる。したがって、ノイズシェーパ７０２は図８Ａに図示のように４つの対応する減衰帯域を有することが望ましい。これらの減衰帯域に対応する１つの生じ得る極ゼロ点プロットを図８Ｂに示す。図８Ｂの極ゼロ点の配置は、１つの実施形態では、図５Ａの変調トポロジを用いて達成され、この変調トポロジは、４回インタリーブされて共有フィルタ段５０３ａ～５０３ｄの中へ入力される出力を有する４つの（４）独立フィルタ段５０１ａ～５０１ｄを使用することにより変調される。上記とは別に、１／（$1-Z^{-4}$）の伝達関数を持つ一対のフィルタ段と、ｚ＝１、－１、ｊ、－ｊの周りに極とゼロ点を配置する対応するフィードバックループとを有するフィードフォワードまたはフィードバックトポロジが利用される。

【００３６】

要約すると、ＮＴＦにマルチノイズ減衰帯域を設けた変調器によって、多相時に動作するＤＡＣ、加算器または同様の回路の入力部のビットストリームを少なくとも２つの別々のストリームに分割することが可能となる。詳細には、有限のミスマッチを持つエレメント間の切り替え用ビットストリームを用いて潜在的に復調される変調器ノイズ、並びに、信号帯域内のノイズは、対応する減衰帯域内の変調器ＮＴＦの中で減衰される。次いで、この結果生じるマルチビットストリームは別個の処理段で変換されて、変換回路素子の利用を最大化することになる。

【００３７】

具体的実施形態を参照しながら本発明について説明したが、本発明を限定する意味で上記説明を解釈しようとするものではない。本発明の説明を参照するとき、開示の実施形態の種々の変更、並びに、本発明の代替実施形態が当業者に明らかになる。本発明の同じ目的を実現するための別の構造に対する変更や設計の基礎として、上記開示の概念並びに具体的実施形態が容易に利用できるものであると当業者は理解すべきである。また、このような等価の構成は、添付の請求項に記載の本発明の精神と範囲から逸脱するものではないことを当業者は理解すべきである。

【００３８】

したがって、本発明の真の範囲内に属する上記のような変更や実施形態のいずれも請求項によってこれをカバーしようとするものである。

【図面の簡単な説明】

【００３９】

【図１】図１は、本発明の原理に基づくマルチ減衰帯域と、インタリーブされた変換エレメントとを備えたデルタ・シグマ変調器を利用する例示のデジタル・アナログ変換器の高レベルの機能ブロック図である。
【図２Ａ】図２Ａは、２つのノイズ減衰帯域を持つ例示のデルタ・シグマ変調器のノイズ伝達関数（ＮＴＦ）を示すゲイン対周波数グラフである。
【図２Ｂ】図２Ｂは、図２Ａに図示のものと同様のマルチＮＴＦノイズ減衰帯域を持つデルタ・シグマ変調器の極とゼロ点のｚ平面におけるプロットである。
【図３Ａ】図３Ａは、図２Ｂに図示の極ゼロ点位置の生成に適したフィードフォワードデルタ・シグマ変調器の機能ブロック図である。
【図３Ｂ】図３Ｂ～図３Ｄは、例示のセットのフィードフォワード係数に関連する図３Ａの変調器のノイズ伝達関数のゲイン対周波数グラフである。
【図３Ｃ】図３Ｂ～図３Ｄは、例示のセットのフィードフォワード係数に関連する図３Ａの変調器のノイズ伝達関数のゲイン対周波数グラフである。
【図３Ｄ】図３Ｂ～図３Ｄは、例示のセットのフィードフォワード係数に関連する図３Ａの変調器のノイズ伝達関数のゲイン対周波数グラフである。
【図４Ａ】図４Ａは、ｚ平面の左半分と右半分に非対称のセットの極ゼロ点ペアを生成するフィードバックデルタ・シグマ変調器の機能ブロック図である。
【図４Ｂ】図４Ｂ～図４Ｄは、例示のセットの係数に関連する図４Ａの変調器のノイズ伝達関数のゲイン対周波数グラフである。
【図４Ｃ】図４Ｂ～図４Ｄは、例示のセットの係数に関連する図４Ａの変調器のノイズ伝達関数のゲイン対周波数グラフである。
【図４Ｄ】図４Ｂ～図４Ｄは、例示のセットの係数に関連する図４Ａの変調器のノイズ伝達関数のゲイン対周波数グラフである。
【図５Ａ】図５Ａは、マルチノイズ減衰帯域を持つＮＴＦの生成に適したインタリーブフィルタ段を備えたデルタ・シグマ変調器の機能ブロック図である。
【図５Ｂ】図５Ｂは、図５Ａの変調器の動作を示す、ｚ平面における極ゼロ点のプロットである。
【図６】図６は、図１のシステムで使用するのに適したインタリーブされた変換エレメントを備えた例示のＤＡＣの電気接続図である。
【図７】図７は、Ｎ個のセットのインタリーブされた変換エレメントでのＮ個の相で動作する一般化したＤＡＣの機能ブロック図である。
【図８Ａ】図８Ａは、４つの（４）ノイズ減衰帯域を備えた例示のデルタ・シグマ変調器のＮＴＦのゲイン対周波数グラフである。
【図８Ｂ】図８Ｂは、図８ＡのＮＴＦを達成するのに適した可能な１セットの極とゼロ点を特徴づけるｚ平面における極ゼロ点プロットである。

【図１】

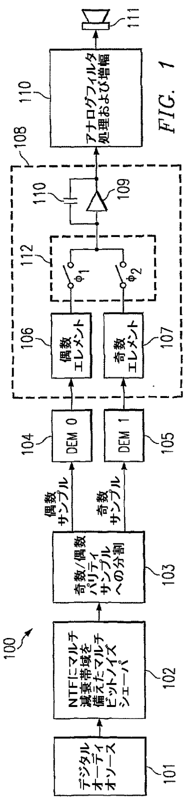


FIG. 1

【図２Ａ】

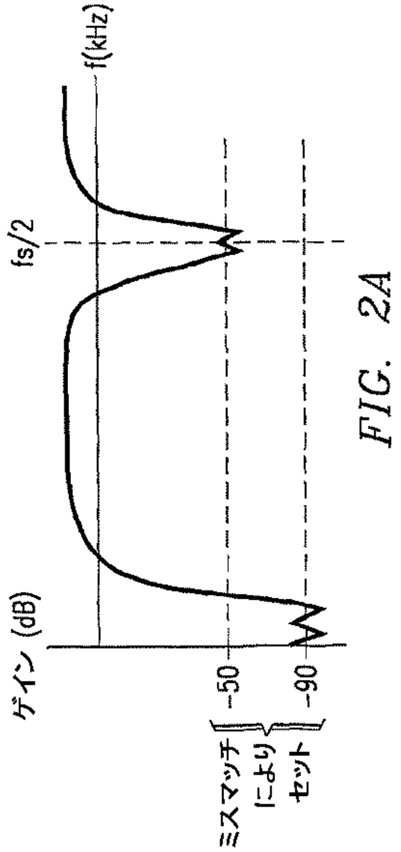


FIG. 2A

【図２Ｂ】

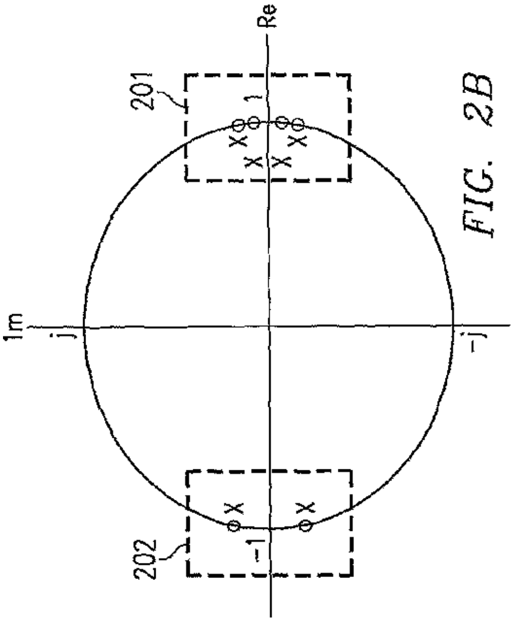


FIG. 2B

【図３Ａ】

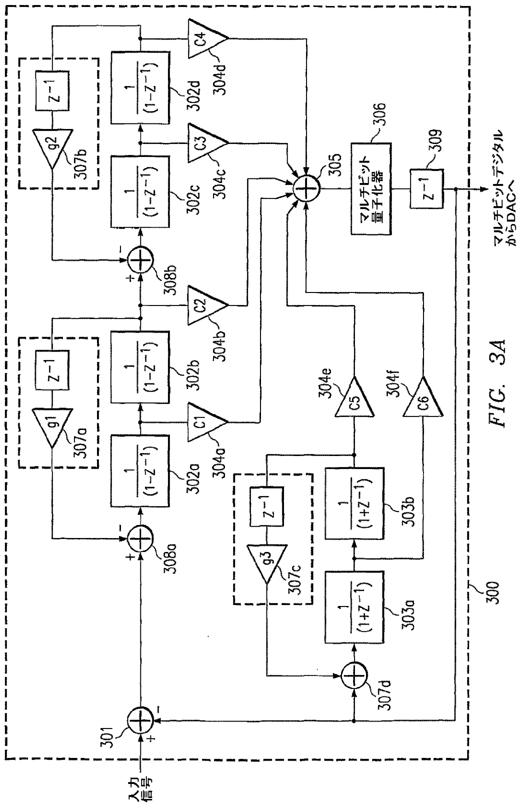
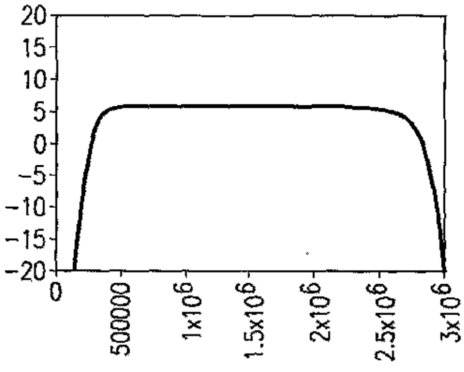


FIG. 3A

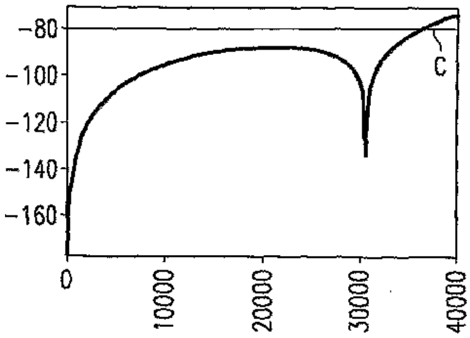
【図３Ｂ】

FIG. 3B



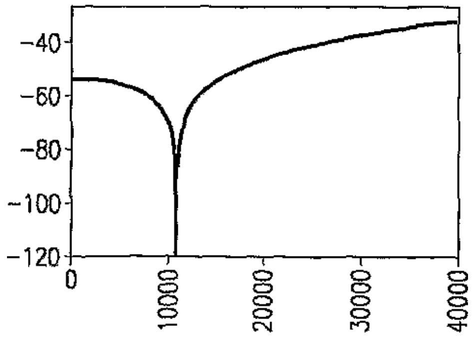
【図３Ｃ】

FIG. 3C



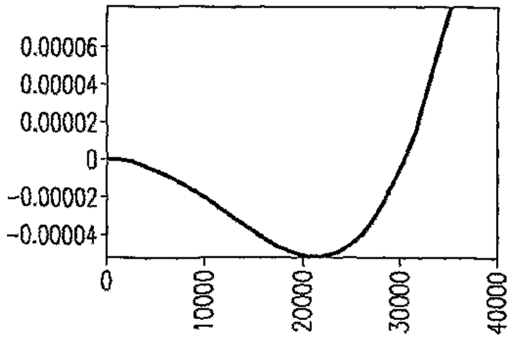
【図３Ｄ】

FIG. 3D



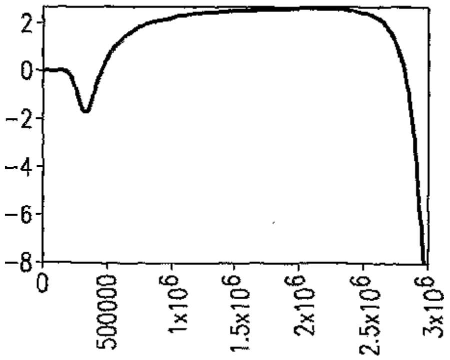
【図３Ｅ】

FIG. 3E



【図３Ｆ】

FIG. 3F



【図４Ａ】

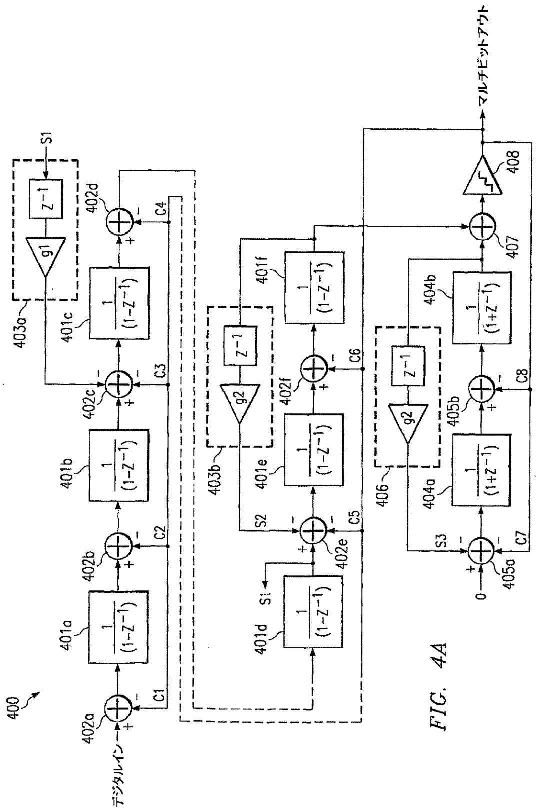
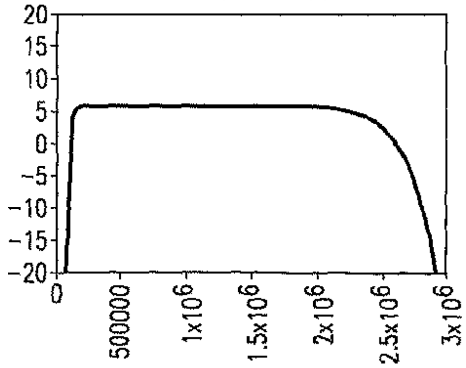


FIG. 4A

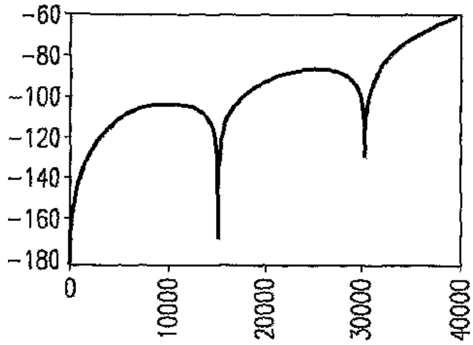
【図４Ｂ】

FIG. 4B



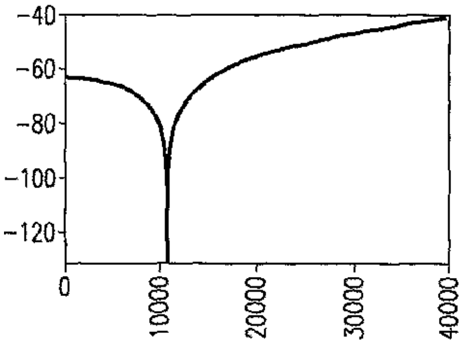
【図４Ｃ】

FIG. 4C



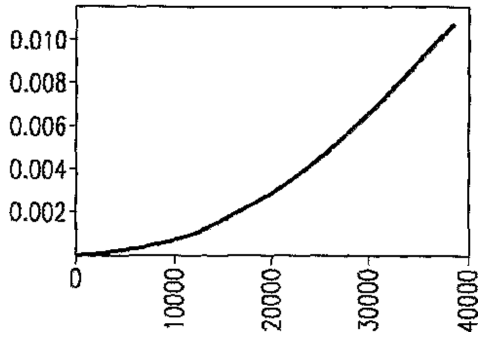
【図４Ｄ】

FIG. 4D



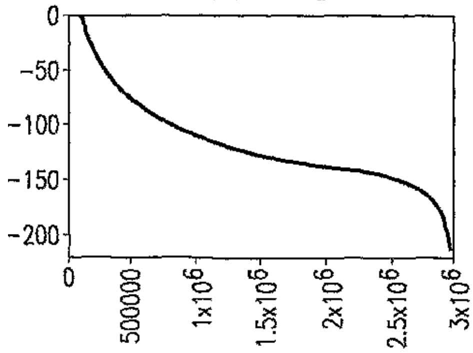
【図４Ｅ】

FIG. 4E

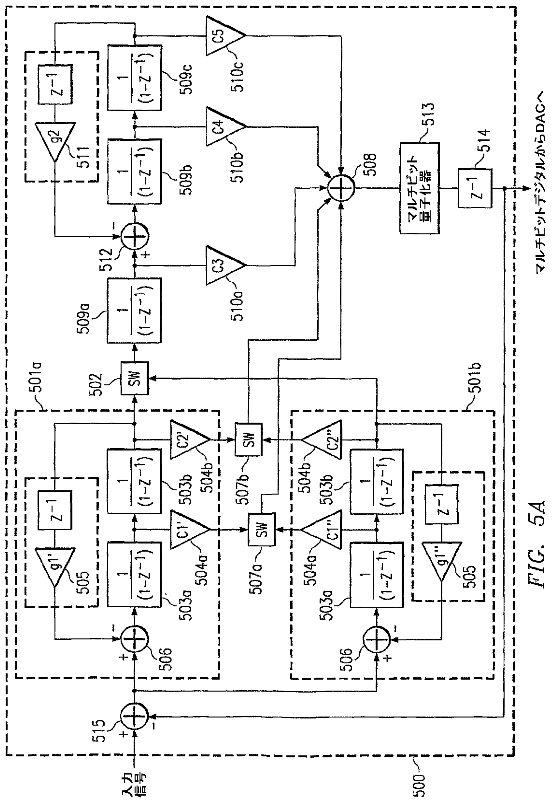


【図４Ｆ】

FIG. 4F



【図５Ａ】



【図５Ｂ】

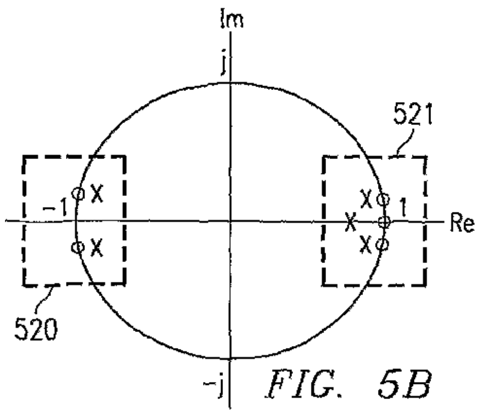


FIG. 5B

【図６】

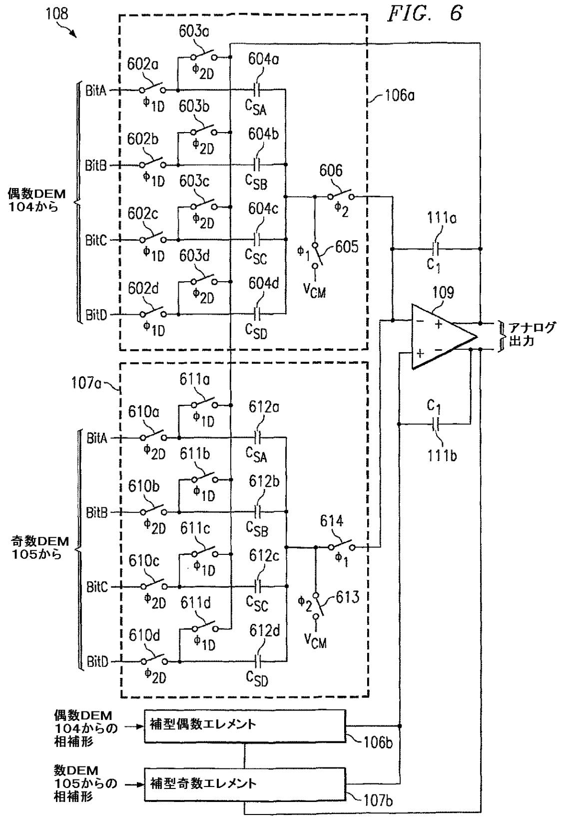


FIG. 6

【図７】

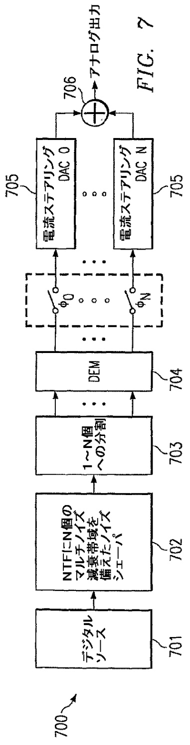


FIG. 7

【図８Ａ】

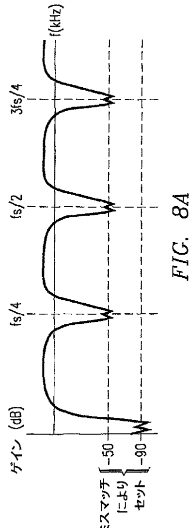


FIG. 8A

【図８Ｂ】

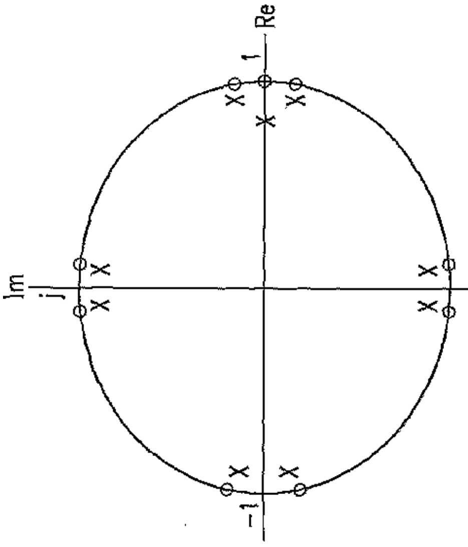


FIG. 8B

フロントページの続き

(72)発明者　メランソン，　ジョン　ローレンス
アメリカ合衆国　テキサス　７８７０３，　オースティン，　ウエスト　9ティーエイチ　ストリート　９０１，　ナンバー２０１

審査官　矢頭　尚之

(56)参考文献　特開平０４－１６０８２２（ＪＰ，Ａ）
国際公開第００／０４１３１１（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03M　7/32