

(21)申請案號：098116717

(22)申請日：中華民國 98 (2009) 年 05 月 20 日

(51)Int. Cl. : **H01L33/00 (2006.01)**

(30)優先權：2008/05/21 美國 61/054,842

2008/06/11 美國 61/060,754

(71)申請人：魯曼茲股份有限公司 (美國) LUMENZ, INC. (US)

美國

(72)發明人：亞戴寇 邦米 T ADEKORE, BUNMI T. (US)；皮爾斯 強納森 PIERCE,

JONATHAN (US)；翠斯貝克 傑森 S TRESBACK, JASON S. (US)

(74)代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：36 項 圖式數：17 共 59 頁

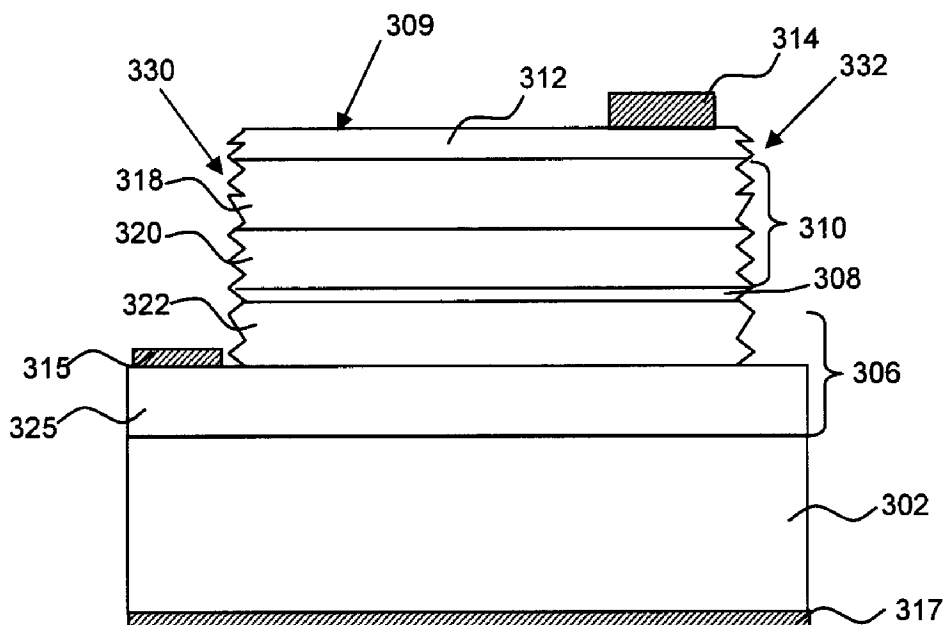
(54)名稱

具有粗糙側壁之半導體裝置

SEMICONDUCTOR DEVICE HAVING ROUGH SIDEWALL

(57)摘要

諸如一發光裝置之一半導體裝置，包括包含一纖鋅礦半導體之一半導體部分。該半導體部分包括被定向為與該纖鋅礦半導體之一 c 平面之間呈一非零度角的一活化層，及一第一側壁，其中該第一側壁之至少一部分是粗糙的。



302：基板

306：半導體層

308：活化層

309：頂面

310：半導體層

312：透明傳導層

314：第一電極

315：電極

317：反射層

318：第二傳導類型接觸層

320：第二傳導類型包覆層

322：第一傳導類型包覆層

325：第一傳導類型接觸層/接觸層

330：側壁/第二側壁

(21)申請案號：098116717

(22)申請日：中華民國 98 (2009) 年 05 月 20 日

(51)Int. Cl. : H01L33/00 (2006.01)

(30)優先權：2008/05/21 美國 61/054,842

2008/06/11 美國 61/060,754

(71)申請人：魯曼茲股份有限公司 (美國) LUMENZ, INC. (US)

美國

(72)發明人：亞戴寇 邦米 T ADEKORE, BUNMI T. (US)；皮爾斯 強納森 PIERCE, JONATHAN (US)；翠斯貝克 傑森 S TRESBACK, JASON S. (US)

(74)代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：36 項 圖式數：17 共 59 頁

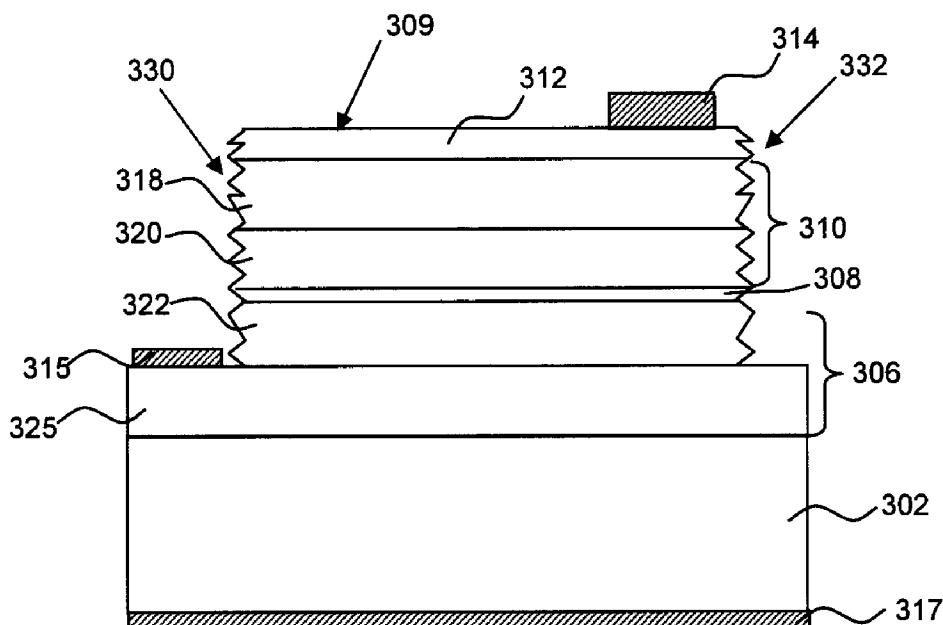
(54)名稱

具有粗糙側壁之半導體裝置

SEMICONDUCTOR DEVICE HAVING ROUGH SIDEWALL

(57)摘要

諸如一發光裝置之一半導體裝置，包括包含一纖鋅礦半導體之一半導體部分。該半導體部分包括被定向為與該纖鋅礦半導體之一 c 平面之間呈一非零度角的一活化層，及一第一側壁，其中該第一側壁之至少一部分是粗糙的。



302：基板

306：半導體層

308：活化層

309：頂面

310：半導體層

312：透明傳導層

314：第一電極

315：電極

317：反射層

318：第二傳導類型接觸層

320：第二傳導類型包覆層

322：第一傳導類型包覆層

325：第一傳導類型接觸層/接觸層

330：側壁/第二側壁

六、發明說明：

【發明所屬之技術領域】

交互參照申請案

本專利申請案主張2008年5月21日提出申請的美國臨時專利申請案第61/054842號案的優先權，其名稱為ZINC-OXIDE BASED EPITAXIAL LAYERS AND DEVICES，及2008年6月11日提出申請的美國臨時專利申請案第61/060754號案的優先權，其名稱為ZINC OXIDE ALLOYS AND DEVICES INCLUDING THE SAME，其全部揭露在此以參照形式被併入本文。

發明領域

本發明大體有關於由具有一纖鋅礦晶體結構之半導體所形成的裝置，且較特別地，本發明有關於具有一或多個粗糙側壁的半導體裝置。

【先前技術】

發明背景

化學氣相沈積(CVD)是用以在諸如一晶圓之一基板上形成薄膜之一沈積過程。在一 CVD 製程中，將一基板在一反應室中暴露於一或多個前驅物下。典型地將該基板加熱至高於該前驅物之分解溫度的一溫度，使得在該前驅物與該基板相接觸時，該前驅物與該基板之表面反應或分解至該基板之表面之上，以產生該所期望之薄膜。然而，一些基板的結晶結構可能會因為沿不同結晶軸之不同的長成率而可影響該膜之長成，進而產生非平面、三維的膜。例如，在六角形的纖鋅礦材料，諸如氧化鋅(ZnO)、氮化鎵(GaN)及相關材料中，沿著該兩個主要軸(該c軸及a軸)之長成

會因為該二軸之長成率之異向性而有所不同。一些技術已發展出使 c 軸上具有單結晶及連續性的長成。參見例如 PCT 申請案第 WO2008/073469 號案(在 2007 年 12 月 11 日提出申請的 PCT 申請案序列號第 PCT/US2007/025432 號案)其名稱為“Zinc Oxide Multi-Junction Photovoltaic Cells and Optoelectronic Devices”，由該受讓人所共同擁有且在此以參照形式被併入本文。然而，在具有六角形結晶結構之基板上的 ZnO 及以 ZnO 為基的合金的平面沈積仍然是一挑戰。

半導體裝置，諸如光電裝置、電子裝置及光子裝置，由於它們的堅固性及效率，而使其被大量應用。例如 LED 之半導體發光裝置可作為有效的、堅固的及長效的光源。此半導體照明不久可在即使不是所有也是多數的應用中替代白熾及螢光電源，進而提供一有效的且環保的照明技術。

【發明內容】

發明概要

根據本發明之另一實施例，一半導體裝置包括包含一纖鋅礦半導體的一半導體部分。該半導體部分包括定向為與該纖鋅礦結構之一 c 平面之間呈一非零度角的一活化層及一第一側壁，其中該第一側壁之至少一部分是粗糙的。

根據本發明之另一實施例，一半導體裝置包括由一纖鋅礦半導體所形成的一半導體部分。該半導體部分包括定向為與該纖鋅礦結構之一 c 平面之間呈一非零度角的一活化層、一第一側壁及不平行於或實質上不平行於該第一側壁的一第二側壁，其中該第一側壁及該第二側壁都是被定向為平行或實質上平行於屬於一

相同晶體平面族之該纖鋅礦結構之晶體平面。

圖式簡單說明

從其以下之進一步描述並參照該等附加圖式，將更全面地理解本發明之優點，其中：

第 1 圖示意性地顯示一強調出 m 平面的六角形晶體結構；

第 2 圖示意性地顯示一強調出 a 平面的六角形晶體結構；

第 3 圖示意性地顯示一強調出 c 平面的六角形晶體結構；

第 4a-b 圖顯示根據本發明之實施例，用於使用金屬有機化學氣相沈積法沈積平面的以氧化鋅為基的外延層的製程；

第 5 圖示意性地顯示一晶柱；

第 6 圖示意性地顯示在一切除角為 45° 下的一晶柱，為了根據本發明之實施例自該晶柱產生一斜切基板；

第 7 圖示意性地顯示一強調出半極性平面的六角形晶體結構；

第 8 圖是例如一發光裝置的一半導體裝置的一截面圖，其包括由一纖鋅礦半導體形成的一或多個外延半導體層，且根據本發明之實施例，其是與該纖鋅礦半導體之一 c 平面之間形成一非零度角的；

第 9 圖是根據本發明之實施例具有一橫向電氣接觸幾何諸如一發光裝置之一半導體裝置的一截面圖；

第 10 圖是根據本發明之實施例具有一或多個粗糙側壁諸如一發光裝置之一半導體裝置的一截面圖；

第 11 圖是根據本發明之實施例具有一或多個粗糙側壁諸如一發光裝置之一半導體裝置的一截面圖；

第 12 圖是根據本發明之實施例具有一或多個粗糙側壁及一垂直電氣接觸幾何諸如一發光裝置之一半導體裝置的一截面圖；

第 13a-b 圖是根據本發明之實施例之具有一不同程度之表面粗糙度之一第一側壁及第二側壁之諸如發光裝置(例如 LED)之半導體裝置的俯視圖；

第 14a-c 圖是根據本發明之實施例具有一平滑側壁及一粗糙側壁之一以氧化鋅為基的 LED 之俯視圖之掃描電子顯微 (SEM) 影像；

第 15a-b 圖是根據本發明之實施例有具有一不同程度之表面粗糙度之一第一側壁及第二側壁之諸如發光裝置(例如 LED)之半導體裝置的俯視圖；

第 16 圖是根據本發明之實施例有具有一相似程度之表面粗糙度之一非平行側壁之諸如發光裝置(例如 LED)之一半導體裝置的一俯視圖；及

第 17a 及 17b 圖是根據本發明之實施例具有定向為與該纖鋅礦半導體之一 c 平面之間呈一非零度角定向的纖鋅礦半導體層的一雷射二極體的透視圖及俯視圖。

【實施方式】

較佳實施例之詳細說明

在此所提供之各種實施例描述了使用金屬有機物化學沈積法(MOCVD)長成平面以氧化鋅為基的外延層之方法。如在此所使用地，一平面層是指連續的一層。一平面層可具有任何表面形態，例如，該平面層可具有一平滑的或纖紋化的表面。在此所描述之外延層可是單結晶且可具有一低缺陷密度，諸如小於大約

10^7 cm^{-2} (例如小於大約 10^6 cm^{-2} ，小於大約 10^5 cm^{-2})之錯位密度及/或小於大約 10^4 cm^{-1} (例如小於大約 10^3 cm^{-1} ，小於大約 10^2 cm^{-1})之堆疊缺陷密度。

MOCVD 是使用金屬有機前驅物的一 CVD 製程。在此所描述的一些實施例提供基板組態及使用 MOCVD 允許平面的以氧化鋅為基的外延層在該等基板上成長之長成製程。以下討論說明性實施例之細節。不同於是一物理沈積過程的一分子束外延法(MBE)，MOCVD 是包括源氣體之高溫分解的一化學沈積過程。因而，對於 MOCVD，該長成製程之溫度既控制源氣體之高溫分解也控制該沈積過程之表面動力。照這樣，使用 MBE 而能夠輕易實現之材料的沈積，未必能夠輕易地用在 MOCVD 上。在此所描述之 MOCVD 製程使平面以氧化鋅為基的外延層能夠在各種非 c 平面纖鋅礦基板中沈積。

如第 1、2 及 3 圖所示，六角形纖鋅礦材料，諸如 ZnO 及第 III 族氮化物(例如 GaN、AlN、InN)，具有如 a1、a2、a3 及 c 所示之結晶方向的一六角形晶體結構。如在該技藝中具有通常知識者所習知的，在該六角形結構中一些該等結晶平面是第 1 圖中用陰影所顯示的該 m 平面(10-10)、第 2 圖中用陰影所顯示的該 a 平面(11-20)及第 3 圖中用陰影所顯示的該+c 平面(0001)或-c 平面(000-1)(其垂直於該 c 軸，例如該+c 平面由該等數字 10、12、18、22 及 26 所定義)。對於諸如以 ZnO 為基之半導體及第 III 族氮化物為基之半導體的纖鋅礦晶體材料而言，m 平面及 a 平面是無極性平面且該等 c 平面是極性平面。

雖然特定的平面在第 1 及 2 圖中被強調出，但是在該技藝中

具有通常知識者將了解的是該 m 平面族可是該六角形結構之該等六壁之任何一個，而該 a 平面族可是垂直於該等三個 a 軸之一個軸的該等三個平面之任何一種。例如，該 m 平面可是由該等數字 12、16、18 及 20 所定義之該平面而不是由數字 10、12、14 及 16 (陰影平面) 所定義之該平面，如第 1 圖之所顯示。類似地，該 a 平面可是由該等數字 12、16、26 及 28 所定義之該平面而不是由數字 12、16、22 及 24 (陰影平面) 所定義之該平面，如第 2 圖之所顯示。

參照第 4a 圖，根據本發明之實施例，描述使用 MOCVD 用於沈積平面以氧化鋅為基之外延層之一製程。該製程開始於步驟 100，其中提供了一或多個斜切基板。如在該技藝中具有通常知識者所習知的，一斜切基板可透過使該基板之表面自諸如一纖鋅礦晶體之一 c 平面、 m 平面或 a 平面的一主結晶平面偏置予以形成。例如，第 5 圖示意性地顯示了具有諸如一六角形晶體之 m 平面的一表面 30 的一晶柱。在此範例中，軸上 m 平面基板接著透過將該晶體切割成其兩表面分別平行於該表面 30 的薄片 35 而獲製備。繼續此範例，如第 6 圖中之示意性顯示， m 平面斜切基板可透過自該軸上 m 平面表面 30 以一偏置角切割該等薄片而獲製備，使得該等基板之表面 40 及該 m 平面表面 30 形成一切除角 45。如在該技藝中具有通常知識者所習知的，該切除角 45 可相對於該指定平面形成於任何方位。例如參照第 1 圖，該斜切基板表面可從該 m 平面朝該 $+c$ 平面偏移(例如編號 10、12 所形成之該平面之側邊可朝該六角形之中心移動)、或朝該 $-c$ 平面偏移(例如由編號 14、16 所形成之該平面之側邊可朝該六角形之中心移

動)、或朝一 a 平面偏移(例如由編號 12、16 所形成之該平面之側面可朝該六角形之中心移動或朝由該等數字 10、14、18 及 20 所定義之該 a 平面移動)等。在一些實施例中，該切除角 45 可在大約 2 度至大約 25 度之範圍內。在一些實施例中，該切除角 45 可在 2 度至大約 15 度之範圍內。在一些實施例中，該切除角 45 可在約 0.5 度至約 25 度之範圍內。在其他實施例中，該切除角 45 可在 0.5 度至大約 15 度之範圍內。在切割之後，該基板表面可經由化學機械拋光法(CMP)予以拋光。

在一些實施例中，該基板可由一以 ZnO 為基的半導體(例如 ZnO、ZnMgO、ZnCdO 或其中之組合)或相關材料組成。在一些實施例中，該基板可是導電的。在其他實施例中，該基板可是絕緣或半絕緣的。該基板之導電或半絕緣性質可藉由用適當的摻雜原子以摻雜基板來實現。

參照第 4a 圖，在步驟 110 中該等一或多個斜切基板可在一反應室中加熱。用於該長成製程之該斜切基板上的該溫度範圍可視該基板表面之晶體方位而變化。例如，對於 m 平面或 a 平面斜切基板，該基板之該溫度範圍可從大約 400 °C 至大約 900 °C，較佳地從 480 °C 至大約 900 °C，更佳地從大約 550 °C 至大約 650 °C 且最佳地 600 °C 左右。在一些實施例中，該基板之該溫度可小於大約 500 °C 且大於大約 400 °C。在 c 平面斜切基板中，該基板之該溫度範圍可從大約 600 °C 至大約 1000 °C，較佳地從大約 800 °C 至大約 950 °C，且更較佳地在 900 °C 左右。

參照第 4a 圖，在步驟 120 中，一個以氧化鋅為基的外延層可使用 MOCVD 形成於該基板之上。如在該技藝中具有通常知識

者所習知的，該以氧化鋅為基的外延層可透過自一基於鋅的來源提供包含鋅的第一氣體及自一基於氧的來源提供包含氧的第二氣體而予以形成。該基於鋅的來源及基於氧的來源典型地是為氣相型態，儘管該來源可呈一固體、液體或半固體相。將該等第一氣體及第二氣體傳輸給在該反應室中之該等一或多個基板。該製程氣體成分的控制可使用如在該技藝中具有通常知識者所習知之大流量控制器、閥門等來完成。該長成環境之壓力可保持在從大約 20 Torr 至大約 76 Torr 之範圍中。透過改變該等反應氣體及/或它們的流速，可將具有所期望之成分的一或多個半導體層(例如單晶體半導體層)沈積於該基板之上。控制該反應可用以控制每一半導體層之厚度。反應氣體可包括二乙基鋅或 Zn 之二乙基鋅，及氧氣(O_2)、二氧化碳、一氧化氮或 O 之二氧化氮，儘管還可使用其他。其他反應氣體可被包括，以將合金元素混入該以氧化鋅為基的外延層，諸如 Mg 之環戊二烯基鎂、Cd 之二乙基鎘、Se 之雙三丁基硒及對於在該技藝中具有通常知識者所習知之其他反應氣體。可被包括之其他反應氣體可包括作為 Cl 之一 n 類型摻雜氣體的乙基氯、作為一 n 類型摻雜氣體之 Al、Ga 之及 In 的三甲基色氨酸或三乙基、作為 N 之一 p 類型摻雜氣體的氮氣(N_2)或氨氣、作為 P 之一 p 類型摻雜氣體的二乙基亞磷酸鹽、作為 As 之一 p 類型摻雜氣體之三氫砷化、作為 Sb 之一 p 類型摻雜氣體之三甲基色氨酸銻或任何其他適當的摻雜反應氣體。

在一些實施例中，摻雜劑可包括諸如金、銀及/或砷之 p 類型摻雜劑，且該摻雜劑之來源可以一固體、液體、半固體或氣相予以提供。在一些實施例中，至少兩個摻雜劑(例如 p 摻雜劑)可混

入該外延層中，例如來自金、銀及鉀之該組組成的至少兩個 p 摻雜劑可混入該外延層中。在該來源具有一凝體形式(例如固體、液體或半固體相)時，可透過如在 2009 年 4 月 9 日提出申請的美國專利申請案第 12/421133 號案中所描述之將該來源加熱至室溫之上，以將該來源轉換為該氣相，該專利申請案之名稱為“Metalorganic Chemical Vapor Deposition of Zinc Oxide”，為該受讓人所共同擁有且在此以參照形式被併入本文。該摻雜來源較佳地可包括非鹵化或非甲烷矽基化之複合體，或可包括鹵化或甲烷矽基化之複合體。

較佳地，在反應室中具有與諸如鋅之第 II 族元素相比之下佔較大百分率之諸如氧的第 VI 族元素，使得可長成一平面以 ZnO 為基的外延層。因而，在一些實施例中，諸如氧之第 VI 族元素與諸如鋅之該等第 II 族元素在該反應室中的過飽和比可小於大約 8000，較佳地在大約 50 至 8000 之間，且更佳地在大約 650 至 8000 之間。如在該技藝中具有通常知識者所習知的，該過飽和比可由該等氣體之莫耳濃度、蒸汽壓或流速推導出。該沈積過程可在該等前驅物複合體於發生在該氣體混合物中，或在該氣體混合物與該受熱基板表面相接觸時所發生的高溫分解而發生，且該以氧化鋅為基的外延層形成於該基板之上。

在一些實施例中，一或多個附加氣體還可與該等第一及第二氣體一起使用，例如其他有機金屬前驅物、反應氣體、惰性載氣等。例如，在該 MOCVD 長成過程期間可加入摻雜劑(例如在外延層具有大約 10^{15} 至大約 10^{21} cm^{-3} (或更多)之濃度)使得該摻雜劑混入該以 ZnO 為基的外延層中，進而允許 n 類型或 p 類型之以

ZnO 為基的外延層形成。

參照第 4b 圖，根據其他實施例，描述了用於使用 MOCVD 沈積平面以氧化鋅為基的外延層的一製程。該製程開始於步驟 200，其中提供了一非極性或半極性纖鋅礦基板，例如一 m 平面 (10-10) 基板、 a 平面 (11-20) 基板或半極性基板。第 7 圖示意性地說明了一些突顯出半極性晶體平面的一六角形纖鋅礦晶體結構。半極性晶體平面之範例可包括 (10-11)、(10-1-1)、(10-12)、(10-1-2)、(11-2-1)、(11-21)、(11-2-2) 及 (11-22) 平面。在一些實施例中，可提供一半極性基板可(例如透過以相對於該等主晶體平面之一適當角切割一晶體且接著拋光該基板表面)。因而，一半極性基板具有平行於或實質上平行於一半極性平面(諸如屬於該等 {11-22} 或 {10-12} 平面族之一平面)的一沈積表面。類似地，一非極性基板可具有平行於或實質上平行於屬於該等 m 平面 {10-10} 族或該等 a 平面 {10-20} 族之一平面的一沈積表面。

參照第 4b 圖，在步驟 210 中該非極性或半極性基板可在一反應室中加熱。在此實例中，該基板可加熱至大約 400 °C 至大約 900 °C 之間，較佳地從大約 480 °C 至大約 900 °C，更佳地從大約 550 °C 至大約 650 °C 且尤佳地在 600 °C 左右。在一些實施例中，該基板之溫度可小於大約 500 °C 且大於大約 400 °C。相對於該 c 平面製造小於大約 45 度之一角的半極性基板可從大約 600 °C 加熱至大約 1000 °C，較佳地從大約 800 °C 至大約 950 °C，且更佳地在 900 °C 左右。

參照第 4b 圖，在步驟 220 中，一個以氧化鋅為基的外延層可使用 MOCVD 形成於該基板之上。該等第 VI 族元素(例如氧)

與該等第 II 族元素(例如鋅)之過飽和比可小於大約 8000，較佳地在大約 50 至大約 8000 之間，且更佳地在大約 650 至大約 8000 之間。如先前之所描述，為了使用 MOCVD 在該基板上形成該以氧化鋅為基的外延層，一 p 類型摻雜劑，諸如金、銀及/或鉀，可同該等第 II 族元素(例如鋅)及第 VI 族元素(例如氧)一起使用，進而允許 p 類型以 ZnO 為基的外延層的形成。在一些實施例中，至少兩摻雜劑(例如 p 摻雜劑)可混入該外延層，例如來自金、銀及鉀之該組組成的至少兩 p 摻雜劑可混入該外延層。

各種 MOCVD 反應器架構可用以沈積在此所描述之該外延層，儘管在此所使用之該等製程參數可能與在該技藝中具有通常知識者所習知的其他反應器架構有所不同。目前所揭露之製程參數適用於一垂直 CVD 反應器。

在一些實施例中，該等以氧化鋅為基的外延層可能是包含鋅的氧化物。特定範例可是氧化鋅、第 IIA 族元素與鋅的氧化物、第 IIB 族元素與鋅的氧化物或第 IIA 族元素及第 IIB 族元素與鋅的氧化物。在一些實施例中，該以氧化鋅為基的外延層可包括一第 VIA 族元素，諸如 S、Se 及/或 Te。在一些實施例中，該以氧化鋅為基的外延層可包括 ZnO、ZnMgO、ZnCaO、ZnBeO、ZnSrO、ZnBaO、ZnCdO、ZnSeO、ZnTeO、ZnSO、ZnMgCdO、ZnCdSeO、ZnCdTeO 或其中之組合，其中可以任何所期望之比例(例如上至溶解度的限制)混入合金元素。包括一或多個此等外延層之外延層結構可經由在此所描述之長成技術予以形成。外延結構可包括諸如雙重異質結構之異質結構，該異質結構可包括一或多個量子井。

如以下之詳細描述，各種實施例可包括由一或多個該等以氧化鋅為基的外延層所組成的半導體裝置，諸如光電子裝置、電子裝置或光子裝置。在一些實施例中，一半導體裝置可包括沿著該以氧化鋅為基的外延層之一非極性或半極性平面定向的一或多個以氧化鋅為基的外延層。在一些實施例中，一半導體裝置可包括沿著一 m 平面或一斜切 m 平面定向的一或多個以氧化鋅為基的外延層。在一些實施例中，一半導體裝置可包括沿著一 a 平面或一斜切 a 平面定向的一或多個以氧化鋅為基的外延層。在一些實施例中，一半導體裝置可包括沿著自該以氧化鋅為基的外延層之一主平面切除(例如具有從大約 2 度至大約 15 度的一切除角)之一斜切平面定向的一或多個以氧化鋅為基的外延層。

在一些實施例中，一光電裝置可包括諸如一發光二極體(LED)或一雷射二極體之一發光裝置。這樣一發光裝置可包括沿著一非極性平面(例如 m 平面或 a 平面)或其中之斜切平面，或沿著一半極性平面或其中之斜切平面定向的一或多個以氧化鋅為基的外延層。這樣一發光裝置可呈現低效率驟降操作，其中該插座(wall-plug)效率隨著電流密度增加實質上保持恆定。例如，在一非極性基板(或其中的斜切基板)上長成之一以氧化鋅為基的 LED 的效率可在大約 0.5 A/mm^2 且至少在大約 1 A/mm^2 (例如至少大約 2 A/mm^2 ，至少大約 4 A/mm^2)時實質上相似。

第 8 圖是包括一或多個外延半導體層之諸如一發光裝置的一半導體裝置的一截面圖。雖然下面是根據一發光裝置來描述，但是應理解的是這樣一結構或相似結構還可用於其他半導體裝置中，諸如其他光電子、光子或電子裝置(例如光電二極體、光電的、

激子裝置、激子積體電路、激子光開關、電晶體)。該裝置之該等一或多個外延半導體層可由諸如一或多個以 ZnO 為基的半導體之一纖鋅礦半導體組成。該等一或多個外延半導體層可定向平行於與該纖鋅礦半導體之一 c 平面形成一非零度角(例如大於大約 2 度)的一晶體平面，例如平行於或實質上平行於一非極性平面、一半極性平面或一斜切主平面，如以上所描述。

該半導體裝置可包括包含多個半導體層及配置於該等多個半導體層之間的一活化層 308 的一結構。活化層 308 可被定向為平行於與該纖鋅礦半導體之一 c 平面形成一非零度角的一晶體平面，例如平行於或實質上平行於一非極性平面或一半極性平面，如先前之描述。該等多個半導體層可包含一第一傳導類型半導體層 306(例如 n 類型或 p 類型)，及與導電層 306 相比具有一相反導電類型的一第二導電類型半導體層 310(例如 p 類型或 n 類型)，且該活化層 308 可配置於半導體層 306 及半導體層 310 之間。在一些實施例中，半導體層 306 可包含一第一傳導類型(例如 n 類型或 p 類型)包覆層 322 及一第一傳導類型接觸層 324。接觸層 324 與該包覆層 322 相比可具有一不同(例如較高的)的摻雜濃度，且可由該等相同的或不同的半導體材料所形成。半導體層 310 可包含一第二傳導類型(例如 p 類型或 n 類型)包覆層 320 及一第二傳導類型接觸層 318。接觸層 318 與該包覆層 320 相比可具有一不同(例如較高的)的摻雜濃度，且可由該等相同的或不同的半導體材料所形成。

一或多個半導體層 306、半導體層 310 及活化層 308 可由以 ZnO 為基的材料組成，諸如一或多個以 ZnO 為基的外延層。此等

材料可包括 ZnO 及/或包括 Mg、Ca、Be、Sr、Ba、Cd、Se、Te 及/或 S 的以 ZnO 為基的合金。此等合金描述於在 2007 年 12 月 11 日提出申請的 PCT 申請案 WO2008/073469 號案中，該申請案名稱為“Zinc Oxide Multi-Junction Photovoltaic Cells and Optoelectronic Devices”，由該受讓人所共同擁有且在此以參照形式併入本文。

活化層 308 可包括與該鄰近半導體層相比具有一不同能隙的一或多個層，進而形成一雙異質結構。半導體層 306 及半導體層 310 能夠因為不同於該活化層之能隙而可提供載子限制。例如，形成半導體層 306 及 310 之至少一些層(例如包覆及/或接觸層)的能隙可大於該活化層 308 中一或多個層(例如量子井及/或阻擋層)的能隙。這一組態可確保層 306 及 310 不會實質上吸收由活化層 308 所發射的光。在一些實施例中，活化層 308 包括由諸如 ZnO、ZnMgO、ZnCdO、ZnSeO、ZnTeO 及/或其組合之以 ZnO 為基的材料所組成的一或多個井層。對於雙異質結構裝置，部分或所有的半導體層 306 及/或 310 可由諸如 ZnO、ZnMgO、ZnCdO、ZnSeO 及/或 ZnTeO 之以 ZnO 為基的半導體組成，具有相較於活化層 308 之該(等)井層之一較大的能隙。

活化層 308 可是一塊狀層、一單量子井結構或可包括在該等量子井之間之阻擋層的一多重量子井結構。在一些實施例中，活化層 308 之厚度可在從大約 1 nm 至大約 500 nm 之範圍內，且較佳地在大約 5 nm 至大約 50 nm 之間，且更佳地大於大約 10 nm 且小於大約 30 nm(例如大約 15 nm)。

在一些實施例中，該裝置之該半導體部分形成一雙異質結構

且活化層 308 是具有大於大約 3 nm(例如大於大約 5 nm，大於大約 10 nm，大於大約 15 nm)之一厚度的一井層。對於具有平行於或實質上平行於一非極性或半極性晶體平面之井層的一發光裝置，諸如一 LED，此一厚井層使其能夠達到高效率及相對於電流密度升高之最低程度的效率降低(即“低效率驟降”)，其可能是由於低的內建極化電場及/或歐傑再結合(Auger recombination)。另外，因為在此所描述之該等裝置之活化層 308 可能具有低缺陷密度(例如錯位密度小於大約 10^6 cm^{-2} ，小於大約 10^5 cm^{-2} ，小於大約 10^4 cm^{-2} ，小於大約 10^3 cm^{-2})，所以可進一步增強發光裝置效率，其可能是由於一低缺陷所引發之無輻射再結合率。

活化層 308 可至少部分地是本質的、n 摻雜的及/或 p 摻雜的。例如，活化層 308 可包含一或多個量子井及配置於每一量子井之任一側之上的阻擋層。一些或所有此等層可是本質層。例如該等量子井及/或該等阻擋層可是本質層。可選擇地，該等阻擋層及/或該等量子井可被摻雜(例如 n 摻雜及/或 p 摻雜)。

半導體層 306 可是一 n 類型層且半導體層 310 可是一 p 類型層。在這一裝置中，基板 302 可是一 n 類型基板。可選擇地。半導體層 306 可是一 p 類型層且半導體層 310 可是一 n 類型層。在這一裝置中，基板 302 可是一 p 類型基板。半導體層 306 及/或半導體層 310 之厚度可在從大約 0.1 μm 至大約 3 μm 之範圍內，然而還可使用任何其他適當的厚度。

半導體層 306 及/或半導體層 310 之摻雜可用各種適用於該半導體材料的摻雜元素予以實現。例如，對於以 ZnO 為基的半導體，用一或多個適當的第 I 族元素(例如 IA 及/或 IB)及/或第 V 族

元素，諸如 K、Au、Ag、N、P、As、Sb 及/或其他適當元素來摻雜可用以實現 p 類型的傳導。用一或多個適當的第 III 族元素(例如 B、Al、Ga 及/或 In)及/或第 VII 族元素(例如 F、Cl、Br、I)來摻雜可用以實現 n 類型的傳導。部分或所有的半導體層 306 及/或半導體層 310 的該摻雜濃度可在從大約 10^{15} cm^{-3} 至大約 10^{21} cm^{-3} 之間的範圍內，較佳地從大約 10^{17} cm^{-3} 至大約 10^{20} cm^{-3} (例如大約 10^{19} cm^{-3})，然而還可使用任何其他適當的摻雜濃度。

該等多個半導體層(例如層 306 及 310)及/或該活化層 308 可具有一六角形晶體結構(例如一纖鋅礦晶體結構)，其範例可包括以 ZnO 為基的半導體。該等多個半導體層(例如層 306 及 310)及該活化層 308 可外延地配置於也可具有一六角形晶體結構(例如一纖鋅礦晶體結構)的一基板 302 之上。在一些裝置中，基板 302 也可具有一六角形晶體結構(例如一纖鋅礦晶體結構)。可形成此等結構之沈積過程在以上已予以描述。在一些實施例中，該等多個半導體層(例如層 306 及 310)及活化層 308 形成多數介面，且該等介面是定向為平行於或實質上平行於形成該活化層之該半導體的一非極性平面(例如 m 平面或 a 平面)或一半極性平面。

基板 302 可是一以 ZnO 為基的基板(例如 ZnO、ZnMgO、ZnCdO 或其組合)或任何其他適當的基板。在一些實施例中，該基板可是一單晶體基板。該基板可是導電的(例如 n 類型或 p 類型)及/或透明的(例如對於由該活化層所發射之光的波長)。

在一些實施例中，活化層 308、該 n 類型半導體層及/或該半導體 p 類型層(例如半導體層 306 及 310)可是例如使用蝕刻斑密度方法所量測具有小於大約 10^6 cm^{-2} (例如小於大約 10^5 cm^{-2} ，小於

大約 10^4 cm^{-2} ，小於大約 10^3 cm^{-2} ，小於大約 10^2 cm^{-2})之一錯位密度的單晶體層。這一低錯位密度可藉由具有實質上可與該基板晶格匹配之一成分之外延層的沈積來實現。該等外延層與該基板沈積表面可具有小於大約 2.5%(例如小於大約 2%，小於大約 1%，小於大約 0.5%，小於大約 0.25%)的一晶格失配。例如，以 ZnO 為基的外延層，諸如 ZnO 及/或包括具有一適當原子比例之 Mg、Ca、Be、Sr、Ba、Cd、Se、Te 及/或 S 的以 ZnO 為基的合金，可沈積於一以 ZnO 為基的基板(例如 ZnO、ZnMgO、ZnCdO 或其組合)之上，以便實現與該基板之一低的晶格失配。單晶體以 ZnO 為基的基板可具有小於大約 10^2 cm^{-2} 的一錯位密度，例如，如使用蝕刻斑密度方法之所量測，進而提供一低錯位密度基線。

在一些實施例中，一透明傳導層 312 可配置於半導體層 310 之上。透明傳導層 312 可遍佈半導體層 310 之該整個表面或遍佈一部分(例如大部分)的半導體層 310。電極 314 可配置於透明傳導層 312 之上。透明傳導層 312 可配置鄰近於半導體層 310(例如該 n 類型半導體或 p 類型半導體)且因而可提供從電極 314 擴展至半導體層 310 的電流。電極 314 可由可提供與透明傳導層 312 之電氣接觸之任何適當的金屬組成。電極 314 可作為至該鄰近半導體的一歐姆電氣接觸。電極金屬或金屬堆疊的範例可包括用以形成一 n 類型接觸的 Ti/Au、Ti/Al、Ti/Al/Au、Ti/Al/Pt/Au、Cr/Au、Cr/Al、Cr/Al/Au、Al/Au、Al、Al/Pt、In、Ru 等及用以形成一 p 類型接觸的 Ni/Al/Au、Ni/Ti/Au 等。部分或所有的電極 314 可作為一電氣接觸焊盤(例如接合焊盤)，一導線接合或一封裝金屬跡線可(例如經由焊料或凸點接合) 附接於該電氣接觸焊盤以提供

一外部電氣連接。

透明傳導層 312 可由具有大於該活化層之該能隙或大於該活化層中井之該能隙的一能隙的一或多個材料(例如以 ZnO 為基的材料)所形成，進而最小化所產生之光的吸收。在一些實施例中，透明傳導層 312 可由一透明傳導氧化物所形成。透明傳導氧化物之範例可包括以 ZnO 為基的材料、氧化銦、氧化銦錫(ITO)或其任何組合。在一實施例中，透明傳導層 312 包括一以 ZnO 為基的材料，該以 ZnO 為基的材料包括 In、Ga 及/或 Al。透明傳導層 312 可具有任何適當的厚度，其中一典型的厚度在大於 0.1 μm 與大約 3 μm 之間的範圍內，且一較佳的厚度為大約 0.5 μm 。

在一些實施例中，該裝置之一頂面 309(例如透明傳導層 312 之頂面)具有一纖紋化的表面以便促進光擷取。該纖紋化的表面具有大於大約 30 nm(例如大於大約 50 nm，大於大約 100 nm)之一均方根(RMS)粗糙度。在一些實施例中，該纖紋化表面可具有大於大約 30 nm(例如大於大約 50 nm，大於大約 100 nm)且小於大約 2 μm (例如小於大約 1 μm ，小於大約 500 nm)之一 RMS 粗糙度。一纖紋化頂面可在沈積該層期間或沈積該層之後予以形成，如 2008 年 9 月 18 日提出申請的美國專利申請案第 61/098097 號案之所描述，其名稱為“Textured Semiconductor Light-emitting Devices”，由該受讓人所共同擁有且在此以參照形式併入本文。

在沈積期間對一層的纖紋化處理，可包括諸如溫度之適當沈積條件的使用，以便在沈積過程期間產生一有纖紋層。對於非極性(例如 m 平面、a 平面或其斜切平面)或半極性以 ZnO 為基的半導體，該已沈積層之一纖紋表面形態可在基板溫度在從大約 400

°C 至大約 600 °C 之範圍內的情況下予以實現。一 CVD 過程(例如 MOCVD)可用以沈積該織紋層。在該反應室中第 VI 族與第 II 族元素的過飽和比，諸如在 ZnO 沈積的情況下氧與鋅(O/Zn)，可在從大約 50 至大約 5000 之範圍內。化學反應物在決定一已沈積層之表面形態中發揮重要的作用。例如，當 O_2 、 NO_2 或 N_2O 氧源氣體與在從大約 200 至大約 400 之範圍內的 VI/II 過飽和比一同使用時，該已沈積以 ZnO 為基的層呈現一非常織紋化的表面形態。

在沈積之後對一層的織紋化處理可包括粗糙化(例如經由一或多個濕式及/或乾式蝕刻)及/或圖案化(例如經由一微影製程)該已沈積層。對於以 ZnO 為基的半導體，一織紋化蝕刻可包括 HCl、HCl 及 H_3PO_4 之一混合物、乙酸或其混合物。在一些實施例中，稀 HCl(例如在去離子水中濃度在大約 0.1% 與大約 1% 之間的 HCl)可用作一織紋化蝕刻。當使用稀 HCl 時，蝕刻時間可在大約 5 秒至大約 2 分鐘的一範圍內。較佳地，對於具有大約 0.5% 之一 HCl 濃度的一稀 HCl，蝕刻時間可在從大約 20 秒至大約 60 秒之範圍內。該蝕刻溶液附加的 H_3PO_4 可提供表面織紋化的增加(例如峰谷深度之增加、RMS 粗糙度之增加)。該已織紋化表面形態可包括諸如角錐形及/或圓錐形的特徵(例如六角形特徵)，其中該等特徵可具有至少部分由該材料之該晶體結構(例如六角形晶體)所決定的形狀。

一第一電極 314 可配置於透明傳導層 312 之上。一第二電極 316 可形成於基板 302 之後壁之上，對於基板是導電的(例如 n 類型或 p 類型)實施例而言，可作為至半導體層 306 之一傳導路徑。電極 316 可由一或多個金屬組成且可提供至基板 302 的一電氣接

觸。此外，電極 316 還可作為可反射由活化層 308 所發射之照射於該電極 306 上之光的一反射層。在一些實施例中，基板 302 之該後壁可在電極 316 形成於該基板後壁之前予以織紋化(例如粗糙化及/或圖案化)，從而允許一有織紋之反射層的形成。

電極 316 可作為與該鄰近半導體的一歐姆電氣接觸。電極 316 可包括諸如一 Ag 及/或 Al 層的一或多個反射金屬層，該等一或多個反射金屬層可直接與該基板後壁及可配置於該反射金屬層之上的一或多個電氣接觸金屬層相接觸。該(等)電氣接觸金屬層可由任何適當的金屬組成，諸如對於 n 類型以 ZnO 為基的基板之 Ti/Au 等。

在一發光裝置操作期間，電流可經由電極 314 及 316 注入活化層 308。電子及電洞可在活化層 308 放射地再組合進而產生光。在活化層 308 中所產生的光可經由該裝置之該半導體部分的頂面 309 及/或側壁予以擷取。可形成電極 316 之部分的該後壁反射層可反射照射於其的光。

第 8 圖之該裝置可透過將半導體層 306、308、310 及可取捨地將層 312 沈積於基板 302 之上予以製造。該沈積過程可包括如先前所描述之 MOCVD 過程。在一較佳實施例中，層 306、308、310 及可取捨地層 312 在一單一沈積過程中予以沈積。可選擇地，透明傳導層 312 在存在時可在沈積半導體層 306、308 及 310 之後分離地沈積於另一沈積系統中。在一些實施例中，用於在基板 302 上形成半導體層 306、308、310 及可取捨地層 312 的該等沈積過程可是先前所描述之用於非 c 平面(例如非極性平面、半極性平面)之長成的外延層。

形成該裝置之以 ZnO 為基的外延層可如以上之先前描述予以沈積且可以是 p 摻雜、n 摻雜或非摻雜以分別形成 p 類型、n 類型或非摻雜半導體層。2006 年 10 月 19 日提出申請的美國專利申請案第 11/551058 號案，其名稱為“Zinc Oxide Based II-VI Compound Semiconductor Layers with Shallow Acceptor Conductivities and Methods of Forming Same”，其在此以參照形式被併入本文，揭露了使 ZnO 化合物能夠使用於各種應用中的化學氣相沈積製造技術。該等製造技術克服了相關於製造具有相對於作為 p 類型摻雜劑操作之淺的接收器雜質之充分高濃度的 p 類型 ZnO 材料的穩定性的困難。

在一些實施例中，一凝體源可利用習知的金屬有機傳送溫度及裝置來作為一些摻雜元素(例如 Ag、Au、K)及/或合金元素，以避開一些揮發物種的受限可利用性。在使用這一凝體源時，該來源可在傳送之前轉換為一氣體，如 2009 年 4 月 9 日提出申請的美國專利申請案第 12/421,133 號案之所描繪，其名稱為“Metalorganic Chemical Vapor Deposition of Zinc Oxide”，由該受讓人所共同擁有且在此以參照形式被併入本文。

一旦該裝置之該等半導體層已予以沈積，就可繼續該半導體裝置之製造。可形成電極 316 的金屬層可沈積(例如蒸發及/或噴濺)於該基板 302 之該後壁之上。可形成電極 314 的金屬層可沈積(例如蒸發及/或噴濺)於配置於透明傳導層 312 之上且曝露出該裝置表面之一部分的一受圖案化的遮罩之上。一掀離製程可用以透過選擇性地移除該遮罩來形成該電極。例如，蝕刻該遮罩之一選擇性的蝕刻可用以移除該遮罩且形成覆蓋該透明傳導層 312 之一

所期望之部分的電極 314。電極 314 可覆蓋大約 $50\ \mu\text{m}^2$ 至大約 $400\ \mu\text{m}^2$ 之一區域，一較佳的區域為大約 $100\times 100\ \mu\text{m}^2$ 。包括多個晶粒區域的一晶圓可被切割以便形成第 8 圖之截面圖所顯示之晶粒。可選擇任何所期望之晶粒尺寸，例如晶粒(頂面)大小可在從大約 $100\times 100\ \mu\text{m}^2$ 至大約 $2\times 2\ \text{mm}^2$ 之範圍內，然而其他大小也是可能的。

可對以上製程及裝置結構進行各種修改。例如，基板 302 可例如透過使用晶圓後側研磨予以變薄且可取捨地例如經由 CMP 予以拋光，以便在該電極沈積於該基板後壁上之前減少該基板之厚度(例如至小於大約 $150\ \mu\text{m}$ 之一最終厚度，較佳地大約 $100\ \mu\text{m}$)。一已減少之基板厚度可在使用一導電基板時最小化串聯電阻及/或基板自由載子的光吸收。

諸如對該接觸幾何之任何修改之其他變化也是可能的，例如在使用一電性半絕緣或絕緣基板時對該接觸幾何的修改。例如，除了可使用一垂直電氣接觸幾何，諸如第 8 圖之該裝置中之所顯示之外，也可利用一橫向電氣接觸幾何。相較於一垂直電氣接觸幾何，其中一 n 電極及一 p 電極可配置於該裝置活化層相反側之上，一橫向電氣接觸幾何可包括配置於該裝置活化層上的一第一電極(例如 n 電極或 p 電極)及配置於該活化層不存在之一區域之上之具相反極性的一第二電極(例如 p 電極或 n 電極)。

第 9 圖是具有一橫向電氣接觸幾何之諸如一發光裝置的一半導體裝置之一截面圖。該裝置除了該後壁基板電極不存在且至第一傳導類型接觸層 325 的電氣接觸經由可直接與接觸層 325 相接觸的電極 315 予以實現之外，是類似於第 8 圖之裝置。對於這一

電氣接觸幾何，基板 302 可是半絕緣或絕緣的。這一配置可是倒裝晶片接合於一封裝基座之上且至電極 314 及 315 的電氣接觸可經由凸點接合或任何其他適當的方法予以實現。對於倒裝晶片接合的一配置，基板 302 之後壁可作為一光發射表面，且因而可予以織紋化以增強光擷取。

第 9 圖之該半導體裝置可使用外延層沈積製程(例如 MOCVD)及微製造技術予以形成。例如，在將外延裝置層沈積於基板 302 上之後，如先前之所描述，第 9 圖之該裝置可透過執行該半導體表面之一遮罩蝕刻(例如乾式蝕刻及/或濕式蝕刻)予以製造以便曝露出在該基板上每一晶粒(例如晶片)之一部分中的接觸層 325。所利用之該蝕刻遮罩是一光阻遮罩。電極 315 可使用金屬沈積及一掀離製程予以形成，類似於可用以形成電極 314 之製程，如以上之所描述。諸如一金屬層(例如 Ag、Al)之一反射層 317 可形成於基板 302 之該後壁之上，然而因為該基板可是電氣絕緣的，所以此層不必作為一電極層。可選擇地或附加地，可由多個以氧化物為基的層(例如諸如以 ZnO 為基的層的金屬氧化層)組成的一分佈布拉格反射器 (distributed Bragg reflector, DBR) 可設置於活化層 308 與該基板 302 之間。對於倒裝晶片配置，反射層 317 可不存在且基板 302 之該後壁可作為一光發射表面。

第 10 圖是具有一或多個粗糙側壁之諸如一發光裝置的一半導體裝置的一截面圖。該半導體裝置可包括包含一纖鋅礦半導體的一半導體部分，其中該半導體部分可具有從該纖鋅礦半導體之一 c 平面以一非零角定向的一活化層、一第一側壁及一第二側壁，其中該第一側壁或第二側壁的至少一個是粗糙的。第 10 圖

之該半導體裝置類似於第 9 圖之該裝置，除了該裝置之諸如側壁 330 及 332 的一或多個側壁是粗糙的之外。在諸如一 LED 之一發光裝置的情況下，已粗糙化之側壁可增強自該裝置之該等側壁之光擷取效率。

具有第 10 圖所顯示之該橫向接觸幾何的該半導體裝置可使用所描述之用以製造第 9 圖所顯示之該裝置的製程予以製造。該裝置之活化層 308 可定向為平行於任何平面而不是形成該裝置之該半導體部分之該纖鋅礦半導體的該 c 平面。在較佳實施例中，活化層 308 平行於或實質上平行於該纖鋅礦半導體的一非極性平面(例如 m 平面或 a 平面)。如先前之所描述，該裝置之該半導體部分可形成包括配置於一 n 類型半導體包覆層與一 p 類型半導體包覆層之間之一活化層的一雙異質結構。該半導體部分可包括可使用先前所描述之該等長成技術(諸如 MOCVD 過程)而予以沈積於基板 302 之上的外延層。基板 302 可由一纖鋅礦半導體(例如以 ZnO 為基的、第 III-N 族)組成且可具有與該纖鋅礦半導體之一 c 平面形成一非零角的一沈積表面。該基板沈積表面的該晶體方位可因而與沈積於其上的外延層(諸如該半導體裝置之該活化層)具有一相似的方位。

在長成該等外延層之後，具有一或多個粗糙側壁的該半導體裝置可透過執行該半導體表面之一遮罩蝕刻予以製造以便曝露出在每一晶片之一部分中的接觸層 325。該遮罩蝕刻可形成具有頂面 309 及側壁 330 及 332 之一臺面。用以實現該等粗糙側壁之該蝕刻可是一適當的乾式蝕刻，例如一反應性離子蝕刻(例如感應式耦合電漿反應性離子蝕刻，ICP-RIE)。對於由以 ZnO 為基的或

以 GaN 為基的半導體層所組成之一裝置，乾式蝕刻可使用可包括 BCl_3 、 Ar 、 N_2 、 Cl_2 及/或 HCl 之適當的蝕刻氣體予以執行。蝕刻氣體流速可在從大約 1 sccm 至大約 100 sccm 之範圍內，較佳地大約 35 sccm。ICP 線圈功率可在從大約 100 W 至 1000 W 之範圍內，較佳地大約 500 W。直流(DC)偏壓在大約 25 V 至 200 V 之範圍內，較佳地大約 100 V。該乾式蝕刻加工壓力可在從大約 0.1 mTorr 至大約 20 mTorr 之範圍內，較佳地大約 10 mTorr。在完成該半導體蝕刻之後，電極可使用與第 9 圖之該裝置所描述之相同製程予以形成。

雖然第 10 圖說明了具有一或多個粗糙側壁之該半導體裝置的一截面圖，但是具有該纖鋅礦半導體之不同晶體平面之各種方位的該等側壁是可能的。該等側壁之該等各種方位如在以下之進一步詳細描述可產生不同程度的粗糙度。而且，第 10 圖僅說明了一個可能的半導體裝置(例如 LED)配置，然而各種其他配置也是可能的，例如，如第 11 及 12 圖所說明的。

第 11 圖是具有一或多個粗糙側壁之諸如一發光裝置之一半導體裝置的一截面圖。該半導體裝置包括一基座 333，其中該裝置之該半導體部分被配置於該基座 333 之上。基座 333 可由一種材料(例如半導體、金屬或絕緣體)或材料之一組合組成。例如，基座 333 可包括配置於一支撐基板 334 之上的一或多個金屬層 336，該支撐基板可是電性絕緣的或導電的。例如，支撐基板 334 可是一陶瓷(例如氮化鋁陶瓷)、一半導體(例如 Si)或一金屬(例如 Al、Cu)。金屬層 336 可由可形成一歐姆電極之適當的金屬組成且還可作為一反射層，如在第 8 圖所顯示之該裝置中對於層 316

之描述。

為了形成第 11 圖所顯示之該裝置，用於供該等裝置外延半導體層沈積於其上之該長成基板是可被移除的。對於一發光裝置而言這可能是有益的，因為若該長成基板會吸收由該裝置所產生之光，即可能會降低該裝置效率。此等發光裝置及其製造是描述於 2008 年 9 月 19 日提出申請的美國專利申請案第 61/192548 號案中，該申請案之名稱為“Thin Light-emitting Devices and Fabrication Methods”，由該受讓人所共同擁有且在此以參照形式被併入本文。具有諸如第 11 圖之裝置截面圖中所顯示之側壁 330 及 332 之一或多個粗糙側壁之該裝置可使用用以形成該等粗糙側壁之一適當的蝕刻過程(例如乾式蝕刻)予以形成，如對於第 10 圖所說明之該裝置之製造的描述。

而且，如第 11 圖之所顯示，該裝置之該頂面還可予以織紋化進而形成一有織紋的光發射表面。例如，如果該裝置包括一透明傳導層 312，此層之該頂面可予以織紋化。該頂面的織紋化可經由蝕刻(例如乾式及/或濕式蝕刻)、長成及/或微影(如在 2008 年 9 月 19 日提出申請的美國專利申請案第 61/192548 號案中之所描述，該申請案之名稱為“Thin Light-emitting Devices and Fabrication Methods”，由該受讓人所共同擁有且在此以參照形式被併入本文)予以執行。

第 12 圖是具有一垂直電氣接觸幾何之諸如一發光裝置之一半導體裝置之一截面圖。該裝置類似於第 8 圖之裝置，除了該裝置之一或多個側壁可是粗糙的之外。在一發光裝置的情況下，粗糙側壁(例如側壁 330 及 332)可增強自該裝置之光擷取。

第 12 圖之該裝置可以與第 8 圖之方式相似之一方式予以製造，除了在完成晶圓級加工時且在切割該晶圓以形成被支撐於一切割帶之上的多個個體晶粒之後，透過切割所形成的該等晶粒之已曝露出的側壁可被粗糙化。在切割之前，該已加工晶圓之表面可由一光阻劑層來保護以防止在切割及後續加工期間損害該等晶粒之表面。切割可使用切割鋸或雷射切割予以執行。較佳地，支撐該晶圓之該切割帶在切割之後被完整保留以便使所有晶粒之處理能夠一致。這可透過選擇該等切割鋸參數來實現，以便切割貫穿該整個基板厚度而不是貫穿該整個切割帶厚度，如在該技藝中所習知的。該等晶粒側壁之粗糙化可使用任何適當的蝕刻，例如對於以 ZnO 為基的及以 GaN 為基的半導體之先前描述之一適當的乾式蝕刻(例如 ICP-RIE)予以實現。在粗糙化該等晶粒側壁之後，保護該等晶粒表面的任何光阻劑可予以移除且該等晶粒自該切割帶分離。

雖然第 8-12 圖之該等裝置截面圖說明了垂直於或實質上垂直於該裝置之該頂面的裝置側壁，但是應理解的是在一些實施例中，該等裝置側壁可配置為相對於該頂面之除了 90 度之外的角度。在一些實施例中，在一或多個側壁與該裝置之該頂面之間的角度大於 90 度。在一些實施例中，在一或多個側壁與該裝置之該頂面之間的角度小於 90 度。

第 13a 及 13b 圖說明了諸如發光裝置之半導體裝置的俯視圖，其有具有不同程度表面粗糙度的一第一側壁及一第二側壁。如第 13a、13b、15a、15b、16 及 17b 圖之所顯示，在俯視圖中之側壁在在此所提供之該等圖式中以虛線來說明，且側壁粗糙度未

按比例繪製且為了觀察之簡易性予以放大。該半導體裝置可具有諸如先前所說明之一截面圖，例如第 8-12 圖所顯示之任何該等裝置截面圖。第 13b 圖說明了一實施例，其中該裝置之粗糙側壁長於該裝置之平滑側壁，這可形成與具有相等或實質上相等長度側壁的這樣一 LED 相較之下，較大的光擷取效率。

如先前之所描述，該裝置可包含由一纖鋅礦半導體所組成之一半導體部分，諸如一或多個以 ZnO 為基的半導體或一或多個第 III 族氮化物半導體。該裝置之該半導體部分可形成該第一側壁(例如側壁 340 或 342)及該第二側壁(例如側壁 330 或 332)。如先前之所描述，該裝置之活化層 308 可定向為與形成該活化層之該纖鋅礦半導體之一 c 平面之間呈一非零角。在一些實施例中，第一側壁 340 及第二側壁 330 相互垂直或實質上相互垂直，如第 13 圖之該等俯視圖之所說明(例如該等虛線相互垂直或實質上相互垂直)。在一些實施例中，至少一部分或實質上所有的該第一側壁 340 是平滑的且至少一部分或實質上所有的該第二側壁 330 是粗糙的。

第一側壁 340 及第二側壁 330 可被定向為平行於或實質上平行於形成活化層 308 之該纖鋅礦半導體之任何所期望的晶體平面。在第 13a 及 13b 圖中，活化層 308 可平行於或實質上平行於具有作為一法向向量之軸 1 的一晶體平面，第一側壁 340 可平行於或實質上平行於具有作為一法向向量之軸 2 的一晶體平面，且第二側壁 330 可平行於或實質上平行於具有作為一法向向量之軸 3 的一晶體平面。在一些實施例中，軸 1 可是與形成活化層 308 之該纖鋅礦半導體之該 c 軸形成一非零角的任何軸。接著可選擇

軸 2 及軸 3 以提供所期望之側壁粗糙度。

例如，軸 1 可是形成活化層 308 之該纖鋅礦半導體的該 m 軸 (或 a 軸)，軸 2 可是該 a 軸 (或 m 軸) 且軸 3 可是該 c 軸。在這一實施例中，活化層 308 可定向為平行於或實質上平行於該纖鋅礦半導體之一第一非極性平面 (例如 m 平面或 a 平面)。第一側壁 340 可定向為平行於或實質上平行於該纖鋅礦半導體之一第二非極性平面 (例如分別為 a 平面或 m 平面)，且第二側壁可定向平行於或實質上平行於該纖鋅礦半導體之一 c 平面。這樣一方位可提供給可使用在此所提供之該等蝕刻過程予以形成的一平滑第一側壁 340 及一粗糙第二側壁 330。

在一些實施例中，鄰近的側壁可垂直或實質上垂直，如第 13a 及 13b 圖之該等俯視圖之所說明。然而在其他實施例中，至少一些鄰近側壁不是實質上垂直的，如可能是具有諸如一三角形之一非矩形形狀的一裝置晶粒的實例。

第 14a 圖是具有一平滑側壁 340 及一粗糙側壁 330 之一以 ZnO 為基的 LED 之一俯視圖的一掃描電子顯微鏡 (SEM) 影像。該 LED 透過在一 ZnO m 平面基板上成長以 ZnO 為基的外延層予以製造。該 ZnO n 類型、活化層及 p 類型半導體層之長成在大約 550 °C 之一長成溫度下使用以上所描述之該 MOCVD 過程在一 m 平面 ZnO 單晶體基板之上予以執行。使用 BCl₃ (以 35 sccm 之一流速、大約 500 W 之 RF 功率、100 W 之 DC 偏壓功率及大約 10 mTorr 之蝕刻加工壓力) 與沈積於該半導體裝置之該表面之上之一光阻劑遮罩的 ICP-RIE 乾式蝕刻接著用以形成一臺面，進從而在該已蝕刻區域中曝露出該以 ZnO 為基的半導體 n 類型接觸層 325。該

臺面是定向為使得側壁 340 平行於或實質上平行於該以 ZnO 為基的半導體之一 a 平面，且側壁 330 平行於或實質上平行於該以 ZnO 為基的半導體之一 c 平面。使用該前述的蝕刻化學，在蝕刻之後，側壁 340 具有一平滑之表面且側壁 330 具有一粗糙之表面。

第 14b 圖是第 14a 圖之該以 ZnO 為基的 LED 之側壁 340 之一部分之一俯視圖的一高解析度掃描電子顯微鏡(SEM)影像，例如方框 341 內之側壁 340 之該部分。該高解析度 SEM 影像說明了定向為平行於或實質上平行於該以 ZnO 為基的半導體之該 a 平面的該平滑側壁。如在此之所使用，一平滑側壁可具有小於大約 10 nm(例如小於 5 nm)之一平均峰谷高度。

第 14c 圖是第 14a 圖之該以 ZnO 為基的 LED 之側壁 330 之一部分之一俯視圖的一高解析度 SEM 影像，例如方框 331 內之側壁 330 之該部分。該高解析度 SEM 影像說明了定向平行於或實質上平行於該以 ZnO 為基的半導體之該 c 平面的該粗糙側壁。如在此之所使用，一粗糙側壁可具有大於大約 10 nm(例如大於大約 50 nm，大於大約 100 nm)且小於大約 100 μm (例如小於大約 10 μm ，小於大約 5 μm)之一平均峰谷高度。在一些實施例中，一粗糙側壁可具有在大約 100 nm 與大約 3 μm 之間，較佳地在大約 200 nm 與大約 2 μm 之間的一平均峰谷高度。在其他實施例中，一粗糙側壁可具有在大約 100 nm 與大約 700 nm 之間的一平均峰谷高度。此等粗糙側壁可增強自該 LED 的光擷取。

第 15a 及 15b 說明諸如發光裝置(例如 LED)之半導體裝置的俯視圖，該半導體裝置之至少一部分或實質上所有的一第一側壁及至少一部分或實質上所有的一第二側壁的具有一不同程度之

表面粗糙度(例如至少 50%不同)。在所說明之該等實施例中，第一側壁 340 與第二側壁 330 都是粗糙的。對於一矩形半導體裝置(例如，如由第 15a 及 15b 圖中之側壁之間該 90 度角符號所說明)，四個側壁上之粗糙度可透過將該等側壁定向為使得側壁 330 與該 a 軸之間的一角 350 實質上大於 0 度(例如大於大約 10 度)且實質上小於 90 度(例如小於大約 80 度)來予以實現。該等四個側壁上的相似粗糙度可透過將該等側壁定向為使得在側壁 330 與該 a 軸之間的該角 350 為大約 45 度來予以實現。具有不同程度表面粗糙度之粗糙側壁可透過將該等側壁定向為使得在側壁 330 與該 a 軸之間的該角 350 實質上大於 0 度且實質上小於 45 度或實質上大於 45 度且實質上小於 90 度來予以實現。

第 16 圖說明了諸如發光裝置(例如 LED)之半導體裝置之一俯視圖，其中第一側壁 340 不平行於或實質上不平行於第二側壁 330，且其中至少一部分或實質上所有的該一側壁 340 及至少一部分或實質上所有的該二側壁 330 都是粗糙的且具有一相似程度的表面粗糙度(例如小於 50%不同)。該裝置可包含由一纖鋅礦半導體所組成之一半導體部分，諸如一或多個以 ZnO 為基的半導體或一或多個第 III 族氮化物半導體。該裝置之該半導體部分可形成該第一側壁 340 及該第二側壁 330。該裝置之活化層 308 可定向為與形成該活化層 308 之該纖鋅礦半導體之一 c 平面之間呈一非零度角。在一些實施例中，第一側壁 340 及第二側壁 330 相互垂直或實質上相互垂直。

在一些實施例中，活化層 308 定向為平行於或實質上平行於該纖鋅礦半導體之一非極性平面，例如一 m 平面或 a 平面。第一

側壁 340 可定向為平行於或實質上平行於該纖鋅礦半導體之一第一半極性平面。另外，第一側壁 330 可定向為平行於或實質上平行於該纖鋅礦半導體之一第二半極性平面。為了使用在此所提供之該等過程在第一側壁 340 及第二側壁 330 上都形成一相似程度的表面粗糙度，可對該第一半極性平面及該第二半極性平面予以選擇以便使其屬於該纖鋅礦半導體之一相同晶體平面族。在一些裝置中，該半導體部分之至少四個側壁(例如一矩形裝置之所有側壁)屬於該相同晶體平面族，進而確保所有側壁具有相同程度之粗糙度。

例如，對於第 16a 圖所說明之該晶體方位，側壁 330 平行於或實質上平行於相對於該 a 軸形成一 45 度角 350 的半極性平面。對於形成於 m 平面纖鋅礦基板之上之矩形裝置，裝置側壁可平行於或實質上平行於屬於該纖鋅礦半導體之該 $\{1\ 1\ -2\ 2c/a\}$ 平面族的晶體平面。對於形成於 a 平面纖鋅礦基板之上之矩形裝置，裝置側壁可平行於或實質上平行於屬於該纖鋅礦半導體之該 $\{1\ 0\ -1\ 2c/\sqrt{3}a\}$ 平面族的晶體平面。

第 17a 及 17b 圖是具有從形成活化層 308 之一纖鋅礦半導體之一 c 平面以一非零角定向之一活化層 308 的一雷射二極體的透視圖及俯視圖。例如，活化層 308 可平行於或實質上平行於形成活化層 308 之該纖鋅礦半導體之非極性或半極性平面。該雷射二極體可包括形成該雷射二極體之一共振腔之一鏡像或部分鏡像的一第一側壁(例如 340 及/或 342)。至少一部分或實質上所有的第一側壁 340 及/或 342 可是平滑的且至少一部分或實質上所有的第二側壁 330 及/或 332 可是粗糙的。該雷射二極體可沿著第 17b

圖所顯示之晶體平面予以定向。在該雷射二極體操作期間，來自該雷射二極體的相干光 360 可經由第一側壁 340 予以發射。

該雷射二極體可使用先前所描述之外延長成技術予以形成且可包括附加的裝置層，諸如在活化層 308 之任一側上的光波層 362 及 364。在外延長成該等雷射二極體半導體層之後，裝置製造可使用在此所描述之諸如乾式蝕刻及電極形成過程之製造過程進行。

如在該技藝中所習知的，作為具有某些形狀(例如矩形形狀)之各種裝置在此予以說明，然而，其他裝置幾何也可予以利用。例如，一裝置晶粒或臺面具有一圓形或橢圓形形狀，其也可具有如在此所描述之粗糙側壁。

雖然該以上之討論揭露了本發明之各種示範實施例，但是顯而易見的是在該技藝中具有通常知識者可做出將實現本發明之一些優點之各種修改而不背離本發明之範圍。

【圖式簡單說明】

第 1 圖示意性地顯示一強調出 m 平面的六角形晶體結構；

第 2 圖示意性地顯示一強調出 a 平面的六角形晶體結構；

第 3 圖示意性地顯示一強調出 c 平面的六角形晶體結構；

第 4a-b 圖顯示根據本發明之實施例，用於使用金屬有機化學氣相沈積法沈積平面的以氧化鋅為基的外延層的製程；

第 5 圖示意性地顯示一晶柱；

第 6 圖示意性地顯示在一切除角為 45 度下的一晶柱，為了根據本發明之實施例自該晶柱產生一斜切基板；

第 7 圖示意性地顯示一強調出半極性平面的六角形晶體結

構；

第 8 圖是例如一發光裝置的一半導體裝置的一截面圖，其包括由一纖鋅礦半導體形成的一或多個外延半導體層，且根據本發明之實施例，其是與該纖鋅礦半導體之一 c 平面之間形成一非零度角的；

第 9 圖是根據本發明之實施例具有一橫向電氣接觸幾何諸如一發光裝置之一半導體裝置的一截面圖；

第 10 圖是根據本發明之實施例具有一或多個粗糙側壁諸如一發光裝置之一半導體裝置的一截面圖；

第 11 圖是根據本發明之實施例具有一或多個粗糙側壁諸如一發光裝置之一半導體裝置的一截面圖；

第 12 圖是根據本發明之實施例具有一或多個粗糙側壁及一垂直電氣接觸幾何諸如一發光裝置之一半導體裝置的一截面圖；

第 13a-b 圖是根據本發明之實施例之具有一不同程度之表面粗糙度的一第一側壁及第二側壁之諸如發光裝置(例如 LED)之半導體裝置的俯視圖；

第 14a-c 圖是根據本發明之實施例具有一平滑側壁及一粗糙側壁之一以氧化鋅為基的 LED 之俯視圖之掃描電子顯微 (SEM) 影像；

第 15a-b 圖是根據本發明之實施例有具有一不同程度之表面粗糙度的一第一側壁及第二側壁之諸如發光裝置(例如 LED)之半導體裝置的俯視圖；

第 16 圖是根據本發明之實施例有具有一相似程度之表面粗糙度的一非平行側壁之諸如發光裝置(例如 LED)之一半導體裝置

的一俯視圖；及

第 17a 及 17b 圖是根據本發明之實施例具有定向為與該纖鋅礦半導體之一 c 平面之間呈一非零度角定向的纖鋅礦半導體層的一雷射二極體的透視圖及俯視圖。

【主要元件符號說明】

10,12,14,16,18,20,22,24,26,28...	320...第二傳導類型包覆層
數字編號	322...第一傳導類型包覆層
30...表面	324...第一傳導類型接觸層
35...薄片	325...第一傳導類型接觸層/接
40...表面	觸層
45...切除角	330...側壁；第二側壁
100,110,120...步驟	331...方框
200,210,220...步驟	332...側壁
302...基板	333...基座
306...半導體層	334...支撐基板
308...活化層	336...金屬層
309...頂面	340...第一側壁
310...半導體層	341...方框
312...透明傳導層	342...第一側壁
314...第一電極	350...角
315...電極	360...相干光
316...第二電極；電極	362,364...光波層
317...反射層	a1, a2, a3,c...軸
318...第二傳導類型接觸層	

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98116717

※ 申請日： 98.5.20

※IPC 分類： H01L 33/00 (2006.01)

一、發明名稱：(中文/英文)

具有粗糙側壁之半導體裝置

SEMICONDUCTOR DEVICE HAVING ROUGH SIDEWALL

二、中文發明摘要：

諸如一發光裝置之一半導體裝置，包括包含一纖鋅礦半導體之一半導體部分。該半導體部分包括被定向為與該纖鋅礦半導體之一 c 平面之間呈一非零度角的一活化層，及一第一側壁，其中該第一側壁之至少一部分是粗糙的。

三、英文發明摘要：

A semiconductor device, such as a light-emitting device, includes a semiconductor portion comprising a wurtzite semiconductor. The semiconductor portion includes an active layer oriented at a non-zero angle from a c-plane of the wurtzite semiconductor, and a first sidewall wherein at least one portion of the first sidewall is rough.

七、申請專利範圍：

1. 一種半導體裝置，其包含：

包含有一纖鋅礦半導體之一半導體部分，該半導體部分包含

一活化層，其被定向為與該纖鋅礦半導體之一c平面之間呈一非零度角，及

一第一側壁，其中，該第一側壁之至少一部分是粗糙的。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中，該半導體部分包含一 n 類型半導體包覆層及一 p 類型半導體包覆層，且該活化層配置於該 n 類型半導體包覆層與該 p 類型半導體包覆層之間，並形成一雙異質結構。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中，該半導體裝置包含具有一橫向電接觸幾何之多數電接觸。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中，該半導體裝置包含具有一垂直電氣接觸幾何之多數電氣接觸。

5. 如申請專利範圍第 1 項所述之半導體裝置，其中，該半導體裝置包含一基座且該半導體部分是配置於該基座上。

6. 如申請專利範圍第 1 項所述之半導體裝置，更包含一第二側壁，其中該第一側壁之該至少一部分及該第二側壁之至少一部分具有一不同程度之表面粗糙度。

7. 如申請專利範圍第 6 項所述之半導體裝置，其中，該第一側壁及該第二側壁是相互垂直或實質上相互垂直。

8. 如申請專利範圍第 6 項所述之半導體裝置，其中，該活化層是被定向為平行於或實質上平行於該纖鋅礦半導體之一第一

非極性平面。

9. 如申請專利範圍第 8 項所述之半導體裝置，其中，該第二側壁是被定向為平行於或實質上平行於該纖鋅礦半導體之一第二非極性平面。
10. 如申請專利範圍第 9 項所述之半導體裝置，其中，該第一側壁是被定向為平行於或實質上平行於該纖鋅礦半導體之一 c 平面。
11. 如申請專利範圍第 6 項所述之半導體裝置，其中，該第二側壁之該至少一部分是平滑的。
12. 如申請專利範圍第 11 項所述之半導體裝置，其中，該發光裝置是一雷射二極體，且該第二側壁之該至少一部分形成了該雷射二極體之一共振腔之一鏡像或部分鏡像。
13. 如申請專利範圍第 6 項所述之半導體裝置，其中，該半導體裝置包含至少部分地被纖紋化的一頂面。
14. 如申請專利範圍第 6 項所述之半導體裝置，其中，該半導體裝置是一發光裝置。
15. 如申請專利範圍第 6 項所述之半導體裝置，其中，該纖鋅礦半導體包含一或多個以氧化鋅為基的半導體。
16. 如申請專利範圍第 6 項所述之半導體裝置，其中，該纖鋅礦半導體包含一或多個第 III 族氮化物半導體。
17. 如申請專利範圍第 1 項所述之半導體裝置，更包含一第二側壁，其中，該第二側壁不平行於或實質上不平行於該第一側壁，且其中該第一側壁之該至少一部分及該第二側壁之該至少一部分都是粗糙的，並具有一相似程度之表面粗糙度。

18. 如申請專利範圍第 17 項所述之半導體裝置，其中，該第一側壁及該第二側壁是相互垂直或實質上相互垂直。
19. 如申請專利範圍第 17 項所述之半導體裝置，其中，該活化層是被定向為平行於或實質上平行於該纖鋅礦半導體之一第一非極性平面。
20. 如申請專利範圍第 17 項所述之半導體裝置，其中，該第一側壁是被定向為平行於或實質上平行於該纖鋅礦半導體之一第一半極性平面。
21. 如申請專利範圍第 20 項所述之半導體裝置，其中，該第二側壁是被定向為平行於或實質上平行於該纖鋅礦半導體之一第二半極性平面。
22. 如申請專利範圍第 17 項所述之半導體裝置，其中，該半導體裝置包含至少部分地被纖紋化的一頂面。
23. 如申請專利範圍第 17 項所述之半導體裝置，其中，該半導體裝置是一發光裝置。
24. 如申請專利範圍第 17 項所述之半導體裝置，其中，該纖鋅礦半導體包含一或多個以氧化鋅為基的半導體。
25. 如申請專利範圍第 17 項所述之半導體裝置，其中，該纖鋅礦半導體包含一或多個第 III 族氮化物半導體。
26. 一種半導體裝置，其包含：
由一纖鋅礦半導體所形成之一半導體部分，該半導體部分包含
一活化層，其被定向為與該纖鋅礦半導體之一 c 平面之間呈一非零度角，

一第一側壁，及

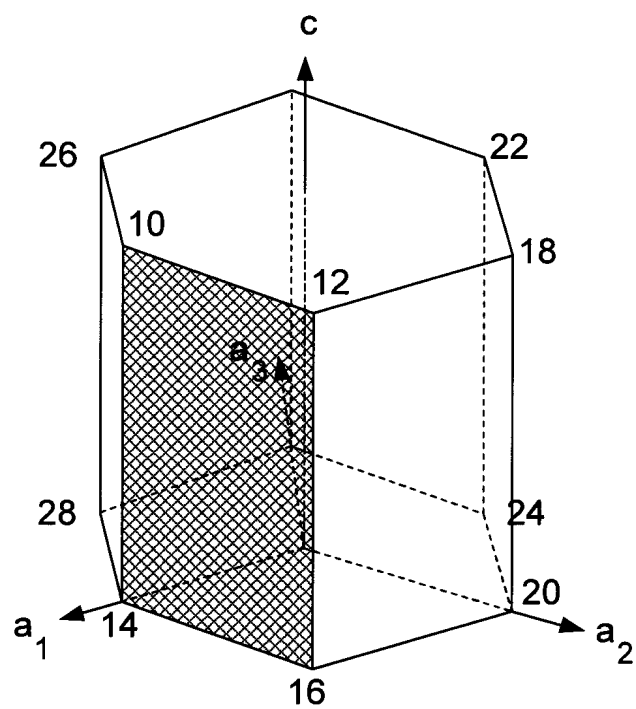
不平行於或實質上不平行於該第一側壁之一第二側壁，

其中該第一側壁及該第二側壁都是被定向為平行於或實質上平行於屬於一相同晶體平面族之該纖鋅礦半導體之晶體平面。

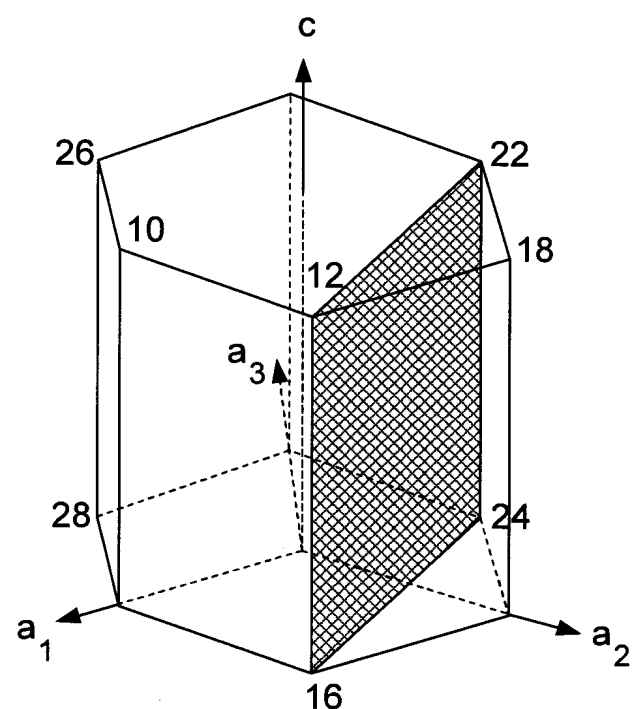
27. 如申請專利範圍第 26 項所述之半導體裝置，其中，該半導體部分包含一 n 類型半導體包覆層及一 p 類型半導體包覆層，且其中，該活化層配置於該 n 類型半導體包覆層與該 p 類型半導體包覆層之間，且形成一雙異質結構。
28. 如申請專利範圍第 26 項所述之半導體裝置，其中，該第一側壁及該第二側壁是相互垂直或實質上相互垂直。
29. 如申請專利範圍第 26 項所述之半導體裝置，其中，該半導體部分之至少四個側壁屬於相同的晶體平面族。
30. 如申請專利範圍第 26 項所述之半導體裝置，其中，該相同的晶體平面族是一半極性晶體平面族。
31. 如申請專利範圍第 26 項所述之半導體裝置，其中，該第一側壁之至少一部分及該第二側壁之至少一部分具有一相似程度的表面粗糙度。
32. 如申請專利範圍第 26 項所述之半導體裝置，其中，該活化層是被定向為平行於或實質上平行於該纖鋅礦半導體之一非極性平面。
33. 如申請專利範圍第 26 項所述之半導體裝置，其中，該半導體裝置包含至少部分地被纖紋化的一頂面。
34. 如申請專利範圍第 26 項所述之半導體裝置，其中，該半導體

裝置是一發光裝置。

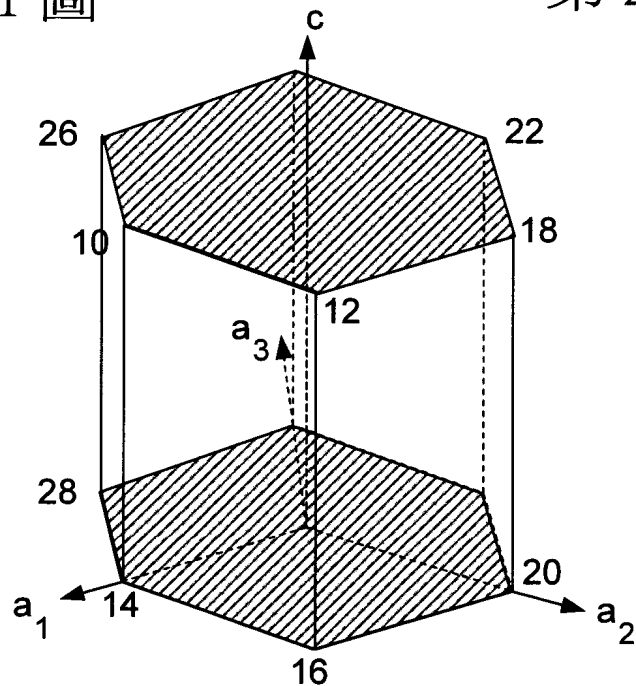
35. 如申請專利範圍第 26 項所述之半導體裝置，其中，該纖鋅礦半導體包含一或多個以氧化鋅為基的半導體。
36. 如申請專利範圍第 26 項所述之半導體裝置，其中，該纖鋅礦半導體包含一或多個第 III 族氮化物半導體。



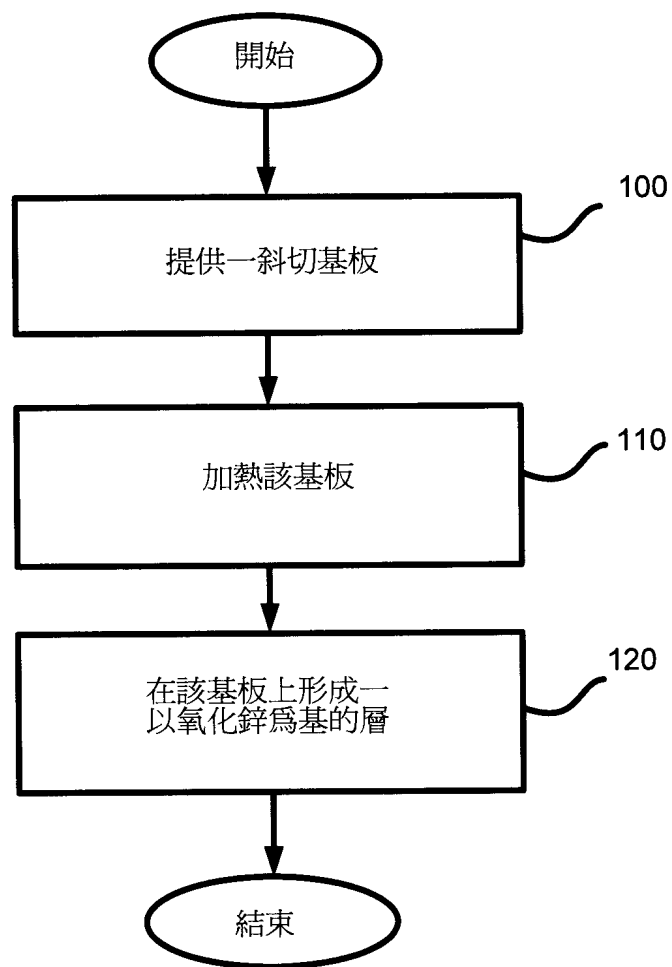
第 1 圖



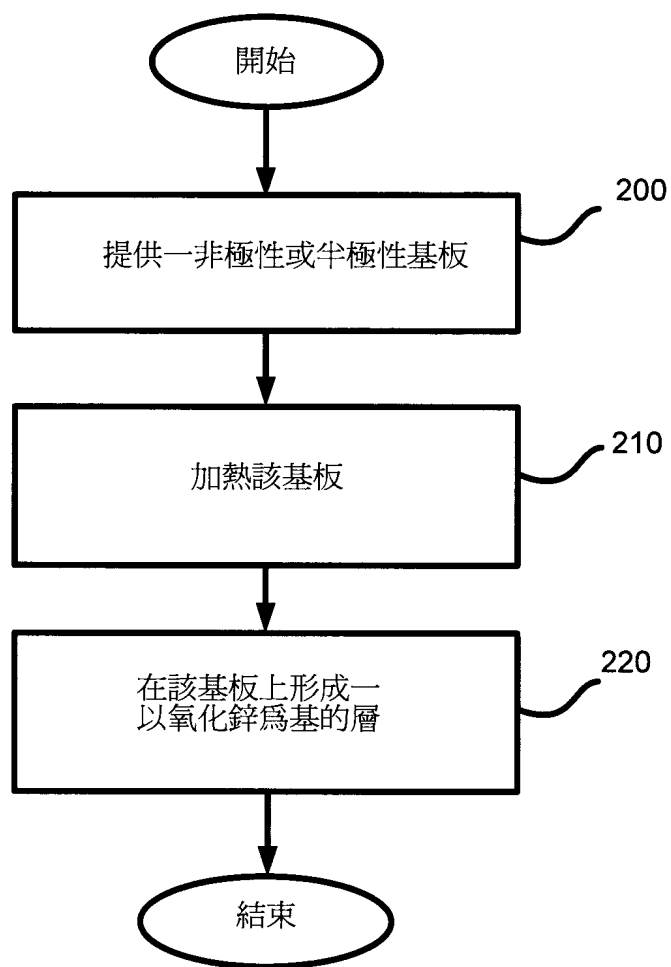
第 2 圖



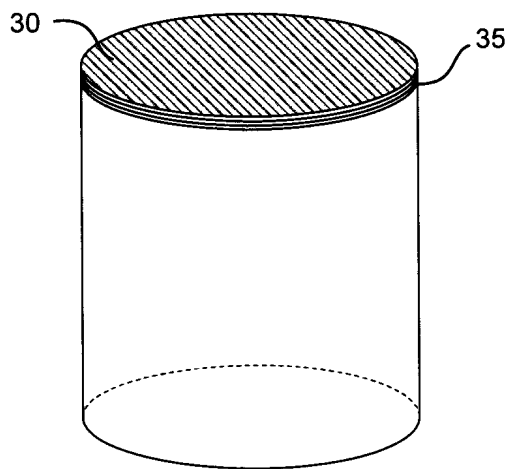
第 3 圖



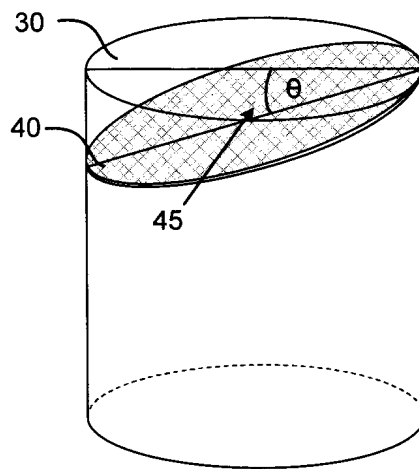
第 4a 圖



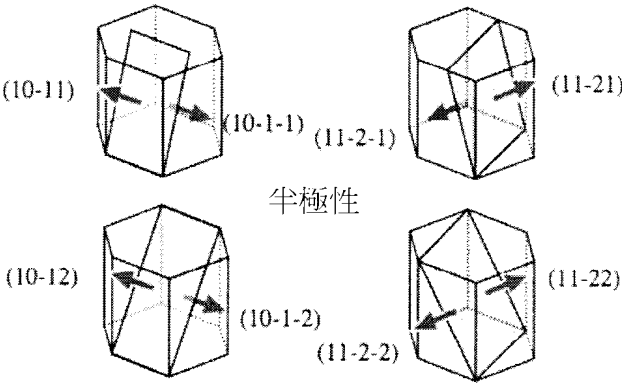
第 4b 圖



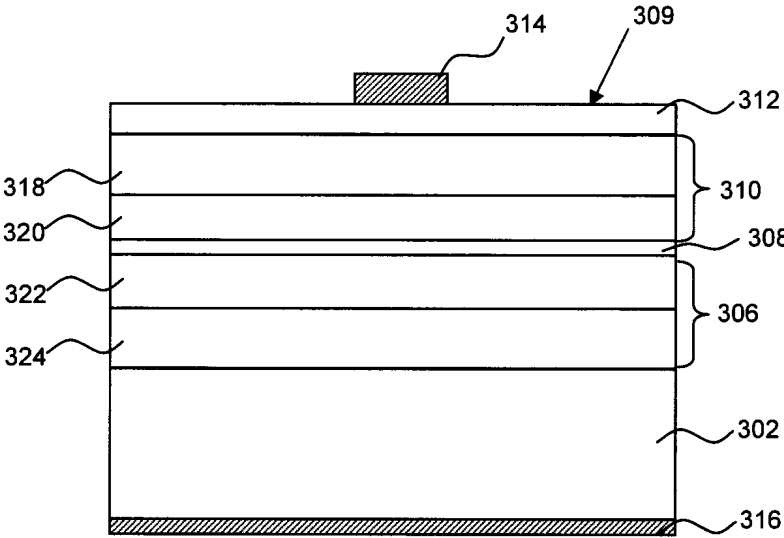
第 5 圖



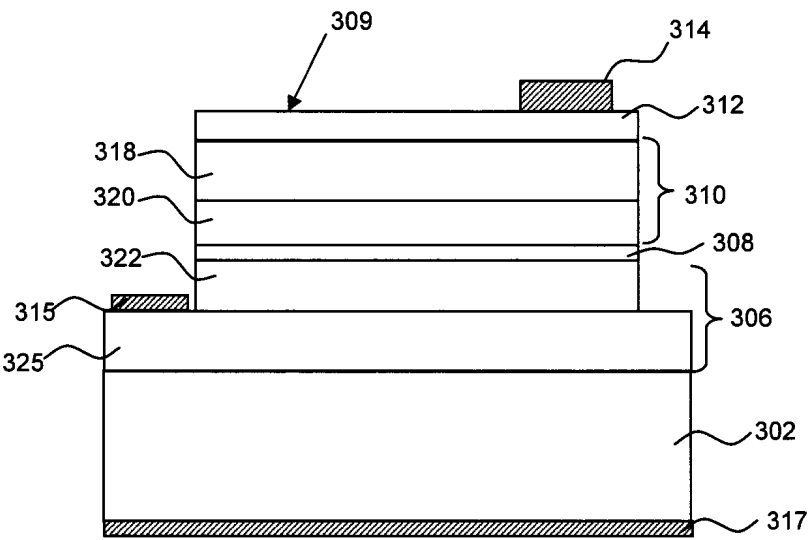
第 6 圖



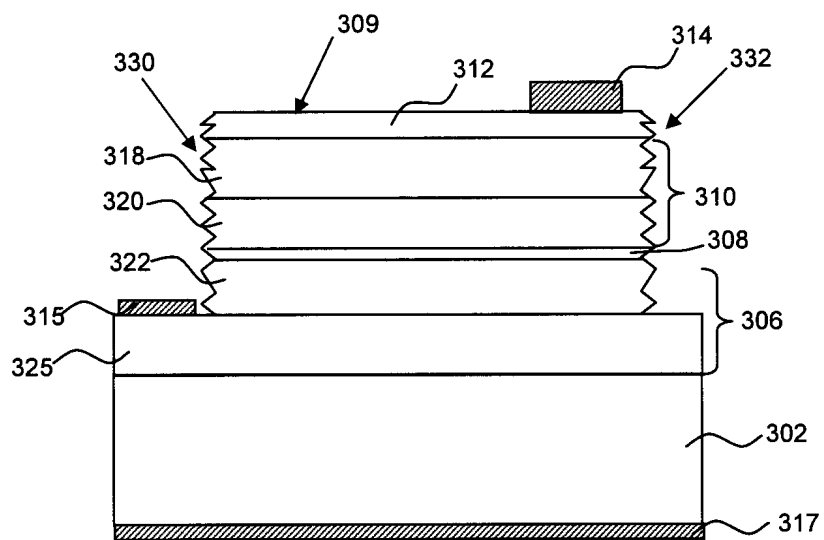
第 7 圖



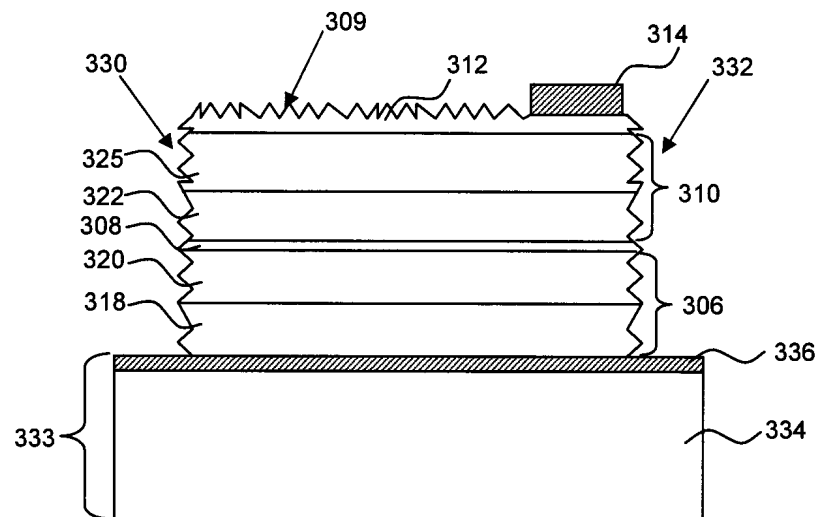
第 8 圖



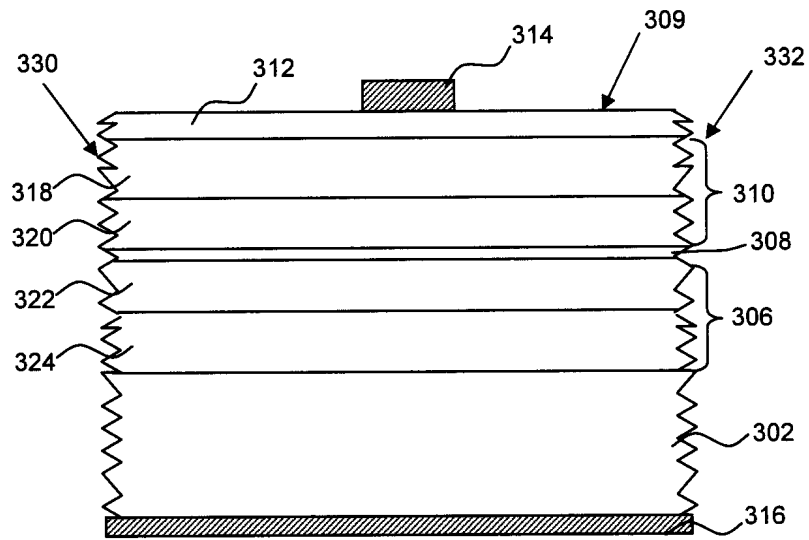
第 9 圖



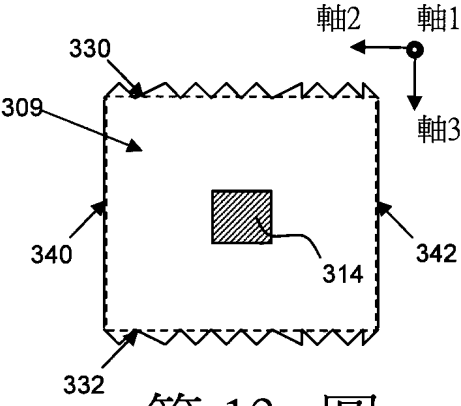
第 10 圖



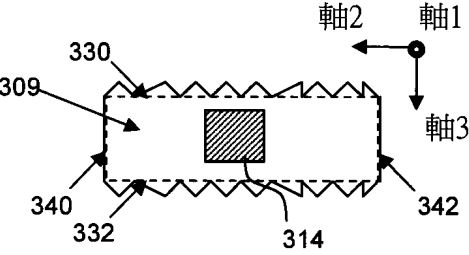
第 11 圖



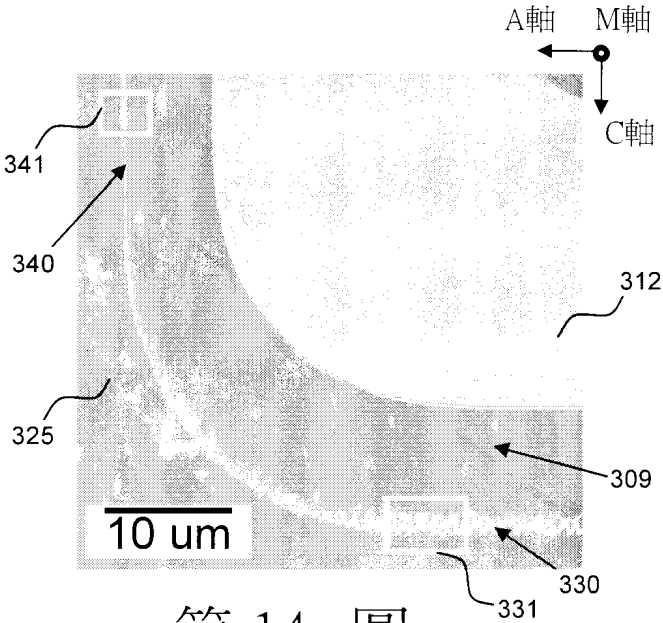
第 12 圖



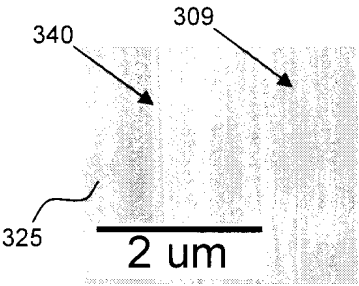
第 13a 圖



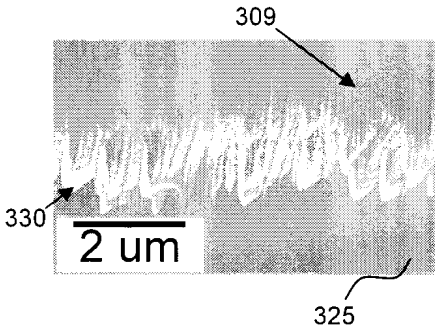
第 13b 圖



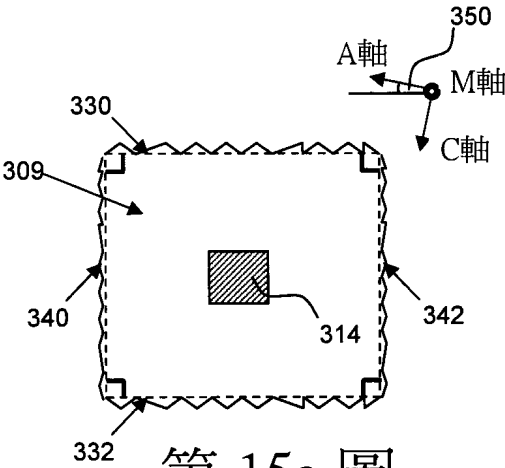
第 14a 圖



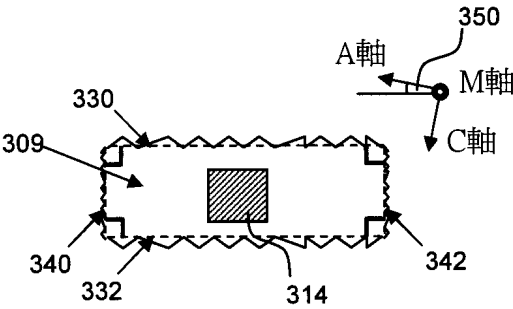
第 14b 圖



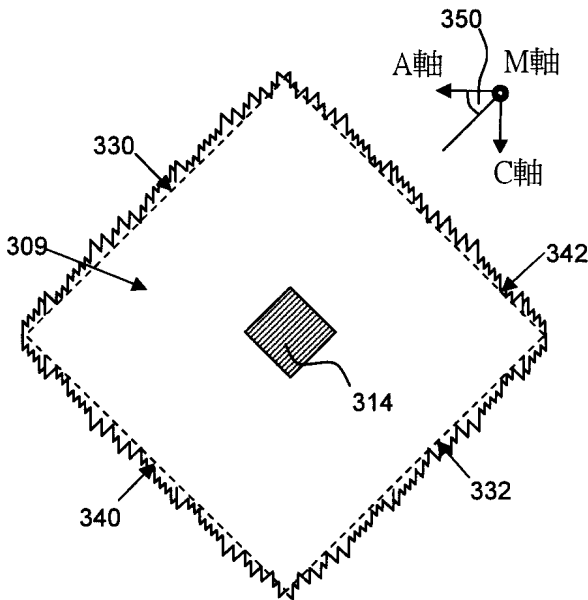
第 14c 圖



第 15a 圖



第 15b 圖



第 16 圖



4



第 17b 圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 10 ）圖。

(二)本代表圖之元件符號簡單說明：

302...基板	317...反射層
306...半導體層	318...第二傳導類型接觸層
308...活化層	320...第二傳導類型包覆層
309...頂面	322...第一傳導類型包覆層
310...半導體層	325...第一傳導類型接觸層/接觸層
312...透明傳導層	330...側壁/第二側壁
314...第一電極	332...側壁
315...電極	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：