



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ

### К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3429753/24-24  
(22) 26.04.82  
(46) 30.09.84. Бюл. № 36  
(72) Р.Н.Романов, Н.Г.Иванов, Л.Я.Парицкий и В.С. Петров  
(53) 681.325 (088.8)  
(56) 1. Авторское свидетельство СССР № 486317, кл. G 06 F 7/06, 1974.  
2. Авторское свидетельство СССР № 822179, кл. G 06 F 7/06, 1979 (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ ПОИСКА ЧИСЕЛ В ЗАДАННОМ ДИАПАЗОНЕ, содержащее регистр входных чисел, регистр центра диапазона, генератор тактовых импульсов, узел группировки, узел выделения такта старшей декады, блок логического анализа и элемент ИЛИ, причем вход регистра входных чисел подключен к информационному входу устройства, вход регистра центра диапазона подключен к задающему входу устройства, выход блока логического анализа подключен к первому входу элемента ИЛИ, вход генератора тактовых импульсов подключен к входу запуска устройства, а выход - к входам узла группировки разрядов и узла выделения такта старшей декады, отличающееся тем, что, с целью повышения быстродействия, устройство содержит распределитель тактовых импульсов, второй блок логического анализа, триггер и две группы элементов НЕ, при этом каждый блок логического анализа содержит группы элементов И, группы элементов ИЛИ, дешифратор нуля, сумматор, регистр, три триггера, два элемента И, элемент ИЛИ и элемент НЕ, при этом выход генератора тактовых импульсов

подключен к входу распределителя тактовых импульсов, выход узла выделения такта старшей декады подключен к тактовому входу триггера, выход которого является выходом устройства, а информационный вход подключен к выходу элемента ИЛИ, второй вход которого подключен к выходу второго блока логического анализа, выход генератора тактовых импульсов подключен к входам управления сдвигом регистра входных чисел и регистра центра диапазона, выходы младших декад которых подключены к входам элементов НЕ соответственно первой и второй групп, первые входы элементов И первых групп первого и второго блоков логического анализа подключены к выходам младших декад регистра входных чисел и регистра центра диапазона соответственно, первые входы элементов И вторых групп первого и второго блоков логического анализа подключены к выходам элементов НЕ второй и первой групп соответственно, в каждом блоке логического анализа выходы элементов И первой и второй групп подключены к первым входам элементов ИЛИ первой и второй групп соответственно, выходы которых подключены к входам первой и второй групп сумматора, выходы разрядов которого подключены к информационным входам регистра, выходы разрядов которого подключены к информационным входам дешифратора нуля и первым входам элементов И третьей группы, выходы которых соединены с вторыми входами элементов ИЛИ второй группы, первый выход распределителя тактовых импульсов соединен с вторыми входами элементов И пер-

вой и второй групп, с тактовыми входами первого и второго триггеров и с первым входом элемента ИЛИ первого и второго логического анализа, второй выход распределителя тактовых импульсов соединен с вторыми входами элементов ИЛИ первой группы, вторыми входами элементов И третьей группы и первым входом первого элемента И первого и второго блоков логического анализа, третий выход распределителя тактовых импульсов и выход узла группировки разрядов подключены соответственно к первому и второму управляющим входам дешифраторов нуля первого и второго блоков логического анализа, вход запуска устройства подключен к входам обнуления первого и второго триггеров первого и второго

блоков логического анализа, при этом в каждом блоке логического анализа выход переполнения сумматора подключен к информационным входам первого и третьего триггеров, выход первого триггера подключен к входу переноса сумматора и к входу элемента НЕ, выход которого соединен с первым входом второго элемента И, выход которого является выходом данного блока логического анализа, а второй вход соединен с выходом второго триггера, информационный вход которого соединен с выходом дешифратора нуля, выход третьего триггера подключен к второму входу первого элемента И, выход которого соединен с вторым входом элемента ИЛИ, выход которого подключен к управляющему входу регистра.

1

Изобретение относится к вычислительной технике и может быть использовано в устройствах обработки цифровой радиолокационной информации.

Известно устройство для поиска чисел в заданном диапазоне, содержащее регистры чисел, блоки сравнения, триггеры, регистр значений границ диапазона [1].

Недостатки указанного устройства состоят в его сложности и низком быстродействии.

Наиболее близко к предлагаемому устройству для поиска чисел в заданном диапазоне, содержащее регистры, генератор тактовых сигналов, формирователи тактовых сигналов, элементы И, ИЛИ, НЕ, триггеры, дешифратор, сумматор и сдвигающий регистр [2].

Однако и данное устройство имеет недостаточное быстродействие.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройстве для поиска чисел в заданном диапазоне, содержащее регистр входных чисел, регистр центра диапазона, генератор тактовых импульсов, узел группировки, узел выделения такта старшей декады, блок логического анализа и элемент ИЛИ, при-

2

чем вход регистра входных чисел подключен к информационному входу устройства, вход регистра центра диапазона подключен к задающему входу устройства, выход блока логического анализа подключен к первому входу элемента ИЛИ, вход генератора тактовых импульсов подключен к входу запуска устройства, а выход - к входам узла группировки разрядов и узла выделения такта старшей декады, введены распределитель тактовых импульсов, второй блок логического анализа, триггер и две группы элементов НЕ, при этом каждый блок логического анализа содержит группы элементов И, группы элементов ИЛИ, дешифратор нуля, сумматор, регистр, три триггера, два элемента И, элемент ИЛИ и элемент НЕ, при этом выход генератора тактовых импульсов подключен к входу распределителя тактовых импульсов, выход узла выделения такта старшей декады подключен к тактовому входу триггера, выход которого является выходом устройства, а информационный вход подключен к выходу элемента ИЛИ, второй вход которого подключен к выходу второго блока логического анализа, выход генератора тактовых импульсов подключен к входам управления сдвигом

регистра входных чисел и регистра центра диапазона, выходы младших декад которых подключены к входам элементов НЕ соответственно первой и второй групп, первые входы элементов И первых групп первого и второго блоков логического анализа подключены к выходам младших декад регистра входных чисел и регистра центра диапазона соответственно, первые входы элементов И вторых групп первого и второго блоков логического анализа подключены к выходам элементов НЕ второй и первой групп соответственно, в каждом блоке логического анализа выходы элементов И первой и второй групп подключены к первым входам элементов ИЛИ первой и второй групп соответственно, выходы которых подключены к входам первой и второй групп сумматора, выходы разрядов которого подключены к информационным входам регистра, выходы разрядов которого подключены к информационным входам дешифратора нуля и первым входам элементов И третьей группы, выходы которых соединены с вторыми входами элементов ИЛИ второй группы, первый выход распределителя тактовых импульсов соединен с вторыми входами элементов И первой и второй групп, с тактовыми входами первого и второго триггеров и с первым входом элемента ИЛИ первого и второго блоков логического анализа, второй выход распределителя тактовых импульсов соединен с вторыми входами элементов ИЛИ первой группы, вторыми входами элементов И третьей группы и первым входом первого элемента И первого и второго блоков логического анализа, третий выход распределителя тактовых импульсов и выход узла группировки разрядов подключены соответственно к первому и второму управляющим входам дешифраторов нуля первого и второго блоков логического анализа, вход запуска устройства подключен к входам обнуления первого и второго триггеров первого и второго блоков логического анализа, при этом в каждом блоке логического анализа выход переполнения сумматора подключен к информационным входам первого и третьего триггеров, выход первого триггера подключен к входу переноса сумматора и к входу элемента НЕ, выход которого соединен с первым входом второго элемента И,

выход которого является выходом данного блока логического анализа, а второй вход соединен с выходом второго триггера, информационный вход которого соединен с выходом дешифратора нуля, выход третьего триггера подключен к второму входу первого элемента И, выход которого соединен с вторым входом элемента ИЛИ, выход которого подключен к управляющему входу регистра.

На фиг. 1 представлена блок-схема предлагаемого устройства для поиска чисел в заданном диапазоне; на фиг. 2 - блок-схема блока логического анализа.

Устройство содержит регистр 1 входных чисел, регистр 2 центра диапазона, группы элементов НЕ 3 и 4, блоки 5 и 6 логического анализа, элемент ИЛИ 7, триггер 8, генератор 9 тактовых импульсов, распределитель 10 тактовых импульсов, узел 11 группировки и узел 12 выделения такта старшей декады.

Блоки 5 и 6 логического анализа содержат группы элементов И 13, 14 и 15, группы элементов ИЛИ 16 и 17, триггеры 18 и 19, сумматор 20, триггер 21, регистр 22, дешифратор 23 нуля, элемент НЕ 24, элементы И 25 и 26, элемент ИЛИ 27.

Устройство имеет информационный вход 28, задающий вход 29, вход 30 запуска. Блок 5 (6) имеет входы 31-37.

Устройство работает следующим образом.

В регистр 2 вводится двоично-десятичное число А - центр диапазона, в регистр 1 вводятся поочередно двоично-десятичные числа X, подлежащие анализу.

По окончании ввода в регистр 1 каждого очередного числа на вход "Запуск" устройства подается пусковой импульс. Этот импульс устанавливает в исходное состояние триггеры 19 и 18 блоков 5 (6) логического анализа и запускает генератор 9 тактовых импульсов, формирующий серию тактовых импульсов. Число тактовых импульсов в серии соответствует количеству декад во входных двоично-десятичных числах. Начиная с младших декад, числа с регистров 1 и 2 начинают поступать на входы 31 и 32 блоков 5 и 6 логического анализа.

Принадлежность чисел заданному диапазону определяется путем подекадно-

го вычисления разности между входными числами  $X$  и числом  $A$  (центром диапазона) с одновременным анализом получаемой разности. Если равенство по абсолютной величине не превышает половины заданного диапазона поиска, то анализируемое число считается принадлежащим диапазону.

Поскольку заранее неизвестно какое из чисел  $A$  или  $X$  больше, в устройстве имеются два параллельно работающих блока 5 и 6 логического анализа. В блоке 5 производится вычитание  $X-A$ , в блоке 6 вычисляется  $A-X$ , одновременно производится анализ каждой из этих разностей. При вычитании последних старших декад чисел  $A$  и  $X$  становится известно какое из этих двух чисел больше, одновременно заканчивается анализ обоих значений разности. Результат анализа снимается с выхода того из блоков 5 или 6, в котором производилось вычитание меньшего числа из большего.

Через элемент ИЛИ 7 по импульсу узла 12 выделения такта старшей декады результат анализа записывается в триггер 8, где хранится до окончания анализа следующего числа  $X$ . Выход триггера 8 является выходом устройства.

Каждый из блоков 5 и 6 логического анализа производит подекадное вычитание поступающих на входы 31 и 32 двоично-десятичных чисел с одновременным анализом получаемой разности.

Для упрощения понимания блок-схем фиг. 1 и фиг. 2 связи, по которым происходит передача декад параллельным четырехразрядным кодом, обозначены толстыми стрелками.

По каждой декаде работа блоков 5, 6 производится в три такта. По такту  $T_1$ , поступающему с распределителя 10 тактовых импульсов на входы 34 блоков 5 и 6, открываются группы элементов И 13 и 14, через которые на параллельный четырехразрядный сумматор 20 поступает очередная декада вычитаемых чисел. По заднему фронту такта  $T_1$ , прошедшему через элемент ИЛИ 27, производится запись некорректированной декады разности в четырехразрядный регистр 22. Одновременно устанавливаются в состояние, соответствующее сигналу на выходе переноса сумматора 20, триггер 19 переноса в следующую декаду и триггер 21 коррекции.

По такту  $T_2$ , поступающему с распределителя 10 тактовых импульсов на входы 35 блоков 5 и 6, осуществляется коррекция полученной декады разности. Для этого на один из входов сумматора 20 через группу элементов И 15 и группу элементов ИЛИ 17 подключается некорректированная декада разности с выхода регистра 22, а на другой вход сумматора 20 через группу элементов ИЛИ 16 подается импульс такта  $T_2$ , обеспечивая тем самым существование на данном входе сумматора 20 параллельного корректирующего кода "1010" (десять). Если в это время триггер 21 коррекции дает команду на коррекцию, т.е. коррекция необходима, то элемент И 25 открыт, и по заднему фронту импульса  $T_2$ , прошедшему по цепи элемент И 25, элемент ИЛИ 27, в регистр 22 запишется скорректированное значение данной декады разности.

По такту  $T_3$ , поступающему с распределителя 10 на вход 36 блоков 5 и 6, производится анализ полученной декады разности. Анализ разности чисел  $A$  и  $X$  основан на том факте, что о величине разности можно судить по наличию "единиц" в старших декадах разности. Например, если числа содержат четыре декады, а в двух старших декадах разности нет ни одной "единицы", то разность не может превышать числа "99" (код "0000 0000 1001 1001"), которое в данном случае и будет составлять половину диапазона поиска чисел при любом заданном числе  $A$  - центре диапазона, превышающем число "99". Таким образом, задача определения принадлежности числа диапазону сводится к проверке наличия всех нулей в старших декадах кода разности.

Количество проверяемых на отсутствие "единиц" старших декад и, следовательно, величина диапазона поиска чисел определяются количеством тактов старших декад, группируемых узлом 11 группировки. По каждому из сгруппированных тактов старших декад в момент времени  $T_3$  проверяется наличие "нуля" в данной декаде. Любая "единица" в старших разрядах кода разности вызовет срабатывание триггера 18, произойдет пропадание на выходе блока анализа сигнала принадлежности диапазону.

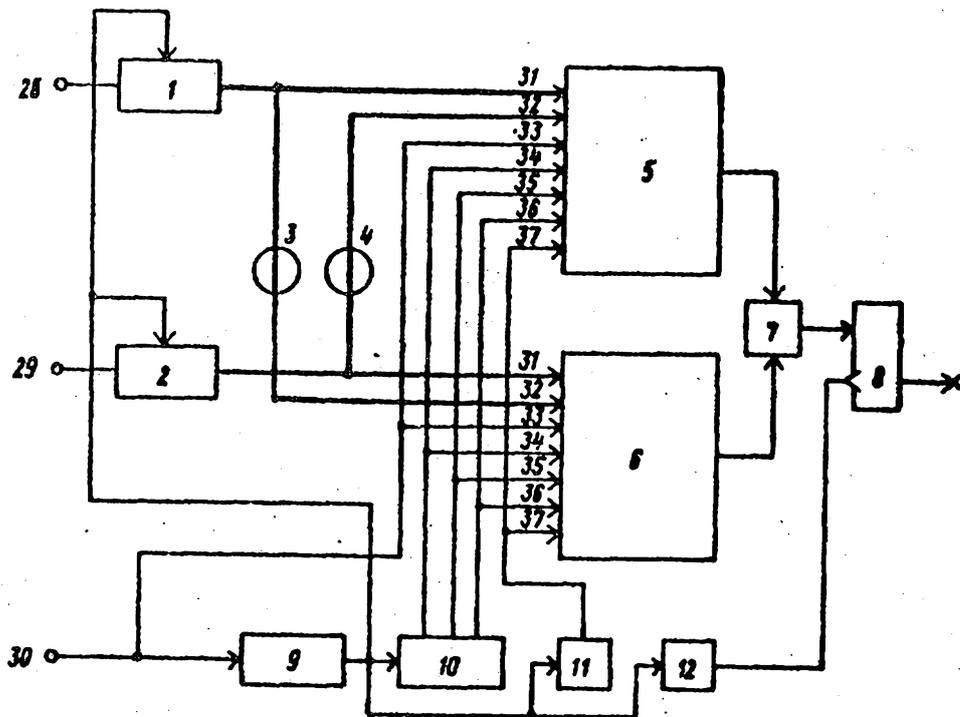
Если в момент вычитания последней старшей декады разности возникает

сигнал о необходимости заема из следующей декады, это будет свидетельствовать о том, что данный блок анализа производил вычитание большего числа из меньшего. В этом случае срабатывает элемент НЕ 24, закрывается элемент И 26, данный блок анализа отключается, результат считывается с другого блока анализа.

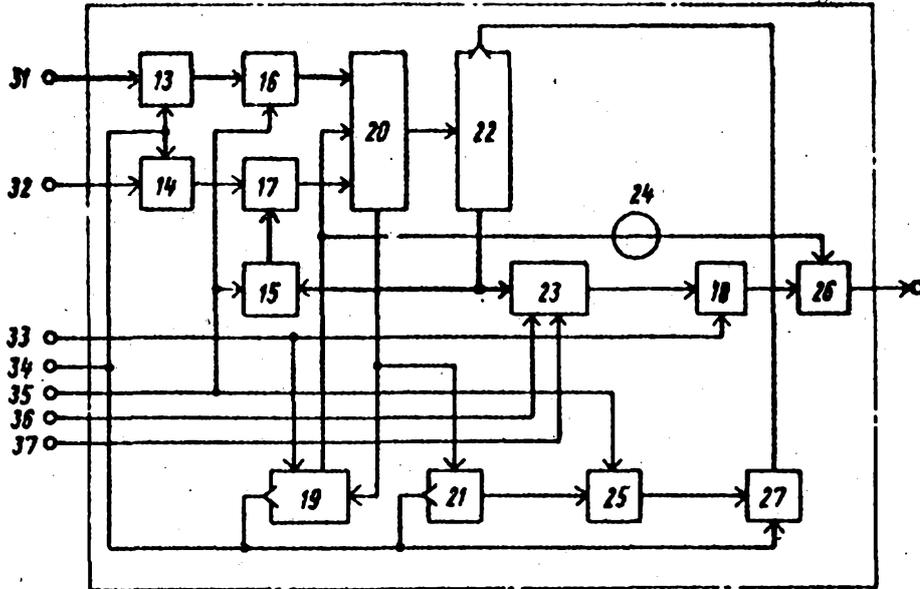
По заднему фронту импульса старшей декады, поступающего с выхода

узла 12, результат анализа записывается в триггер 8 и поступает на выход устройства.

Технико-экономические преимущества предлагаемого устройства по сравнению с известными проявляются в том, что обеспечивается возможность последовательного анализа разности в устройстве одновременно с процессом ее вычисления, за счет чего достигается повышение быстродействия устройства.



Фиг. 1



Фиг. 2

Редактор М. Келемеш

Составитель Н. Иванов

Техред Л. Микеш

Корректор Е. Сирохман

Заказ 6930/38

Тираж 698

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4