

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月11日(11.04.2019)



(10) 国際公開番号

WO 2019/069733 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) **H04N 5/357** (2011.01)
G02B 1/118 (2015.01) **H04N 5/369** (2011.01)
G02B 3/00 (2006.01)

(21) 国際出願番号: PCT/JP2018/035262

(22) 国際出願日: 2018年9月25日(25.09.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-195936 2017年10月6日(06.10.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 大木 進(OOKI Susumu); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソ

ニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

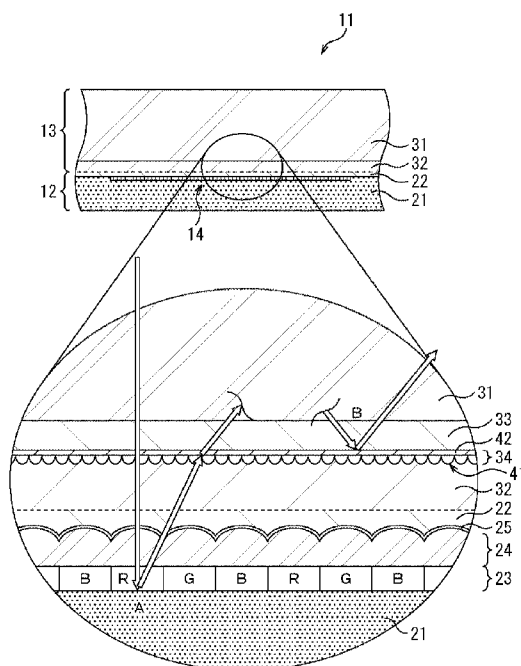
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) **Title:** SOLID-STATE IMAGING ELEMENT, MANUFACTURING METHOD, AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像素子、製造方法、および電子機器

[図1]



(57) **Abstract:** The present disclosure pertains to a solid-state imaging element, a manufacturing method, and an electronic apparatus, by which adverse effects of high-order light from diffracted light on the quality of an image can be suppressed. A glass plate material is bonded to a semiconductor substrate having formed thereon a pixel region where a plurality of pixels are arranged, so as to inhibit occurrence of a gap between the glass plate material and the pixel region. A low refractive index layer having a refractive index lower than that of the glass substrate, is disposed on a resin layer between the glass plate material and a low reflection film formed on a surface of an on-chip lens disposed for each pixel. The low refractive index layer is formed of a hole layer made of a plurality of micropores each having a diameter smaller than the pixel pitch, and a film formed so as to close the plurality of micropores so as to be hollow. The present technology is applicable, for example, to an imaging element chip having a non-cavity structure.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示は、回折光の高次光が画質に及ぼす悪影響を抑制することができるようにする固体撮像素子、製造方法、および電子機器に関する。複数の画素が配置された画素領域が形成された半導体基板に対して、画素領域との間に空隙が設けられないようにガラス板材が接合され、画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜とガラス板材との間の樹脂層に、ガラス基板よりも低屈折率な低屈折率層が配置される。低屈折率層は、画素のピッチよりも小さな直径の複数の微細空孔からなる空孔層と、複数の微細空孔を中空として閉塞するように成膜される膜とにより形成される。本技術は、例えば、キャビティレス構造の撮像素子チップに適用できる。

明 細 書

発明の名称： 固体撮像素子、製造方法、および電子機器

技術分野

[0001] 本開示は、固体撮像素子、製造方法、および電子機器に関し、特に、回折光の高次光が画質に及ぼす悪影響を抑制することができるようにした固体撮像素子、製造方法、および電子機器に関する。

背景技術

[0002] 従来、固体撮像素子において、複数の画素が配置された画素領域を封止するために半導体基板に対してガラス基板を接合する構造として、半導体基板とガラス基板との間に空隙が設けられるキャビティ構造、または、その空隙が設けられないキャビティレス構造が採用されている。

[0003] 例えば、キャビティ構造の固体撮像素子では、半導体基板の表面で反射してガラス基板に入射した回折光の高次光は、ガラス基板の表面および裏面で全反射することにより、画素領域に戻ることが回避されていた。

[0004] これに対し、キャビティレス構造の固体撮像素子では、半導体基板の表面で反射して、ガラス基板に入射した回折光の高次光が、ガラス基板の表面で全反射した後に裏面で全反射することなく、画素領域に戻ってしまうことがあった。即ち、キャビティレス構造では、半導体基板とガラス基板との間に、ガラス基板と同程度の屈折率（1.51）の樹脂が埋め込まれており、半導体表面での反射光は、高屈折な媒質から空気（低屈折率媒質）へと出る形となるため、臨界角以上となると全反射を起こす。これが画素領域に戻り、回折光の高次光が、リング状のフレアとなって画質に悪影響を及ぼすことがあった。

[0005] そこで、特許文献1 および2に開示されているように、斜めに入射する光の入射角度に応じてカットオフ波長を短波長側にシフトさせる制御膜によって、フレア光の発生を抑制する撮像装置が開発されている。

先行技術文献

特許文献

[0006] 特許文献1：特開 2 0 1 2 － 1 7 5 4 6 1 号公報

特許文献2：特開 2 0 1 3 － 4 1 9 4 1 号公報

発明の概要

発明が解決しようとする課題

[0007] また、従来、フレア光の発生を抑制するために、例えば、半導体基板面における反射を抑制する技術として、半導体基板面への A R (Anti-Reflection) コートによる反射防止構造が用いられることがある。しかしながら、半導体基板面よりも上方のカラーフィルタ面やオプティカルブラック面からの反射に対しては、抑制効果を発揮することができない構造であるため、その反射による回折光の高次光が画質に悪影響を及ぼすことがあった。

[0008] 本開示は、このような状況に鑑みてなされたものであり、回折光の高次光が画質に及ぼす悪影響を抑制することができるようにするものである。

課題を解決するための手段

[0009] 本開示の一側面の固体撮像素子は、複数の画素が配置された画素領域が形成された半導体基板と、前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス基板よりも低屈折率な低屈折率層とを備える。

[0010] 本開示の一側面の製造方法は、複数の画素が配置された画素領域が形成された半導体基板と、前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス基板よりも低屈折率な低屈折率層とを備える固体撮像素子の製造方法であって、前記低屈折率層を、前記低反射膜に積層するように、前記半導体基板を有するセンサ基板と前記ガラス板材を有するガラス基板との接合面から前記ガラス板材までの間隔未満の厚みの樹脂層を形成し

、その樹脂層の表面に、前記画素のピッチよりも小さな直径の複数の微細空孔からなる空孔層を形成することと、複数の前記微細空孔を中空として閉塞するように膜を成膜することとを含んで形成する。

[0011] 本開示の一側面の電子機器は、複数の画素が配置された画素領域が形成された半導体基板と、前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス基板よりも低屈折率な低屈折率層とを有する固体撮像素子を備える。

[0012] 本開示の一側面においては、ガラス板材が、複数の画素が配置された画素領域が形成された半導体基板に対して、有効画素領域との間に空隙が設けられないように接合され、画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜とガラス板材との間の樹脂層に、ガラス基板よりも低屈折率な低屈折率層が配置される。

発明の効果

[0013] 本開示の一側面によれば、回折光の高次光が画質に及ぼす悪影響を抑制することができる。

[0014] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0015] [図1]本技術を適用した撮像素子チップの第1の実施の形態の構成例を示す断面図である。

[図2]セルサイズと、波長および回折角との関係を説明する図である。

[図3]入射角と振幅反射係数の関係を説明する図である。

[図4]撮像素子チップの製造方法を説明する図である。

[図5]疑似低屈折率層の形成領域を説明する図である。

[図6]撮像素子チップの第2および第3の構成例を示す断面図である。

[図7]撮像装置の構成例を示すブロック図である。

[図8]イメージセンサを使用する使用例を示す図である。

発明を実施するための形態

[0016] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0017] <撮像素子チップの第1の構成例>

図1は、本技術を適用した撮像素子チップの第1の実施の形態の構成例を示す図である。

[0018] 図1に示すように、撮像素子チップ11は、センサ基板12との間に空隙が生じないようにガラス基板13が接合されて構成されたキャビティレス型のWLCSP (Wafer Level Chip Size Package) 構造となっている。このような構造の撮像素子チップ11は、樹脂を埋め込むことによって応力を均一化することができ、光学設計によりガラスや、樹脂、集光などの構造の最適化を図ることができることより、画素サイズやチップサイズの変更にもロバストな構成となっている。

[0019] センサ基板12は、複数の有効画素がアレイ状に配置された有効画素領域14が形成された半導体基板21に、半導体基板21をガラス基板13に接合するためのガラスシール樹脂22が積層されて構成される。ガラス基板13は、センサ基板12の有効画素領域14を封止するためのガラス板材31に、ガラス板材31を半導体基板21に接合するためのガラスシール樹脂32が積層されて構成される。

[0020] また、撮像素子チップ11は、半導体基板21およびガラス板材31の間に、図1の下側に示すように、多くの層が積層された構造となっている。なお、図1の破線は、センサ基板12およびガラス基板13の接合面を示している。

[0021] 即ち、センサ基板12は、半導体基板21側から順に、カラーフィルタ層23、オンチップレンズ層24、低反射膜25、およびガラスシール樹脂22が積層されて構成される。また、ガラス基板13は、センサ基板12との接合面側から順に、ガラスシール樹脂32、疑似低屈折率層34、ガラスシ

ール樹脂 33 が積層されて構成される。

[0022] カラーフィルタ層 23 は、有効画素領域 14 の画素ごとに、それぞれの画素が受光する色の光を透過するフィルタ（R，G，B）が配置される層である。オンチップレンズ層 24 は、有効画素領域 14 の画素ごとに、入射する光を集光する小型のレンズが配置される層である。低反射膜 25 は、オンチップレンズ層 24 の表面における反射を抑制するために成膜される。

[0023] ガラスシール樹脂 33 は、ガラスシール樹脂 22 および 32 と同様に、半導体基板 21 とガラス基板 13 とを接合するために用いられる。

[0024] 疑似低屈折率層 34 は、オンチップレンズ層 24 の表面に成膜される低反射膜 25 とガラス板材 31 との間にあるガラスシール樹脂 32 および 33 に挟まれるように配置され、ガラス板材 31 よりも低屈折率（屈折率：1.51未満）となるように形成される。例えば、疑似低屈折率層 34 は、図示するように、空孔層 41 および酸化膜 42 により形成される。

[0025] 空孔層 41 は、ガラスシール樹脂 32 の表面に対し、有効画素領域 14 に配置されている画素のピッチよりも小さな直径の複数の微細空孔が、一定間隔のパターンで形成されてなる層である。具体的には、空孔層 41 は、有効画素領域 14 に配置されている画素のピッチに対して 1/10 程度の直径となるように形成される微細空孔の集まりである。酸化膜 42 は、例えば、空孔層 41 の複数の微細空孔を中空として閉塞するように、LT0（Low Temperature Oxide）などが成膜される。

[0026] 従って、疑似低屈折率層 34 は、空孔層 41 および酸化膜 42 によって封入された空気を利用することで、疑似的に、ガラスシール樹脂 32 の表面における屈折率を低下させた構成となっている。例えば、疑似低屈折率層 34 は、厚みが $10\mu\text{m}$ ～ $15\mu\text{m}$ 程度となるように構成することが好適である。

[0027] このような構成の撮像素子チップ 11 は、センサ基板 12 およびガラス基板 13 がキャビティレスで接合されることによって応力の均一化を図ることができるとともに、上述したようなリング状のフレアの発生を抑制することによって画質の向上を図ることができる。即ち、撮像素子チップ 11 では、

例えば、半導体基板 2 1 の表面（図 1 の位置 A）で反射して、ガラス板材 3 1 に入射した回折光の高次光は、ガラス板材 3 1 の表面で全反射した後に疑似低屈折率層 3 4（図 1 の位置 B）で全反射することになる。

[0028] これにより、撮像素子チップ 1 1 では、ガラス板材 3 1 の表面と疑似低屈折率層 3 4 との間で反射を繰り返して、ガラス板材 3 1 の側面の方向に向かって光を伝搬させることができる。従って、撮像素子チップ 1 1 は、半導体基板 2 1 の表面（図 1 の位置 A）で反射して、ガラス板材 3 1 に入射した回折光の高次光が、有効画素領域 1 4 に戻ってしまうことを回避する結果、リング状のフレアの発生を抑制することができる。

[0029] このように、撮像素子チップ 1 1 は、疑似低屈折率層 3 4 を設けることによって、キャビティレス構造であっても、回折光の高次光が画質に及ぼす悪影響を抑制することができる。もちろん、撮像素子チップ 1 1 では、カラーフィルタ層 2 3 またはオンチップレンズ層 2 4 の表面での反射に対しても同様に、回折光の高次光が画質に及ぼす悪影響を抑制することができる。

[0030] なお、疑似低屈折率層 3 4 の構造は、空孔層 4 1 および酸化膜 4 2 から構成されるものに限定されることなく、例えば、ガラス板材 3 1 の屈折率（1.5 1）より低い樹脂層により構成してもよい。その他、疑似低屈折率層 3 4 としては、ポーラスな二酸化ケイ素（SiO₂）を採用してもよいし、高屈折率層上の低屈折率材料を採用してもよい。

[0031] ここで、図 2 および図 3 を参照して、回折光について説明する。

[0032] 図 2 の A には、セルサイズが大きな構成（3.6 μ m ピッチ）における波長と回折角との関係が示されており、図 2 の B には、セルサイズが小さな構成（1.8 μ m ピッチ）における波長と回折角との関係が示されている。

[0033] 一般的に、有効画素領域 1 4 は、画素構造の繰り返しによる周期構造を有しており、シリコンなどの半導体基板 2 1 の表面からの反射光が回折することにより、高次の回折光を発生することになる。そして、ガラスと空気との界面に臨界角を超えて入射する高次光によって、リング状のフレアが発生してしまう。

[0034] また、回折光が、どの角度で反射するかは、回折を発生させている画素のピッチによって決定される。即ち、図2のBに示すように、画素のピッチが小さい構造では、高次の回折光の角度がより広がる（臨界角に近くなる）ことになり、図2のAに示すように、画素のピッチが大きい構造では、高次の回折光の角度がより狭まることになる。

[0035] 例えば、モバイル端末で採用されるようなセルサイズの構成（例えば、 $\sim 2.0\mu\text{m}$ ）では、ほぼ3次光が臨界角を超える程度となり、半導体基板21の表面からの反射光が画素に入射するのは3次光以上の回折光となる。このように、半導体基板21の表面からの反射光が画素に入射するのは3次光以上の回折光となる。

[0036] ここで、図3には、フレネルの公式に従った入射角と振幅反射係数との関係とが示されている。図3の曲線は、入射角の関数としての振幅反射係数であってガラスから空気への内部反射のものであり、この曲線が示すように、反射率は入射角度の変数である。

[0037] 図示するように、入射角が0度である位置A（図1参照）での振幅反射係数よりも、入射角が臨界角以上である位置B（図1参照）での振幅反射係数の方が大きくなる。このように、入射角により振幅反射係数が増加することは、図3に示すフレネルの公式より正しいことが分かる。

[0038] <撮像素子チップの製造方法>

図4を参照して、撮像素子チップ11の製造方法について説明する。なお、図4には、オンチップレンズ層24まで形成したセンサ基板12のウェハをCSP（Chip Size Package）工程に投入する際に、最初にガラス板材31を接合するときの製造工程が示されている。

[0039] 第1の工程において、センサ基板12のオンチップレンズ層24に対して樹脂材料を塗布することで、図4の上から1段目に示すように、ガラスシール樹脂22およびガラスシール樹脂32を形成する。このとき、ガラス基板13側のガラスシール樹脂32は、センサ基板12との接合面からガラス板材31までの間隔に対して略半分の厚み（例えば、約 $25\mu\text{m}$ ）となるように

形成される。

[0040] 第2の工程において、ガラスシール樹脂32の表面に対するベークを実施した後に、DSA (Directed Self Assembly: ブロック共重合体の自己組織化現象を利用したナノ構造) またはナノプリントを行う。これにより、図4の上から2段目に示すように、ガラスシール樹脂32の表面に対して微細な凹形状51のパターン (例えば、サイズが100nm以下の周期パターン) を形成する。

[0041] 第3の工程において、微細な凹形状51のパターンをガラスシール樹脂32に転写することで、図4の上から3段目に示すように、ガラスシール樹脂32に空孔層41となる微細空孔のパターンが形成される。

[0042] 第4の工程において、ガラスシール樹脂32に対して酸化膜42を成膜する。このとき、図4の上から4段目に示すように、酸化膜42により空孔層41を閉塞させることによって空孔層41に空気が封入され、疑似低屈折率層34が形成される。

[0043] 第5の工程において、酸化膜42に対してガラスシール樹脂33を塗布して、図4の上から4段目に示すように、ガラスシール樹脂33によりガラス板材31を接合させる。

[0044] 以上のような工程により、図1に示したように、疑似低屈折率層34を備えた撮像素子チップ11を製造することができる。従って、撮像素子チップ11は、空孔層41の微細な微細空孔に空気を封入することによって、疑似低屈折率層34における屈折率を最大限に低下させることができる。

[0045] <疑似低屈折率層の形成領域>

図5を参照して、疑似低屈折率層34の形成領域について説明する。図5には、平面的に見た複数個の撮像素子チップ11 (図5の例では、6個の撮像素子チップ11-1乃至11-6) が示されている。

[0046] 図4を参照して説明した製造工程は、撮像素子チップ11を個片化する前の半導体ウェハに対して行われ、半導体ウェハには、複数個の撮像素子チップ11が形成される。また、有効画素領域14を囲う周辺領域15を含む領

域が、撮像素子チップ１１の製品となる領域であり、それぞれの撮像素子チップ１１の間にダイシングを行うためのスクライブが設けられている。

[0047] そして、疑似低屈折率層３４は、撮像素子チップ１１どうしの間のスクライブ以外の領域、即ち、周辺領域１５よりも内側であって少なくとも有効画素領域１４の全面を覆う領域に形成される。または、疑似低屈折率層３４は、有効画素領域１４内にのみ形成されることが好ましい。例えば、撮像素子チップ１１を個片化する際に、仮に、疑似低屈折率層３４に対する加工が行われると、微細なダストなどが発生することが懸念される。そのため、図４の第２の工程では、そのような微細なダストの発生を回避するために、有効画素領域１４を疑似低屈折率層３４の形成領域として、DSAまたはナノプリントを行うことが好ましい。

[0048] <撮像素子チップの第２および第３の構成例>

図６を参照して、撮像素子チップ１１の第２および第３の構成例について説明する。なお、図６に示す撮像素子チップ１１Ａおよび１１Ｂにおいて、図１の撮像素子チップ１１と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0049] 図６のＡには、第２の構成例である撮像素子チップ１１Ａの断面的な構成が示されており、図６のＢには、第３の構成例である撮像素子チップ１１Ｂの断面的な構成が示されている。

[0050] 図６のＡに示すように、撮像素子チップ１１Ａは、疑似低屈折率層３４Ａがガラス板材３１の下面に接するように配置された構造となっている。

[0051] 図６のＢに示すように、撮像素子チップ１１Ｂは、疑似低屈折率層３４Ｂが、センサ基板１２との接合面に接するように配置された構造となっている。

[0052] このように、撮像素子チップ１１では、疑似低屈折率層３４の配置は、オンチップレンズ層２４の表面に成膜される低反射膜２５とガラス板材３１との間であれば、どこであってもよい。即ち、撮像素子チップ１１Ａの構成、または、撮像素子チップ１１Ｂの構成であっても、上述したようにリング状

のフレアの発生を抑制することができる。

[0053] <電子機器の構成例>

上述したような撮像素子チップ11は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0054] 図7は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0055] 図7に示すように、撮像装置101は、光学系102、撮像素子103、信号処理回路104、モニタ105、およびメモリ106を備えて構成され、静止画像および動画を撮像可能である。

[0056] 光学系102は、1枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子103に導き、撮像素子103の受光面（センサ部）に結像させる。

[0057] 撮像素子103としては、上述した撮像素子チップ11が適用される。撮像素子103には、光学系102を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子103に蓄積された電子に応じた信号が信号処理回路104に供給される。

[0058] 信号処理回路104は、撮像素子103から出力された画素信号に対して各種の信号処理を施す。信号処理回路104が信号処理を施すことにより得られた画像（画像データ）は、モニタ105に供給されて表示されたり、メモリ106に供給されて記憶（記録）されたりする。

[0059] このように構成されている撮像装置101では、上述した撮像素子チップ11を適用することで、例えば、リング状のフレアのない、より高画質な画像を撮像することができる。

[0060] <イメージセンサの使用例>

図8は、上述のイメージセンサ（撮像素子）を使用する使用例を示す図である。

[0061] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0062] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0063] <構成の組み合わせ例>

なお、本技術は以下のような構成も取ることができる。

(1)

複数の画素が配置された画素領域が形成された半導体基板と、

前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、

前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス板材よりも低屈折率な低屈折率層と

を備える固体撮像素子。

(2)

前記低屈折率層は、

前記低反射膜に積層するように、前記半導体基板を有するセンサ基板と前記ガラス板材を有するガラス基板との接合面から前記ガラス板材までの間隔未満の厚みの樹脂層を形成し、その樹脂層の表面に形成される、前記画素のピッチよりも小さな直径の複数の微細空孔からなる空孔層と、

複数の前記微細空孔を中空として閉塞するように成膜される膜と

により形成される

上記(1)に記載の固体撮像素子。

(3)

前記低屈折率層は、前記ガラス板材よりも低屈折率な樹脂層により構成される

上記(1)または(2)に記載の固体撮像素子。

(4)

前記低屈折率層は、 $10\mu\text{m}$ から $15\mu\text{m}$ の厚みで形成される

上記(1)から(3)までのいずれかに記載の固体撮像素子。

(5)

前記低屈折率層は、前記半導体基板を平面的に見たとき前記画素領域内のみ形成される

上記(1)から(4)までのいずれかに記載の固体撮像素子。

(6)

前記低屈折率層は、前記ガラス板材に接するように配置される

上記(1)から(5)までのいずれかに記載の固体撮像素子。

(7)

前記低屈折率層は、前記半導体基板を有するセンサ基板と前記ガラス板材を有するガラス基板との接合面に接するように配置される

上記(1)から(6)までのいずれかに記載の固体撮像素子。

(8)

複数の画素が配置された画素領域が形成された半導体基板と、前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス板材よりも低屈折率な低屈折率層とを備える固体撮像素子の製造方法であって、
前記低屈折率層を、

前記低反射膜に積層するように、前記半導体基板を有するセンサ基板と前記ガラス板材を有するガラス基板との接合面から前記ガラス板材までの間隔未満の厚みの樹脂層を形成し、その樹脂層の表面に、前記画素のピッチよりも小さな直径の複数の微細空孔からなる空孔層を形成することと

複数の前記微細空孔を中空として閉塞するように膜を成膜することとを含んで形成する製造方法。

(9)

複数の画素が配置された画素領域が形成された半導体基板と、
前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、
前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス板材よりも低屈折率な低屈折率層と
を有する固体撮像素子を備える電子機器。

[0064] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0065] 11 撮像素子チップ, 12 センサ基板, 13 ガラス基板, 14 有効画素領域, 15 周辺領域, 21 半導体基板, 22 ガラ

スシール樹脂, 23 カラーフィルタ層, 24 オンチップレンズ層,
25 低反射膜, 31 ガラス板材, 32 ガラスシール樹脂, 3
3 ガラスシール樹脂, 34 疑似低屈折率層, 41 空孔層, 42
酸化膜, 51 微細な凹形状

請求の範囲

- [請求項1] 複数の画素が配置された画素領域が形成された半導体基板と、
前記画素領域との間に空隙が設けられないように前記半導体基板に
対して接合されるガラス板材と、
前記画素ごとに配置されるオンチップレンズの表面に成膜される低
反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス板材
よりも低屈折率な低屈折率層と
を備える固体撮像素子。
- [請求項2] 前記低屈折率層は、
前記低反射膜に積層するように、前記半導体基板を有するセンサ
基板と前記ガラス板材を有するガラス基板との接合面から前記ガラ
ス板材までの間隔未満の厚みの樹脂層を形成し、その樹脂層の表面に形
成される、前記画素のピッチよりも小さな直径の複数の微細空孔から
なる空孔層と、
複数の前記微細空孔を中空として閉塞するように成膜される膜と
により形成される
請求項 1 に記載の固体撮像素子。
- [請求項3] 前記低屈折率層は、前記ガラス板材よりも低屈折率な樹脂層により
構成される
請求項 1 に記載の固体撮像素子。
- [請求項4] 前記低屈折率層は、 $10\mu\text{m}$ から $15\mu\text{m}$ の厚みで形成される
請求項 1 に記載の固体撮像素子。
- [請求項5] 前記低屈折率層は、前記半導体基板を平面的に見たとき前記画素領
域内にのみ形成される
請求項 1 に記載の固体撮像素子。
- [請求項6] 前記低屈折率層は、前記ガラス板材に接するように配置される
請求項 1 に記載の固体撮像素子。
- [請求項7] 前記低屈折率層は、前記半導体基板を有するセンサ基板と前記ガラ

ス板材を有するガラス基板との接合面に接するように配置される
請求項 1 に記載の固体撮像素子。

[請求項8] 複数の画素が配置された画素領域が形成された半導体基板と、前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス板材よりも低屈折率な低屈折率層とを備える固体撮像素子の製造方法であって、

前記低屈折率層を、

前記低反射膜に積層するように、前記半導体基板を有するセンサ基板と前記ガラス板材を有するガラス基板との接合面から前記ガラス板材までの間隔未満の厚みの樹脂層を形成し、その樹脂層の表面に、前記画素のピッチよりも小さな直径の複数の微細空孔からなる空孔層を形成することと

複数の前記微細空孔を中空として閉塞するように膜を成膜することと

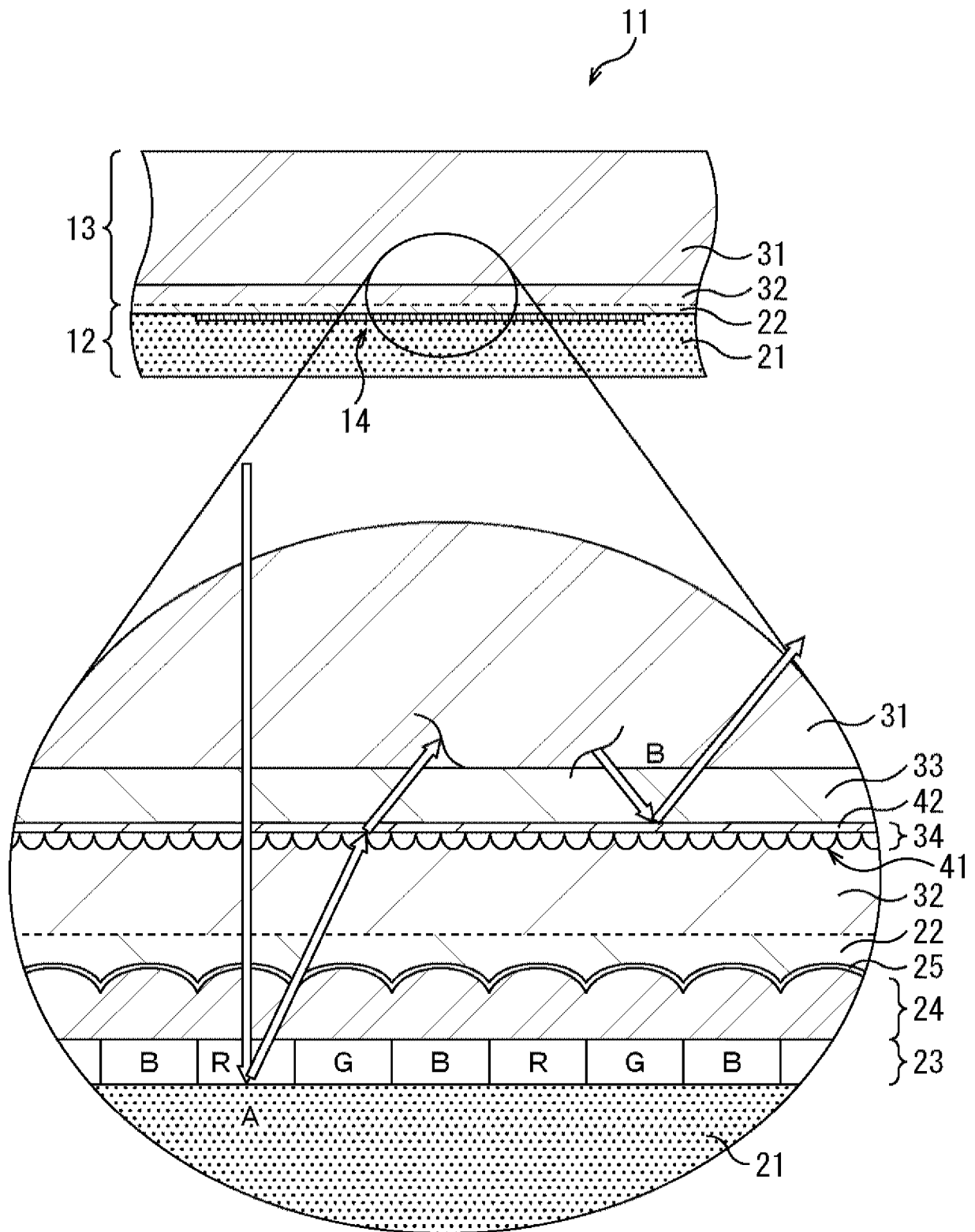
を含んで形成する製造方法。

[請求項9] 複数の画素が配置された画素領域が形成された半導体基板と、
前記画素領域との間に空隙が設けられないように前記半導体基板に対して接合されるガラス板材と、

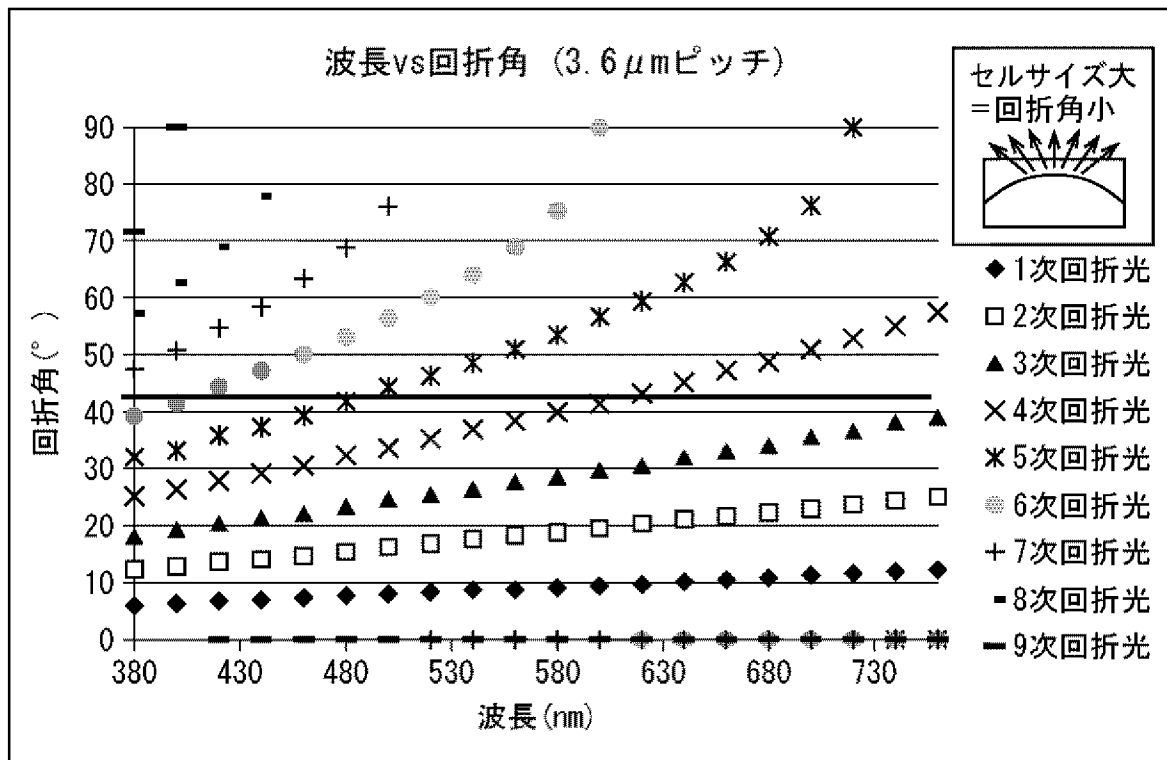
前記画素ごとに配置されるオンチップレンズの表面に成膜される低反射膜と前記ガラス板材との間の樹脂層に配置され、前記ガラス板材よりも低屈折率な低屈折率層と

を有する固体撮像素子を備える電子機器。

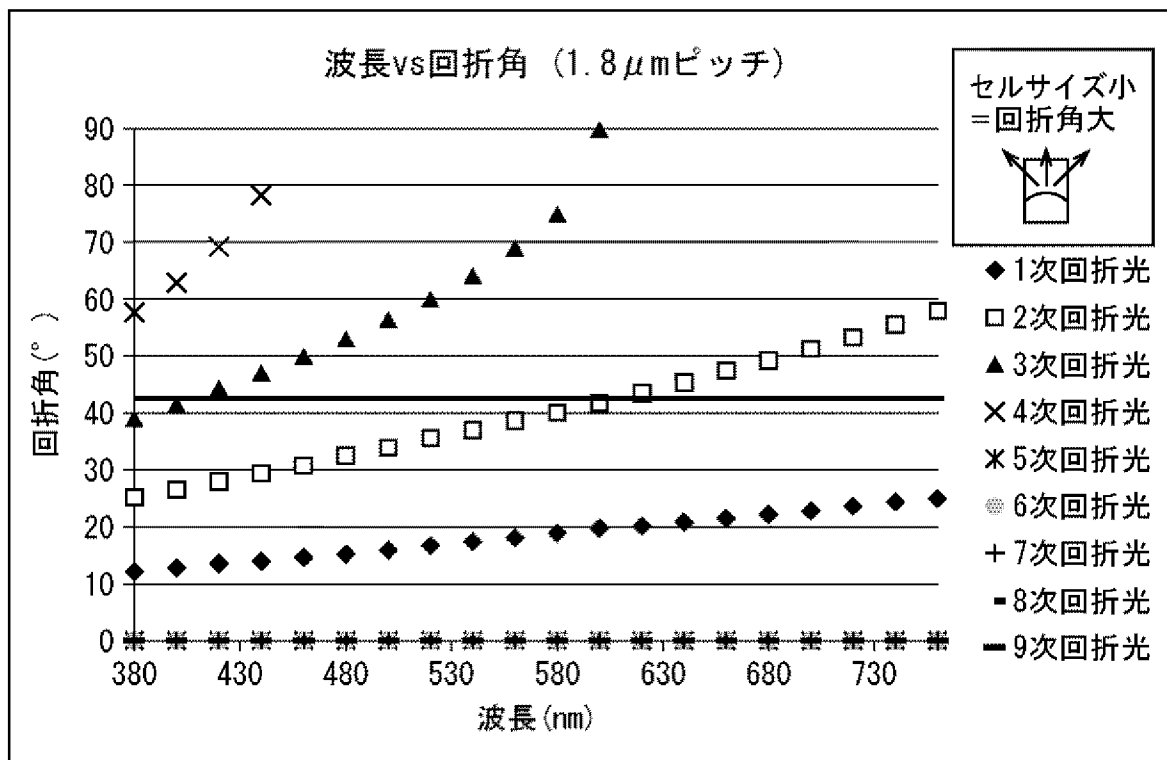
[図1]
FIG. 1



[図2]
FIG. 2

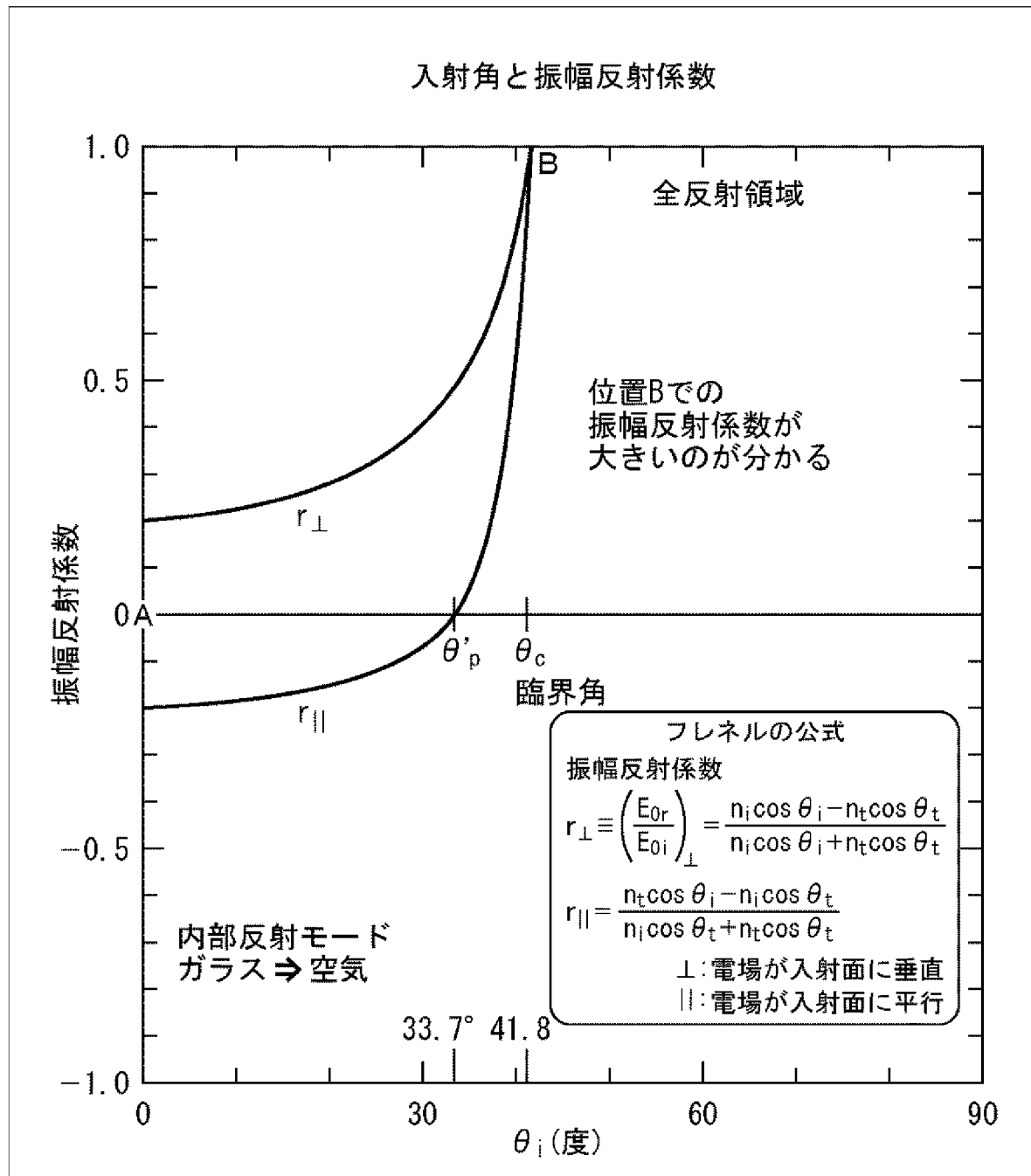


A

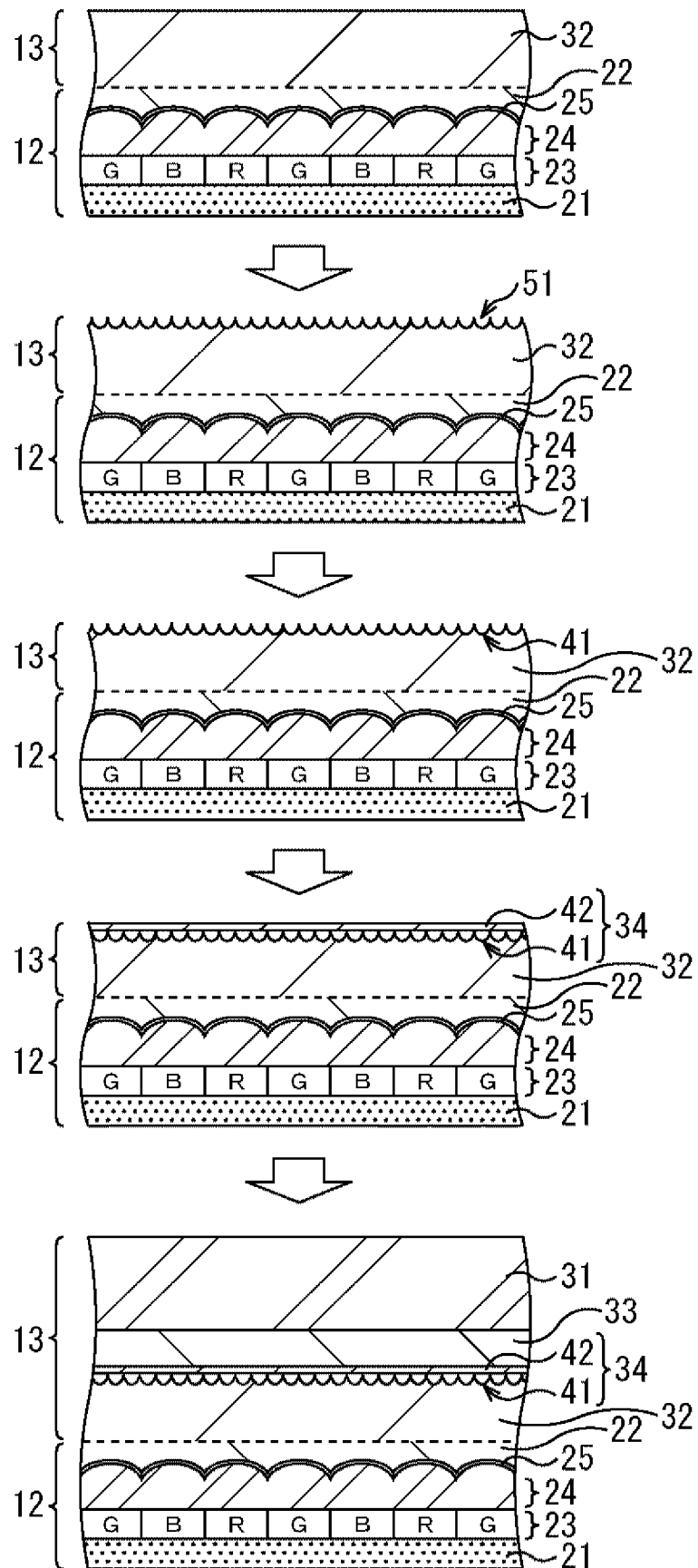


B

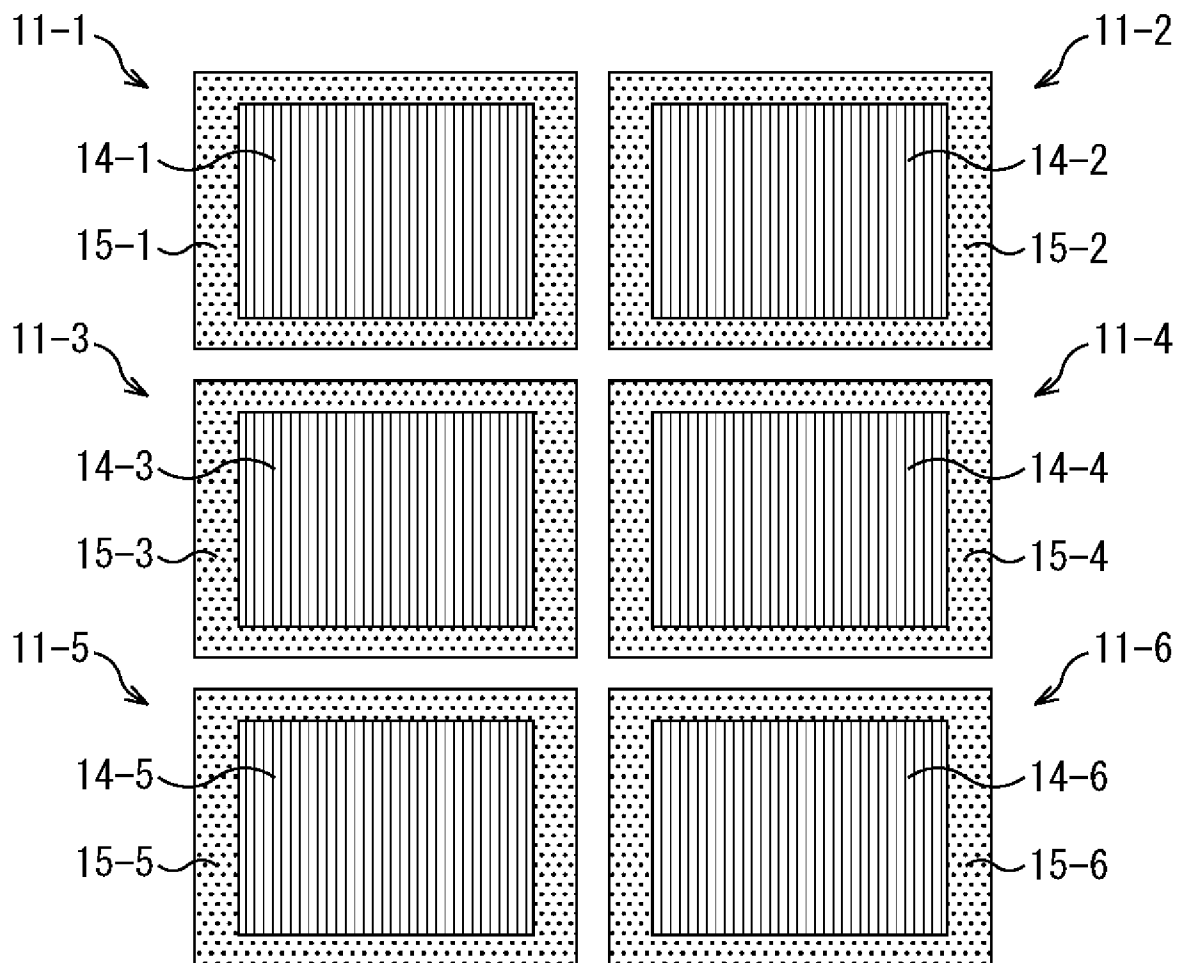
[図3]
FIG. 3



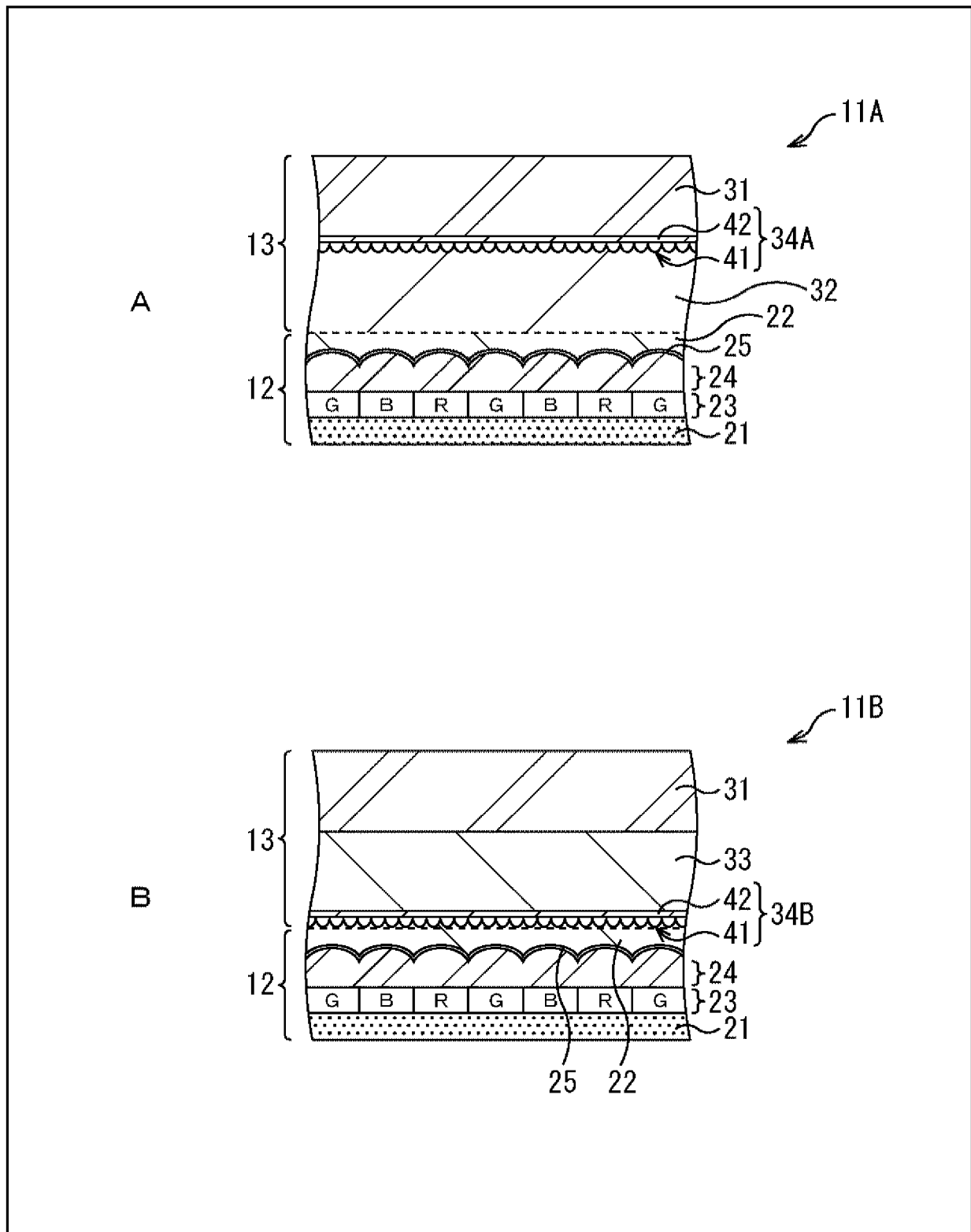
[図4]
FIG. 4



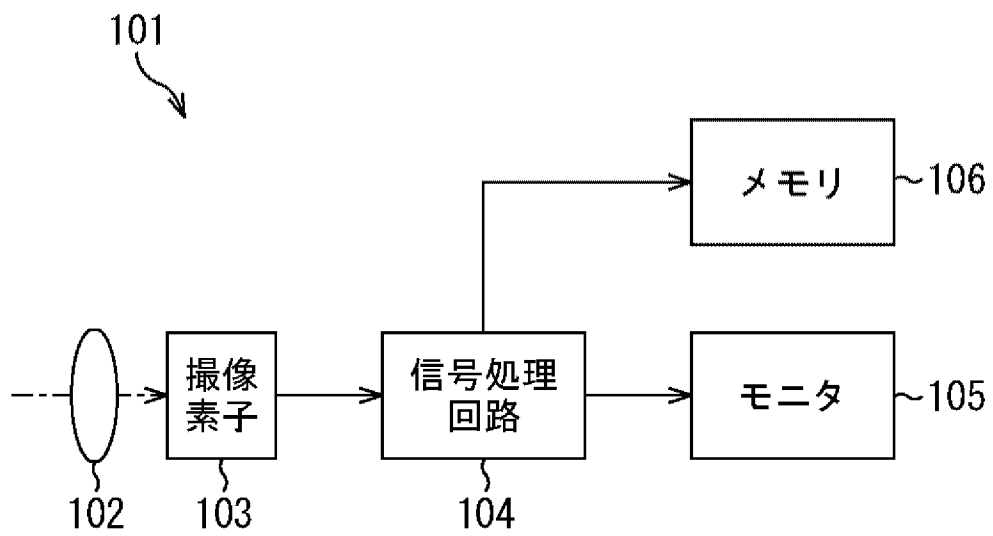
[図5]
FIG. 5



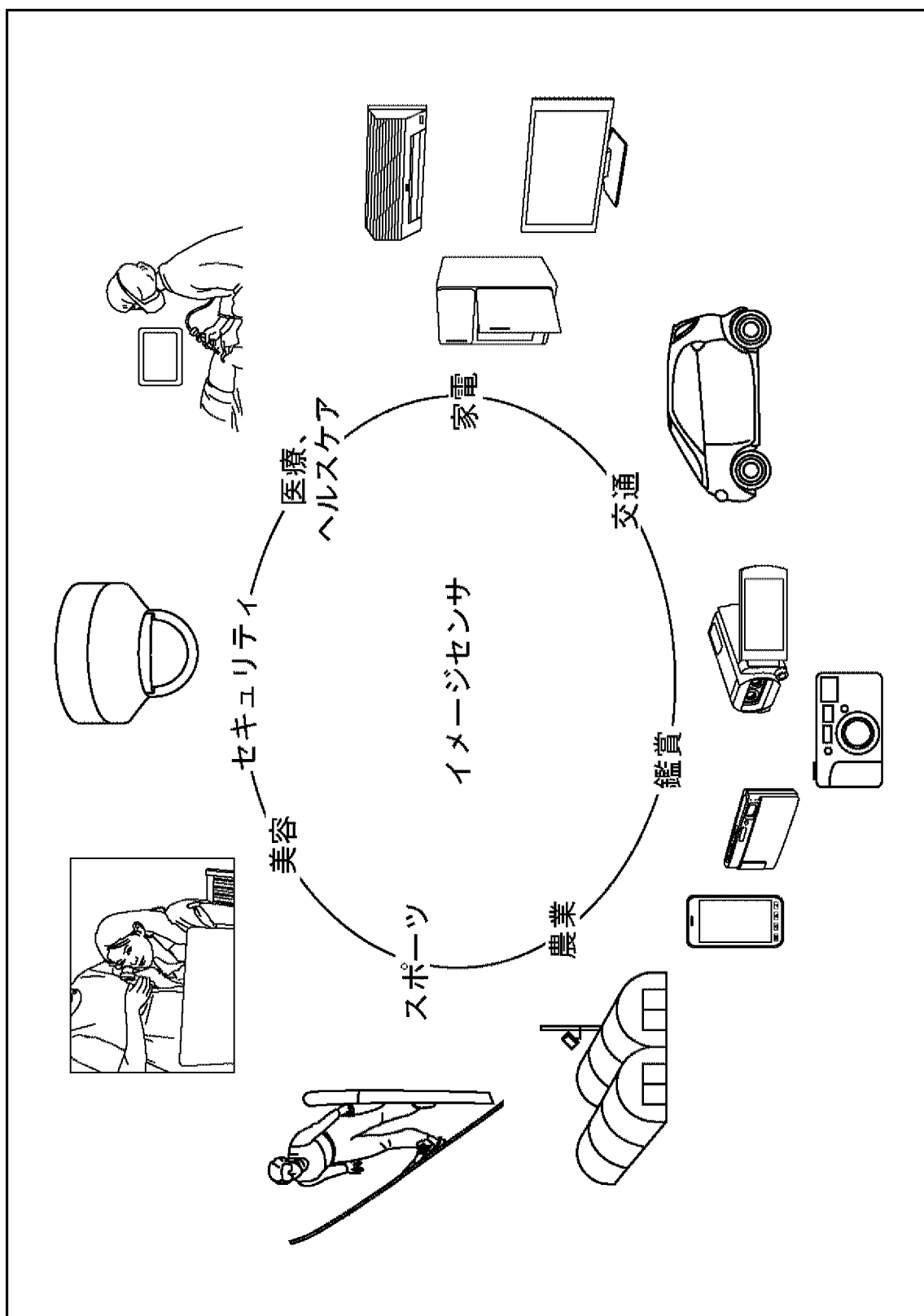
[図6]
FIG. 6



[図7]
FIG. 7



[図8]
FIG. 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/035262

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146 (2006.01) i, G02B1/118 (2015.01) i, G02B3/00 (2006.01) i, H04N5/357 (2011.01) i, H04N5/369 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, G02B1/118, G02B3/00, H04N5/357, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-040621 A (TOSHIBA CORPORATION) 18 February 2010, paragraphs [0014]-[0029], fig. 1-3 & US 2010/0025791 A1, paragraphs [0022]-[0042], fig. 1-3	1, 3-7, 9 2, 8
Y A	JP 2016-001681 A (SONY CORPORATION) 07 January 2016, paragraph [0105] & US 2017/0117320 A1, paragraph [0116] & US 2018/0204875 A1 & WO 2015/190070 A1 & TW 201603256 A	1, 3-7, 9 2, 8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31.10.2018	Date of mailing of the international search report 13.11.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/035262

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2017/094537 A1 (SONY CORPORATION) 08 June 2017, paragraphs [0135]-[0141], fig. 22 & CN 108292662 A	1, 3-7, 9 2, 8
Y A	JP 7-022599 A (SHARP CORPORATION) 24 January 1995, paragraphs [0024]-[0030], fig. 3 (Family: none)	1, 3-7, 9 2, 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/146(2006.01)i, G02B1/118(2015.01)i, G02B3/00(2006.01)i, H04N5/357(2011.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/146, G02B1/118, G02B3/00, H04N5/357, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-040621 A (株式会社東芝) 2010.02.18, 段落 [0014] - [0029], [図 1] - [図 3] & US 2010/0025791 A1, 段落 [0022] - [0042], 図 1-3	1, 3-7, 9 2, 8
Y A	JP 2016-001681 A (ソニー株式会社) 2016.01.07, 段落 [0105] & US 2017/0117320 A1, 段落 [0116] & US 2018/0204875 A1 & WO 2015/190070 A1 & TW 201603256 A	1, 3-7, 9 2, 8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

31.10.2018

国際調査報告の発送日

13.11.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田邊 顕人

5 F

5894

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2017/094537 A1 (ソニー株式会社) 2017.06.08, 段落 [0135] - [0141], [図 22] & CN 108292662 A	1, 3-7, 9 2, 8
Y A	JP 7-022599 A (シャープ株式会社) 1995.01.24, 段落 [0024] - [0030], [図 3] (ファミリーなし)	1, 3-7, 9 2, 8