

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成18年9月28日(2006.9.28)

【公開番号】特開2001-283595(P2001-283595A)

【公開日】平成13年10月12日(2001.10.12)

【出願番号】特願2000-97705(P2000-97705)

【国際特許分類】

G 11 C 16/02 (2006.01)

【F I】

G 11 C 17/00 6 1 2 D

G 11 C 17/00 6 1 2 E

【手続補正書】

【提出日】平成18年8月9日(2006.8.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 2 1 6

【補正方法】変更

【補正の内容】

【0 2 1 6】

そして、時刻 t_{13} の消去ペリファイ(ステップ S_{42})においてメモリブロックの消去が完了したと判定されると、時刻 t_{14} においてステップ S_{43} の一括書き込みパルスが印加される。この書き込みパルスはステップ S_{40} において印加された書き込みパルスよりも強度が弱い。ステップ S_{43} の一括書き込みパルスの印加によってしきい値電圧の分布がかなり狭帯域化されることがわかっている。たとえば、しきい値電圧が1.5V以下のメモリトランジスタの数も従来と比べてかなり減っている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0 2 2 9

【補正方法】変更

【補正の内容】

【0 2 2 9】

このようにすることにより、過消去になるメモリセルを最小限に抑えつつもステップ S_{42} の消去ペリファイが完了するまでの時間を短縮することができる。そして、この波形例においては、時刻 t_{15} において印加されるステップ S_{44} の消去パルスは、時刻 t_{12} において印加された消去パルスよりもやや強い強度に設定され、時刻 $t_{15} \sim t_{20}$ では、ステップ S_{46} の消去ペリファイにおいて消去未完了と判定されるたびごとにステップ S_{48} においてパルス強度が強くなるように変更されている。このようにすることにより、ステップ S_{46} の消去ペリファイが完了する時間も短縮することができ、かつ、ステップ S_6 において過消去と判定されるメモリセルの数も減らすことができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0 2 5 4

【補正方法】変更

【補正の内容】

【0 2 5 4】

図45に示したフローチャートは、図6に示したフローチャートの構成においてステップ S_3 , S_4 , S_{20} , S_5 に代えて、ステップ $S_{60} \sim S_{65}$ を備える点が図6に示したフローチャートと異なる。ステップ $S_{60} \sim S_{10}$ については図6に示したフローチャー

トと同様であり説明は繰返さない。