

公告本

申請日期	83. 8. 11
案 號	87113154
類 別	1701/2-1/26

A4
C4

(以上各欄由本局填註)

426949

發明專利說明書

一、發明 名稱	中 文	減少襯墊腐蝕之方法
	英 文	Reduction of Pad Erosion
二、發明 創作人	姓 名	1. 羅伯特普羅塞爾 (Robert Ploessl) 2. 伯特雷德弗利特納 (Bertrand FLIETNER)
	國 籍	1. 美國 2. 美國
	住、居所	1. 美國紐約州14850伊塔卡西觀巷135號 2. 美國紐約州12533霍普威爾強克遜萊特林蔭大道16號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

426949

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

美

1997年9月30日 08/940,233(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域

本發明一般而言係有關半導體的裝配，特別是有關減少襯墊膜腐蝕的方法。

相關技術說明

於積體電路(ICs)或是晶片的裝配技術中，是利用蝕刻達矽基片之內而產生各部位而成。這些部位是用來形成各種裝置。例如，深溝渠扮演著記憶體單元中溝渠電容的角色。通常，在形成隨機存取記憶體(RAM)、積體電路(ICs)或是晶片的程序中，是在基片的陣列區域中蝕刻出深溝渠的陣列。然後由這些溝渠形成溝渠電容。這些溝渠電容是用來產生記憶體單元陣列，而記憶體單元陣列則是由字元線及位元線交錯連接而形成的記憶體IC。

第1a-1d圖顯示的是用以形成溝渠電容陣列的部分程序。如第1圖所示，習知的襯墊堆疊110是形成於基片101的表面上。此襯墊堆疊包含例如襯墊氧化物112、襯墊氮化物114、以及像TEOS之類的襯墊硬式覆罩116等組成的系列層。於襯墊堆疊之上澱積光阻層並將之製作成圖案以便選擇性地於將要形成DTs(深溝渠)的陣列區域內曝露出襯墊堆疊的面積。然後以反應離子蝕刻(RIE)法蝕刻基片。

RIE法在陣列區域135中會比在非陣列場區域130中以更高的速率腐蝕襯墊TEOS層而產生局部地勢圖。也就是說，場和陣列區域之間在高度上存在有一個很大的步階。結果，至少在形成節點介電質之後，會於溝渠內填充以具有高摻雜的多晶矽(poly)150。由於poly是呈等角的

五、發明說明()

(conformal), 產生於RIE期間的拓樸圖形(topography)也會轉移到poly層上。

第1B圖中, 是執行化學機械磨光(CMP)法以提供平坦的表面。CMP法對硬式覆單層是具有選擇性的, 能在不致有效地去除襯墊TEOS層下去除poly。由此可以看出, CMP法會於陣列區域內腐蝕poly而造成有低窪處形成於其中。這種現象是稱為凹化(dishing)。由於存在有極大的步階, 執行了CMP之後會在陣列邊緣160上遺留有poly的殘留物。如第1C圖所示剝除了襯墊TEOS層之後, 會有poly「外耳」165突出於DTs內襯墊氮化層之上。因為於前述CMP步驟期間在邊緣內遺留有的poly殘留物係局部地勢圖的結果, 各外耳在陣列邊緣上的高度是大於中央或是平台部分162的高度。例如, 邊緣上的高度可以是>2500埃而平台部分的高度可以落在0到1500埃的範圍內。必需執行向上碰觸的CMP以便去除poly外耳。不過如第1D圖所示, 向上碰觸的CMP會導致陣列區域內的襯墊氮化層發生腐蝕。此外, 襯墊氮化層在陣列區域的邊緣上比在平台部分腐蝕得更厲害。由於這種腐蝕現象會導致開極臨限電壓發生變化並且會增加埋藏式帶環的阻抗, 故屬有害的而嚴重地影響了產量。

由前述討論可以清楚地看出, 本發明想要提供一種用以蝕刻出DTs的改良式襯墊堆疊。

發明總述

本明係有關積體電路的裝配技術。特別地, 本發明提

五、發明說明()

供了一種用以形成深溝渠的改良式技術。於一個實施例中，在執行蝕刻程序以去除硬式覆罩的一部分時是使用阻擋覆罩以保護陣列區域。場蝕刻的深度大約是等於由反應離子刻技術在形成深溝渠之後於陣列區域內蝕刻掉之材料的數量。

圖式簡單說明：

第1A-1D圖、顯示的是形成深溝渠的習知程序。

第2圖、顯示的是溝渠電容式的動態隨機存取記憶體(DRAM)單元。

第3A-3F圖、顯示的是根據本發明一個實施例而形成深溝渠的程序。

發明的詳細說明

本發明係有關積體電路的裝配技術。通常，會在像矽晶圓之類的半導體基片上依平行方式處理許多ICs。其他形式的半導體晶圓也是很有用的。晶圓是在形ICs之後加以切割，將它們分開成為個別的晶片。然後將晶片封裝並積體化而成例如消費產品。這類消費產品包含例如個人電腦、行動電話、以及其他電子產品等。

為了討論的目標，本發明是在本文中描述一部分晶片的形成。特別地，本發明是在本文中描述用於像DRAM單元之類記憶體單元之溝渠電容的形成。不過，一般而言本發明是適用於隨機存取記憶體(RAMs)、動態RAMs(DRAMs)、同步DRAMs(SDRAMs)、靜態RAMs(SRAMs)之類ICs的裝配。其他的ICs包含像程式化邏輯陣列、特定用途之ICs

五、發明說明(4)

(ASICs)、以及合併式 DRAM-邏輯電路(埋藏式 DRAMs)之類的邏輯裝置。

較佳實施例的說明

參照第 2 圖，其中顯示了溝渠電容 DRAM 單元。這種 DRAM 單元是說明於例如 Nesbit 等人於 IEDM 93-627 中標題為「 $0.6\mu m^2$ 256Mb 且具有自動-對準之埋藏式帶環的溝渠電容 DRAM 單元 (A $0.6\mu m^2$ 256Mb Trench DRAM Cell with Self-ALIGNED Buried Strap(BEST))」的論文中，以下在所有目的下將此論文列為本明的參考文獻。如圖所示，DRAM 單元包含形成於基片 101 上的溝渠電容 160。通常，溝渠內是填充以摻雜有重劑量 n-型摻雜物的多晶矽 (poly) 161。此 poly 扮演著電容中稱為「儲存節點」的一個電板。埋藏式電板 165 則於圍繞溝渠靠下邊部分摻雜有 n-型摻雜物。溝渠靠上邊部分是用來減少寄生性漏電現象的軸環 168。節點介電質 163 將電容的兩個電板分隔開。含有 n-型摻雜物之埋藏式位阱 170 則是將 DRAM 單元的各埋藏式電板連接到陣列中。埋藏式位阱之上則是 p-型位阱。此 p-型位阱扮演的是減少垂直漏電現象的角色。

DRAM 單元也包括電晶體 110。此電晶體包含閘極 112 以及包括有 n-型摻雜物之擴散區域 113 和 114。這些擴散區域稱為源極和汲極。源極和汲極的選定係取決於電晶體的操作。從電晶體到電容的連接是經由擴散區域 125 而達成的故稱為「節點擴散」。也稱作「字元線」的閘極堆疊通常包括 poly 層 366 及氮化層 368。另一方式是，可將

五、發明說明(5)

一種由包括像 鈮、鉬、鎢、鈦、鈷之類之金屬矽化物 ($TaSi_x$, $MoSi_x$, WSi_x , $TiSi_x$, $CoSi_x$) 構成的 polycide 層 357 形成於 poly 層之上以減少字元線阻抗。

於一個實施例中，polycide 層包括 poly 層之上的矽化鎢。氮化物墊圈 369 覆蓋於閘極堆疊和基片之上。而氮化層 368 及氮化物墊圈 369 則為後續的處理扮演著蝕刻或是磨光的儲駐層的角色。

提供淺溝渠絕緣層 (STI) 180 是為了使 DRAM 單元與其他單元或裝置隔離開。如圖所示，字元線 120 是形成於溝渠之上而與 STI 隔離開。字元線 120 是稱為「通過 (passing) 字元線」。這種構造則稱作摺疊式位元線結構。

位準間介電層 189 是形成於各字元線之上。代表位元線的導電層是形成於位準間介電層之上。於位準間介電層內提供有位元線接觸開口 186 以便讓源極 113 與位元線 190 形成接觸。

將許多這類的單元建構於陣列中。單元的陣列是由各字元線和各位元線交互連接在一起而構成的。對單元的存取是藉著啓動單元所對應的各字元線和各位元線而達成的。

第 3A-3E 圖顯示的是形成深溝渠的程序。參照第 3A 圖，其中提供了形成有溝渠電容的基片 301。例如此基片係一矽晶圓。其他像砷化鎳、鎢、絕緣體上的矽 (SOI)、或其他半導體材料之類構成的半導體基片也是很有用的。例如，基片中可以輕微地或是高劑量地摻雜一具有預設導電

五、發明說明(6)

性的摻雜物而達成預期的電氣特性。

襯墊堆疊層 310 是形成於基片表面上。例如，襯墊堆疊包含形成於基片表面上的襯墊氧化層 312。例如，襯墊氧化層是由熱氧化程序形成的。襯墊氧化層是足夠厚以減小應力並提高襯墊蝕刻停駐層與基片之間的黏合性。

襯墊氧化層之上設有襯墊蝕刻停駐層 314。襯墊蝕刻停駐層應該對用以填充溝渠的材料具有充分的選擇性。於一實施例中襯墊蝕刻停駐層包括四氮化三矽，因為對於用以填充溝渠的多晶矽而言這種材料具有相當低的蝕刻速率。通常，多晶矽與蝕刻停駐層之間的蝕刻選擇率是大約 60:1。用於磨光時，其選擇比率是大約 300:1。例如，氮化層是由低壓化學氣相澱積 (LPCVD) 法形成的。其他用以澱積氮化層的技術也是很有用的。通常，襯墊氮化層的厚度大約是 200 nm。

襯墊氮化層之上是形成了硬式蝕刻覆罩層 316。硬式蝕刻覆罩層包括有一種材料是足夠密或足夠硬以承受 RIE 技術在形成深溝渠期間的離子撞擊。硬式蝕刻覆罩層的厚度應該足以防止深溝渠蝕刻曝露出氮化層。此外，蝕刻覆罩應該比襯墊蝕刻停駐層具有更高的潮溼蝕刻速率。通常，其選擇率是大於大約 80。於一實施例中，第一硬式覆罩層包括像 TEOS 之類的未摻雜之矽酸鹽玻璃。像硼摻雜之矽酸鹽玻璃 (BSG) 或可流動的氧化物之類的硬式覆罩材料也是很有用的。

根據本發明，覆罩層是澱積於襯墊堆疊上。將覆罩層

五、發明說明(7)

圖型化而產生阻擋層320，此阻擋層會覆蓋住基片中將要形成深溝渠的陣列區域。阻擋層扮演著蝕刻覆罩的角色以保護陣列中的襯墊堆疊免於受到蝕刻。於一實施例中，覆罩層包括一種阻抗材料。藉著使用曝光源及含有預期圖型的覆罩而選擇性地令阻抗材料曝光以便將阻抗材料圖型化。然後成長阻擋層並取決於使用的是正性或是負性的阻抗材料而去除已曝光或是未曝光部分，結果形成了阻擋覆罩320。

參照第3B圖，部分地去除了未受到阻擋覆罩保護區域內的覆罩層。覆罩層的去除工作是由RIE技術達成的。其他蝕刻技術也是很有用的。未受到保護的區域代表著基片上的場區域。於一實施例中，蝕刻的深度實質上是大約等於構成覆罩層在陣列區域與場區域之間在DT蝕刻之後因兩個區域之間的不同腐蝕速率造成高度差異的量。通常，蝕刻的深度是大約8nm。當然，場蝕刻的實際深度可能會取決於覆罩層在陣列區域與場區域之間腐蝕速率的差異而發生變化。阻擋層是在完成覆罩層的部分場蝕刻之後去除的。

參照第3C圖，利用習知的石版印刷(lithographic)技術將襯墊堆疊圖型化。這種技術包含將光阻層澱積於襯墊堆疊之上並利用曝光源及覆罩進行選擇性的曝光。取決於使用的是正性或是負性的阻抗材料而於顯像期間去除已曝光或是未曝光部分，並於襯墊堆疊上留下不受保護的區域，這些未受保護之區域即為溝渠即將形成之區

五、發明說明(8)

域。

執行像 RIE 之類的蝕刻技術以便在襯墊堆疊中不受阻抗層保護的區域上產生開口。這些開口會曝露出底下的基片。然後以 RIE 技術蝕刻基片以產生 DTs。RIE 技術會腐蝕陣列區域內的襯墊覆蓋。由於場區域內的襯墊覆蓋受到部分蝕刻以便於陣列區域內遮蔽覆蓋層使不致過度腐蝕，實質上在 DT 蝕刻之後於場區域及陣列區域內的襯墊覆蓋頂 (top) 面是呈共面的。

如圖所示，其高度相當小的覆蓋層外耳 360 是在陣列邊緣上突起於襯墊覆蓋之上。這些部位的寬度會取決於場蝕刻阻擋覆蓋的實際形狀。

可供選擇之方式是，形成圍繞於溝渠靠下邊部分的擴散區域以扮演著埋藏式電板的角色。埋藏式電板的形成是利用像提供源極並使用摻雜物由此擴散到基片之內的各種已知技術達成的。然後於溝渠內形成電容的節點介電質。

參照第 3D 圖，澱積一種 poly 370 以填充溝渠。為了確保為完全地填充溝渠須使 poly 過多而導致過量的溝渠 poly 覆蓋於基片表面上。由於 poly 是呈等角的，外耳 360 出現在覆蓋層底下的結果是外耳 375 有出現在 poly 層的表面上。由於外耳 360 的高度是相當小，故外耳 375 的高度也是相當小。

參照第 3E 圖，例如以 CMP 技術磨光過量的 poly。CMP 技術是對覆蓋層選擇性地去除 poly 並使用覆蓋層作為停駐

五、發明說明(9)

層，由於因部分之場蝕刻而避免形成場-陣列拓撲圖形，CMP技術能夠不在陣列邊緣遺留任何殘留的情形下去除poly。

於3F圖中，例如以潮溼蝕刻技術去除了覆罩層。潮溼蝕刻技術是對氮化層和poly具有選擇性。潮溼蝕刻技術導致poly外耳380突起於氮化層表面之上。由於前述CMP程序避免遺留任何殘留物，於整個陣列區域中poly層的高度實質上都是相等的。這有利地排除了向上碰觸(touch up)CMP的需求。去除poly外耳是用來使溝渠內的poly下凹以形成軸環的異向性蝕刻達成的。因此，如第1D圖所示避免了對襯墊氮化層的腐蝕，導致改進了產量。

至此，執行像RIE之類的蝕刻技術以便於溝渠內使下凹而於其內形成介電軸環。在形成軸環之後，以習知技術裝配DRAM的剩餘部分，其方式揭示於Nesbit等人IEDM 93-627中標題為「規格為 $0.6\mu m^2$ 256Mb且具有自動-對準之埋藏式帶環的溝渠電容DRAM單元(A $0.6\mu m^2$ 256 Mb Trench DRAM Cell with self-Aligned Buried Strap (BEST))」的論文中，以下在所有目的下將此論文列為本發明的參考文獻。這包含了例如填充溝渠、形成埋藏式帶環、定義隔離區域以形成STIs、澱積包括該閘極堆疊的各種層膜並將這些層膜圖型化以形成代表字元線的閘極導體、澱積位準介電層、產生接觸開口、並形成位元線。

雖然本發明特別是參照各種實施例而加以顯示和說明

五、發明說明(10)

，然熟悉習用技術的人應該能在不偏離本發明所附申請專利範圍之精神及架構下作各種修正。所以本發明的架構應該不是參照上述說明而是參照本發明所附申請專利範圍完整架構及其等效項目下決定的。

參考符號說明

- 101,301.....基片
- 110.....電晶體
- 112.....閘極
- 113.....擴散區域(源極和汲極)
- 114.....襯墊氮化物
- 116.....襯墊硬式覆罩
- 125.....擴散區域
- 130.....非陣列場區域
- 135.....陣列區域
- 160.....溝渠電容
- 161.....儲存節點
- 162.....平台部分
- 163.....節點介電質
- 165.....埋藏式電板
- 168.....軸環
- 170.....埋藏式位阱
- 173.....p-型位阱
- 180.....淺溝渠絕緣層
- 186.....位元線接觸開口

五、發明說明(11)

- 189.....位準間介電層
- 190.....位元線
- 310.....襯墊堆疊
- 312.....襯墊氧化層
- 314.....襯墊蝕刻停駐層
- 316.....硬式蝕刻覆蓋層
- 320.....阻擋覆蓋層
- 357.....polycide層
- 360,375.....外耳
- 366,370.....多晶矽層
- 368.....氮化層
- 369.....氮化物墊圈
- 380.....多晶矽外耳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

減少襯墊腐蝕之方法

一種不致在陣列區域邊緣上因磨光程序而造成過度蝕刻的情形下形成溝渠電容的改良式技術。藉著提供阻擋覆罩以便保護陣列區域以部分去除用來於場區域內蝕刻出溝渠的一部分硬式覆罩而減少了腐蝕現象。部分蝕刻在反應離子蝕刻時形成深溝渠之後使得陣列區域與場區域內之硬式覆罩的高度均等。

英文發明摘要(發明之名稱: Reduction of Pad Erosion)

Improved technique of forming trench capacitors without causing excessive erosion at the edges of the array region resulting from polishing. The erosion is reduced by providing a block mask to protect the array region while partially removing a portion of the hard mask used to etch the trenches in the field region. The partial etch equalizes the height of the hard mask in the array and field region after formation of the deep trenches by a reactive ion etch.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種於裝配積體電路的程序中減少過度腐蝕之方法，

其特徵為包括：

提供其上形成有襯墊堆疊的基片，此襯墊堆疊包括有位於磨光之停駐層之上的硬式覆罩層，此基片則包含將要形成溝渠電容陣列的第一區域以及在第一區域外側的第二區域；

形成阻擋覆罩以保護第一區域；

於第二區域內部分蝕刻該硬式覆罩層，而第一區域則受到阻擋覆罩的保護；

去除阻擋覆罩；

將襯墊堆疊圖型化以便於第一區域內曝露出基片中將要形成深溝渠陣列的部分；

蝕刻基片以形成深溝渠，其中蝕刻程序在第一區域中對硬式覆罩層的腐蝕速率是高於在第二區域中的腐蝕速率，此蝕刻程序因硬式覆罩層在第二區域中的部分蝕刻而導致硬式覆罩層實質上在第一區域和第二區域中都具有平坦的表面；

於溝渠內填充一種材料以形成溝渠電容的儲存節點；以及

進行磨光以去除過剩材料而露出硬式覆罩層。

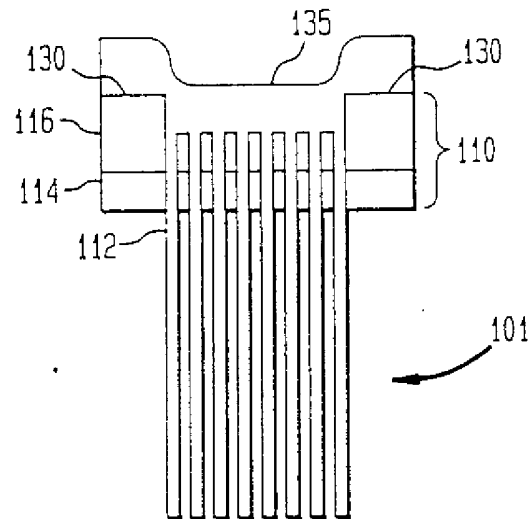
(請先閱讀背面之注意事項再填寫本頁)

裝

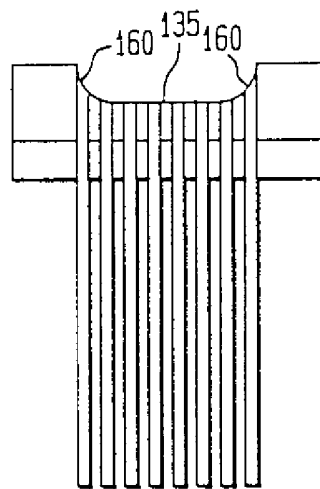
訂

線

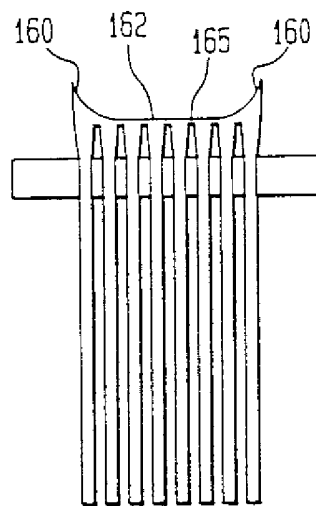
第1A圖



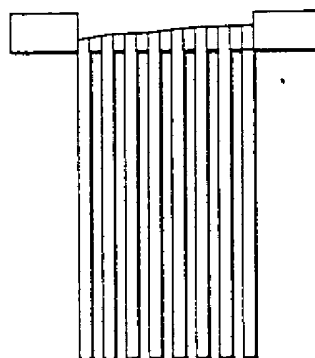
第1B圖



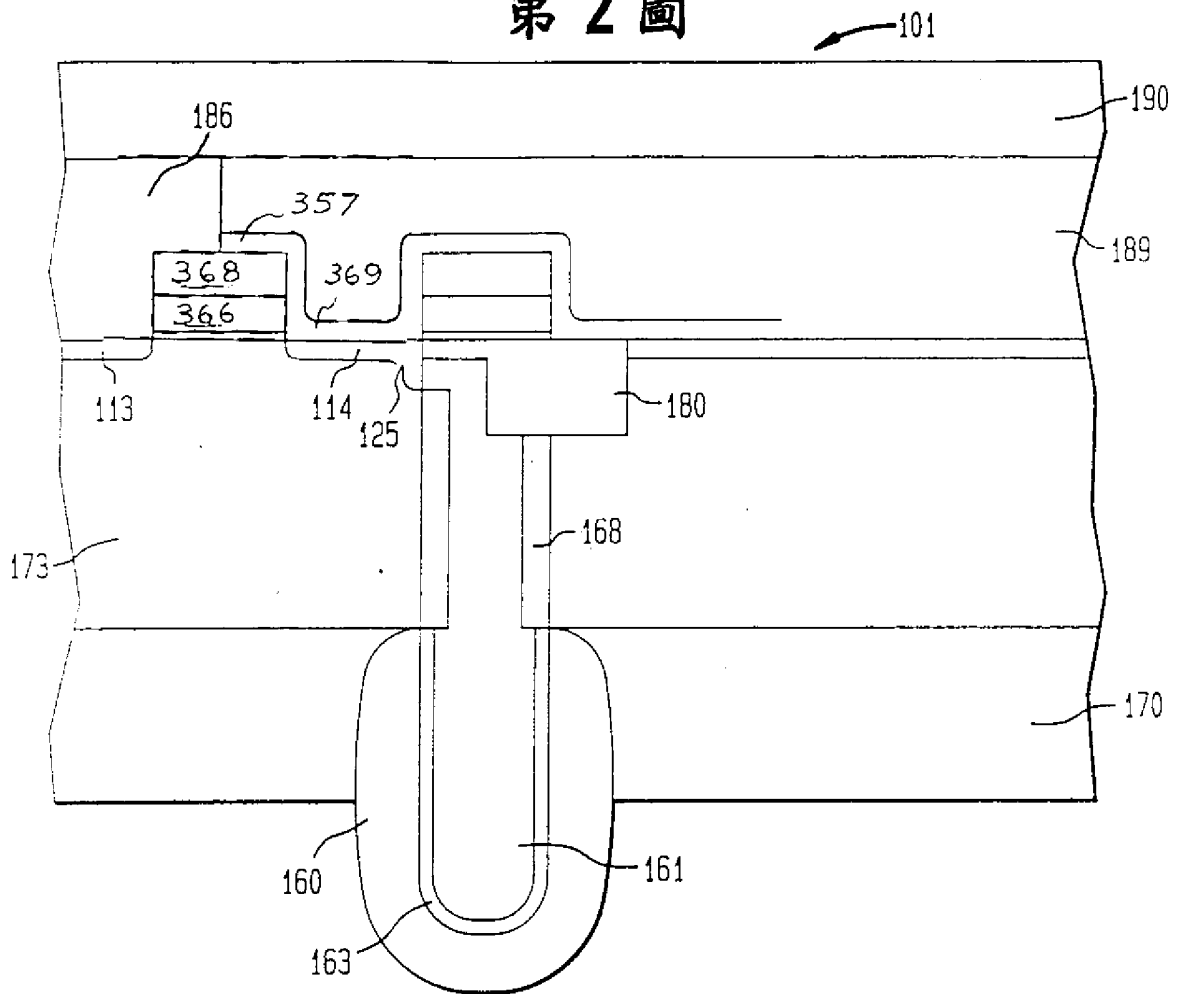
第1C圖



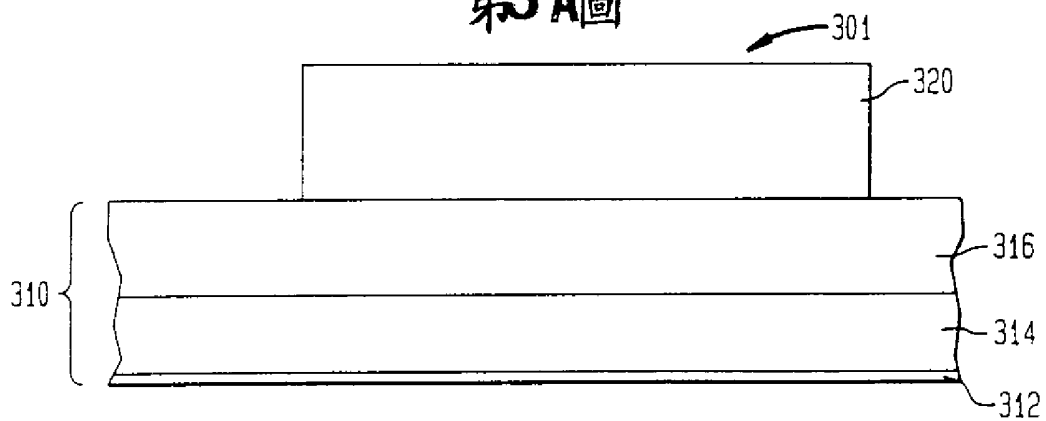
第1D圖



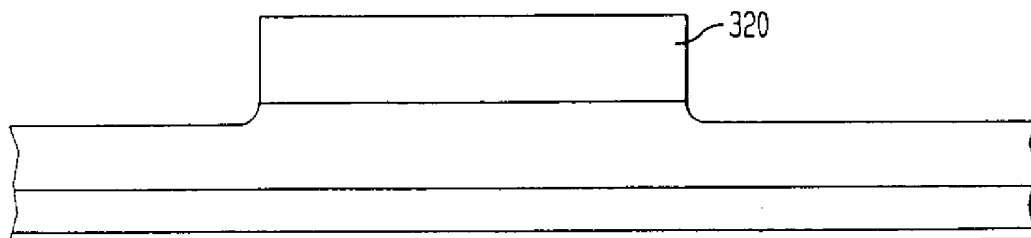
3/5
第 2 圖



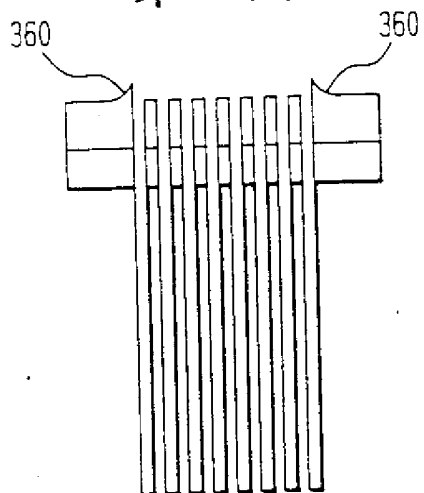
第3A圖



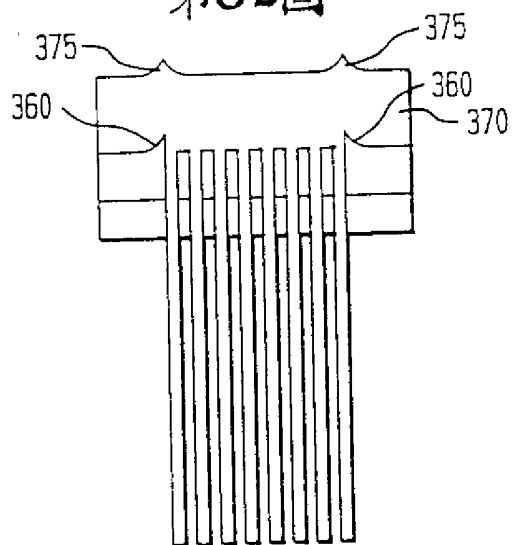
第3B圖



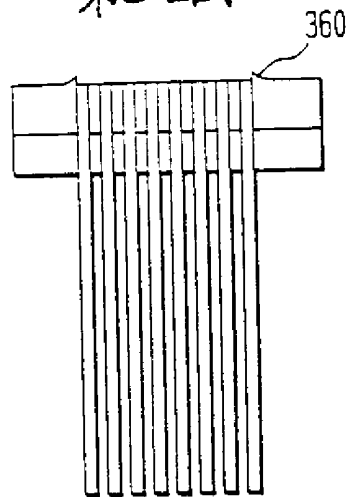
第3C圖



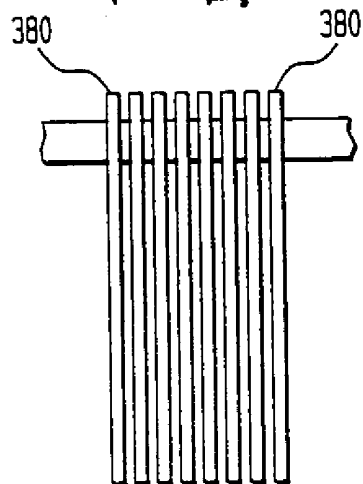
第3D圖



第3E圖



第3F圖



五、發明說明()

發明領域

本發明一般而言係有關半導體的裝配，特別是有關減少襯墊膜腐蝕的方法。

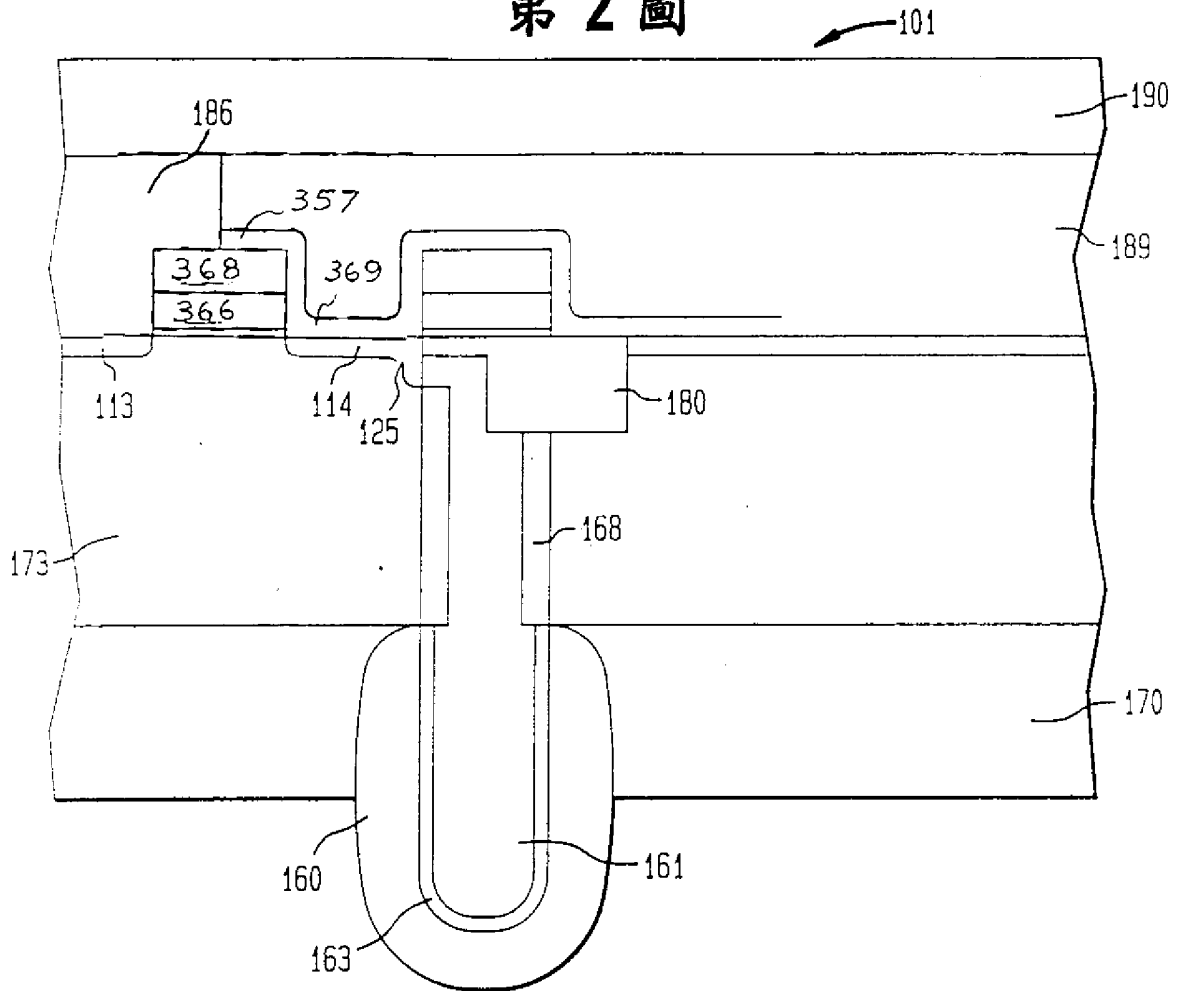
相關技術說明

於積體電路(ICs)或是晶片的裝配技術中，是利用蝕刻達矽基片之內而產生各部位而成。這些部位是用來形成各種裝置。例如，深溝渠扮演著記憶體單元中溝渠電容的角色。通常，在形成隨機存取記憶體(RAM)、積體電路(ICs)或是晶片的程序中，是在基片的陣列區域中蝕刻出深溝渠的陣列。然後由這些溝渠形成溝渠電容。這些溝渠電容是用來產生記憶體單元陣列，而記憶體單元陣列則是由字元線及位元線交錯連接而形成的記憶體IC。

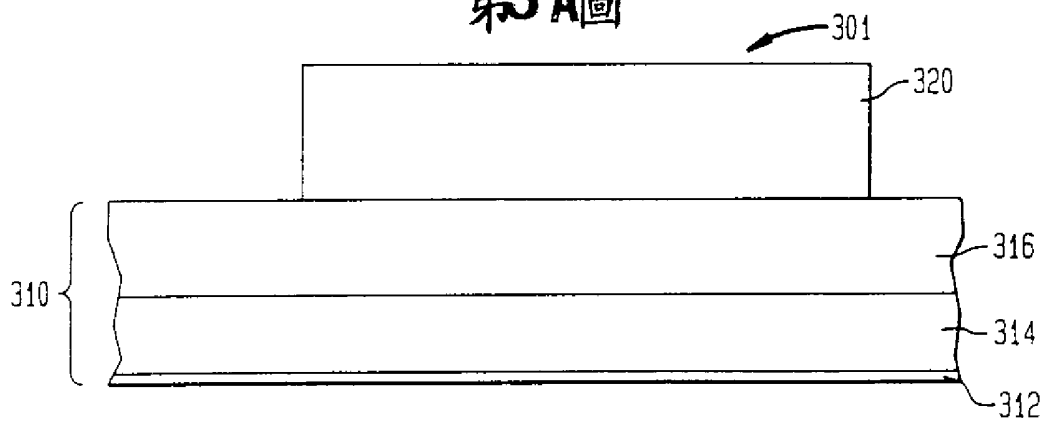
第1a-1d圖顯示的是用以形成溝渠電容陣列的部分程序。如第1圖所示，習知的襯墊堆疊110是形成於基片101的表面上。此襯墊堆疊包含例如襯墊氧化物112、襯墊氮化物114、以及像TEOS之類的襯墊硬式覆罩116等組成的系列層。於襯墊堆疊之上澱積光阻層並將之製作成圖案以便選擇性地於將要形成DTs(深溝渠)的陣列區域內曝露出襯墊堆疊的面積。然後以反應離子蝕刻(RIE)法蝕刻基片。

RIE法在陣列區域135中會比在非陣列場區域130中以更高的速率腐蝕襯墊TEOS層而產生局部地勢圖。也就是說，場和陣列區域之間在高度上存在有一個很大的步階。結果，至少在形成節點介電質之後，會於溝渠內填充以具有高摻雜的多晶矽(poly)150。由於poly是呈等角的

3/5
第 2 圖



第3A圖



第3B圖

