

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4112527号
(P4112527)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)

GO 9 F 9/30 (2006.01)

HO 1 L 29/78 6 1 8 B

HO 1 L 29/78 6 1 2 B

GO 9 F 9/30 3 3 8

請求項の数 6 (全 27 頁)

| | | | |
|--------------|------------------------------|-----------|-------------------------|
| (21) 出願番号 | 特願2004-185758 (P2004-185758) | (73) 特許権者 | 000153878 |
| (22) 出願日 | 平成16年6月24日 (2004. 6. 24) | | 株式会社半導体エネルギー研究所 |
| (65) 公開番号 | 特開2005-51211 (P2005-51211A) | | 神奈川県厚木市長谷 3 9 8 番地 |
| (43) 公開日 | 平成17年2月24日 (2005. 2. 24) | (72) 発明者 | 山崎 舜平 |
| 審査請求日 | 平成19年6月11日 (2007. 6. 11) | | 神奈川県厚木市長谷 3 9 8 番地 株式会社 |
| (31) 優先権主張番号 | 特願2003-273872 (P2003-273872) | | 半導体エネルギー研究所内 |
| (32) 優先日 | 平成15年7月14日 (2003. 7. 14) | | |
| (33) 優先権主張国 | 日本国 (JP) | 審査官 | 綿引 隆 |

早期審査対象出願

前置審査

最終頁に続く

(54) 【発明の名称】 システムオンパネル型の発光装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

複数の逆スタガ型 T F T が設けられたシステムオンパネル型の発光装置の作製方法であって、

複数のゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に、セミアモルファス構造を有する第 1 の半導体膜を、珪化物気体をグロー放電分解し、且つしきい値制御のための第 1 の不純物元素を前記第 1 の半導体膜が I 型に近づくように添加しながら形成し、

前記第 1 の半導体膜上に、第 2 の半導体膜を前記第 1 の不純物元素を添加せずに形成し、

前記第 2 の半導体膜上に、前記第 2 の半導体膜よりも導電性が高く、一導電性を付与する不純物が添加された第 3 の半導体膜を、一導電性を付与する第 2 の不純物元素を添加しながら形成し、

前記第 1 乃至第 3 の半導体膜をエッチングして、複数の島状半導体膜を形成し、
前記複数のゲート電極、前記ゲート絶縁膜、及び前記複数の島状半導体膜を用いて、前記複数の逆スタガ型 T F T を形成し、

前記第 1 乃至第 3 の半導体膜は、大気に触れさせることなく連続的に成膜することにより形成し、

前記第 1 の不純物元素は、前記第 2 の不純物元素と逆の導電性を付与する不純物元素であることを特徴とするシステムオンパネル型の発光装置の作製方法。

【請求項 2】

複数の逆スタガ型 T F T が設けられたシステムオンパネル型の発光装置の作製方法であって、

複数のゲート電極上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、セミアモルファス構造を有する第 1 の半導体膜を、珪化物気体をグロー放電分解し、且つしきい値制御のための第 1 の不純物元素を前記第 1 の半導体膜が I 型に近づくように添加しながら形成し、

前記第 1 の半導体膜上に、アモルファス構造を有する第 2 の半導体膜を前記第 1 の不純物元素を添加せずに形成し、

前記第 2 の半導体膜上に、前記第 2 の半導体膜よりも導電性が高く、一導電性を付与する不純物が添加された第 3 の半導体膜を、一導電性を付与する第 2 の不純物元素を添加しながら形成し、

前記第 1 乃至第 3 の半導体膜をエッチングして、複数の島状半導体膜を形成し、

前記複数のゲート電極、前記ゲート絶縁膜、及び前記複数の島状半導体膜を用いて、前記複数の逆スタガ型 T F T を形成し、

前記第 1 乃至第 3 の半導体膜は、大気に触れさせることなく連続的に成膜することにより形成し、

前記第 1 の不純物元素は、前記第 2 の不純物元素と逆の導電性を付与する不純物元素であることを特徴とするシステムオンパネル型の発光装置の作製方法。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 の不純物元素は、p 型の導電性を付与する不純物元素であり、

前記第 2 の不純物元素は、n 型の導電性を付与する不純物元素であることを特徴とするシステムオンパネル型の発光装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の半導体膜を、水素、ヘリウム、アルゴン、クリプトン及びネオンから選ばれた一種又は複数のガスで希釈した珪化物気体を用いて形成することを特徴とするシステムオンパネル型の発光装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の半導体膜を、炭化物気体又はゲルマニウム化気体を混入させた珪化物気体を用いて形成することを特徴とするシステムオンパネル型の発光装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記システムオンパネル型の発光装置は、同一基板上に設けられた画素部と周辺駆動回路部とを有し、

前記複数の逆スタガ型 T F T は、前記画素部及び前記周辺駆動回路部に配置されていることを特徴とするシステムオンパネル型の発光装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタを駆動回路及び画素部に用いた発光装置に関する。

【背景技術】

【0002】

安価なガラス基板を用いて形成される半導体表示装置は、解像度が高くなるにつれて、実装に用いる画素部周辺の領域（額縁領域）の基板に占める割合が増大し、小型化が妨げられる傾向がある。そのため、単結晶のシリコンウェハを用いて形成された IC をガラス基板に実装する方式には限界があると考えられており、駆動回路を含む集積回路を画素部と同じガラス基板上に一体形成する技術、所謂システムオンパネル化が重要視されている

10

20

30

40

50

。

【 0 0 0 3 】

多結晶半導体膜を用いた薄膜トランジスタ（多結晶 T F T ）は、非晶質半導体膜を用いた T F T に比べて移動度が 2 桁以上高く、半導体表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかし非晶質半導体膜を用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという難点がある。

【 0 0 0 4 】

例えば、多結晶半導体膜の形成に一般的に用いられているレーザアニール法の場合、結晶性を高めるのに必要なエネルギー密度を確保する必要がある。そのため、レーザビームの長軸の長さに限界があり、結晶化の工程におけるスループットを低下させたり、レーザビームのエッジ近傍において結晶性にばらつきが生じたりするため、基板の寸法に制限が生じている。また、レーザ光のエネルギー自体がばらつくことで、半導体膜の結晶性にばらつきが生じ、被処理物への処理を均一に行なうことが難しいという欠点を有している。

【 0 0 0 5 】

しかしながら、非晶質半導体膜でチャネル形成領域を形成した T F T の電界効果移動度は大きくても $0.4 \sim 0.8 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度しか得ることができない。それゆえ、画素部にスイッチング素子として用いることはできるが、画素を選択するための走査線駆動回路や、該選択された画素にビデオ信号を供給するための信号線駆動回路など、高速動作が要求される駆動回路には不向きであると考えられている。

【 0 0 0 6 】

半導体表示装置の中でも特にアクティブマトリクス型の発光装置の場合、ビデオ信号の入力を制御するスイッチング素子として機能するトランジスタと、該発光素子への電流の供給を制御するためのトランジスタとの、少なくとも 2 つのトランジスタが画素内に設けられている。この発光素子への電流の供給を制御するためのトランジスタは、スイッチング素子として用いるトランジスタに比べて、より高いオン電流が得られる方が望ましく、よって発光装置の場合、画素部においてもより T F T の移動度の向上が重要な課題となっている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明は上述した問題に鑑み、T F T の工程を複雑化させることなくシステムオンパネル化を実現し、なおかつコストを抑えることができる発光装置の提案を課題とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明は、非晶質半導体膜の中に結晶粒が分散するように存在しているセミアモルファス半導体膜を用い、薄膜トランジスタ（T F T）を作製し、該 T F T を画素部または駆動回路に用いて発光装置を作製する。セミアモルファス半導体膜を用いた T F T は、その移動度が $2 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜を用いた T F T の $2 \sim 20$ 倍の移動度を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成することができる。

【 0 0 0 9 】

そしてセミアモルファス半導体膜（微結晶半導体膜）は、多結晶半導体膜と異なり、セミアモルファス半導体膜として直接基板上に成膜することができる。具体的には、 SiH_4 を H_2 で流量比 $2 \sim 1000$ 倍、好ましくは $10 \sim 100$ 倍に希釈して、プラズマ C V D 法を用いて成膜することができる。上記方法を用いて作製されたセミアモルファス半導体膜は、 $0.5 \text{ nm} \sim 20 \text{ nm}$ の結晶粒を非晶質半導体中に含む微結晶半導体膜も含んでいる。よって、多結晶半導体膜を用いる場合と異なり、半導体膜の成膜後に結晶化の工程を設ける必要がない。そして、レーザ光を用いた結晶化のように、レーザビームの長軸の長さに限界があるために、基板の寸法に制限が生じるようなことがない。また、T F T の作

製における工程数を削減することができ、その分、発光装置の歩留まりを高め、コストを抑えることができる。

【 0 0 1 0 】

なお本発明では、セミアモルファス半導体膜を少なくともチャネル形成領域に用いていれば良い。またチャネル形成領域は、その膜厚方向において全てセミアモルファス半導体である必要はなく、少なくとも一部にセミアモルファス半導体を含んでいれば良い。

【 0 0 1 1 】

また本明細書において発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的にはOLED (Organic Light Emitting Diode) や、FED (Field Emission Display) に用いられているMIM型の電子源素子 (電子放出素子) 等が含まれる。

10

【 0 0 1 2 】

また発光装置は、発光素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、発光素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、パターンニングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【 0 0 1 3 】

20

発光素子の1つであるOLED (Organic Light Emitting Diode) は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる電界発光材料を含む層 (以下、電界発光層と記す) と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。具体的には、ホール注入層、ホール輸送層、発光層、電子注入層、電子輸送層等が電界発光層に含まれる。電界発光層を構成する層の中に、無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とが含まれる。

【 発明の効果 】

30

【 0 0 1 4 】

本発明は、成膜後における半導体膜の結晶化の工程を削減することができ、TFTの工程を複雑化させることなく、発光装置のシステムオンパネル化を実現することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 1 6 】

40

次に、本発明の発光装置に用いられるTFTの構成について説明する。図1に、駆動回路に用いられるTFTの断面図と、画素部に用いられるTFTの断面図を示す。101は駆動回路に用いられるTFTの断面図に相当し、102は画素部に用いられるTFT断面図に相当し、103は該TFT102によって電流が供給される発光素子の断面図に相当する。TFT101、102は逆スタガ型 (ボトムゲート型) である。なおセミアモルファスTFTはp型よりもn型の方が、移動度が高いので駆動回路に用いるのにより適しているが、本発明ではTFTはn型であってもp型であってもどちらでも良い。いずれの極性のTFTを用いる場合でも、同一の基板上に形成するTFTを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。

【 0 0 1 7 】

50

駆動回路のＴＦＴ１０１は、基板１００上に形成されたゲート電極１１０と、ゲート電極１１０を覆っているゲート絶縁膜１１１と、ゲート絶縁膜１１１を間に挟んでゲート電極１１０と重なっている、セミアモルファス半導体膜で形成された第１の半導体膜１１２とを有している。さらにＴＦＴ１０１は、ソース領域またはドレイン領域として機能する一対の第２の半導体膜１１３と、第１の半導体膜１１２と第２の半導体膜１１３の間に設けられた第３の半導体膜１１４とを有している。

【００１８】

図１では、ゲート絶縁膜１１１が２層の絶縁膜で形成されているが、本発明はこの構成に限定されない。ゲート絶縁膜１１１が単層または３層以上の絶縁膜で形成されていても良い。

10

【００１９】

また第２の半導体膜１１３は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電型を付与する不純物が添加されている。そして一対の第２の半導体膜１１３は、第１の半導体膜１１２のチャンネルが形成される領域を間に挟んで、向かい合っている。

【００２０】

また第３の半導体膜１１４は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、第２の半導体膜１１３と同じ導電型を有し、なおかつ第２の半導体膜１１３よりも導電性が低くなるような特性を有している。第３の半導体膜１１４はＬＤＤ領域として機能するので、ドレイン領域として機能する第２の半導体膜１１３の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第３の半導体膜１１４は必ずしも設ける必要はないが、設けることでＴＦＴの耐圧性を高め、信頼性を向上させることができる。なお、ＴＦＴ１０１がｎ型である場合、第３の半導体膜１１４を形成する際に特にｎ型を付与する不純物を添加せずとも、ｎ型の導電型が得られる。よって、ＴＦＴ１０１がｎ型の場合、必ずしも第３の半導体膜１１４にｎ型の不純物を添加する必要はない。ただし、チャンネルが形成される第１の半導体膜には、ｐ型の導電性を付与する不純物を添加し、極力Ｉ型に近づくようにその導電型を制御しておく。

20

【００２１】

また、一対の第２の半導体膜１１３に接するように、配線１１５が形成されている。

【００２２】

30

駆動回路のＴＦＴ１０２は、基板１００上に形成されたゲート電極１２０と、ゲート電極１２０を覆っているゲート絶縁膜１１１と、ゲート絶縁膜１１１を間に挟んでゲート電極１２０と重なっている、セミアモルファス半導体膜で形成された第１の半導体膜１２２とを有している。さらにＴＦＴ１０２は、ソース領域またはドレイン領域として機能する一対の第２の半導体膜１２３と、第１の半導体膜１２２と第２の半導体膜１２３の間に設けられた第３の半導体膜１２４とを有している。

【００２３】

また第２の半導体膜１２３は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電型を付与する不純物が添加されている。そして一対の第２の半導体膜１２３は、第１の半導体膜１２２のチャンネルが形成される領域を間に挟んで、向かい合っている。

40

【００２４】

また第３の半導体膜１２４は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、第２の半導体膜１２３と同じ導電型を有し、なおかつ第２の半導体膜１２３よりも導電性が低くなるような特性を有している。第３の半導体膜１２４はＬＤＤ領域として機能するので、ドレイン領域として機能する第２の半導体膜１２３の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第３の半導体膜１２４は必ずしも設ける必要はないが、設けることでＴＦＴの耐圧性を高め、信頼性を向上させることができる。なお、ＴＦＴ１０２がｎ型である場合、第３の半導体膜１２４を形成する際に特にｎ型を付与する不純物を添加せずとも、ｎ型の導電型が得られる。よって、ＴＦＴ１０

50

2がn型の場合、必ずしも第3の半導体膜124にn型の不純物を添加する必要はない。ただし、チャンネルが形成される第1の半導体膜には、p型の導電性を付与する不純物を添加し、極力I型に近づくようにその導電性を制御しておく。

【0025】

また、一对の第2の半導体膜123に接するように、配線125が形成されている。

【0026】

また、TF T101、102及び配線115、125を覆うように、絶縁膜からなる第1のパッシベーション膜140、第2のパッシベーション膜141が形成されている。TF T101、102を覆うパッシベーション膜は2層に限らず、単層であっても良いし、3層以上であっても良い。例えば第1のパッシベーション膜140を窒化珪素、第2のパッシベーション膜141を酸化珪素で形成することができる。窒化珪素または窒化酸化珪素でパッシベーション膜を形成することで、TF T101、102が水分や酸素などの影響により、劣化するのを防ぐことができる。

【0027】

そして、配線125の一方は、発光素子103の画素電極130に接続されている。また画素電極130上に接するように、電界発光層131が、該電界発光層131に接するように対向電極132が形成されている。なお発光素子103は陽極と陰極とを有しているが、いずれか一方を画素電極、他方を対向電極として用いる。

【0028】

本発明では、チャンネル形成領域を含んでいる第1の半導体膜が、セミアモルファス半導体で形成されているので、非晶質半導体膜を用いたTF Tに比べて高い移動度のTF Tを得ることができ、よって駆動回路と画素部を同一の基板に形成することができる。

【0029】

次に、本発明の発光装置が有する画素の構成について説明する。図2(A)に、画素の回路図の一形態を、図2(B)に図2(A)に対応する画素の断面構造の一形態を示す。

【0030】

図2(A)、図2(B)において、201は画素へのビデオ信号の入力を制御するためのスイッチング用TF Tに相当し、202は発光素子203への電流の供給を制御するための駆動用TF Tに相当する。具体的には、スイッチング用TF T201を介して画素に入力されたビデオ信号の電位に従って、駆動用TF T202のドレイン電流が制御され、該ドレイン電流が発光素子203に供給される。なお204は、スイッチング用TF T201がオフのときに駆動用TF Tのゲート/ソース間電圧(以下、ゲート電圧とする)を保持するための容量素子に相当し、必ずしも設ける必要はない。

【0031】

具体的には、スイッチング用TF T201は、ゲート電極が走査線Gに接続されており、ソース領域とドレイン領域が、一方は信号線Sに他方は駆動用TF T202のゲートに接続されている。また駆動用TF T202のソース領域とドレイン領域は、一方が電源線Vに、他方が発光素子203の画素電極205に接続されている。容量素子204が有する2つの電極は、一方が駆動用TF T202のゲート電極に、他方が電源線Vに接続されている。

【0032】

なお図2(A)、図2(B)では、スイッチング用TF T201が、直列に接続され、なおかつゲート電極が接続された複数のTF Tが、第1の半導体膜を共有しているような構成を有する、マルチゲート構造となっている。マルチゲート構造とすることで、スイッチング用TF T201のオフ電流を低減させることができる。具体的に図2(A)、図2(B)ではスイッチング用TF T201が2つのTF Tが直列に接続されたような構成を有しているが、3つ以上のTF Tが直列に接続され、なおかつゲート電極が接続されたようなマルチゲート構造であっても良い。また、スイッチング用TF Tは必ずしもマルチゲート構造である必要はなく、ゲート電極とチャンネル形成領域が単数である通常のシングルゲート構造のTF Tであっても良い。

10

20

30

40

50

【 0 0 3 3 】

次に、本発明の発光装置が有する T F T の、図 1、図 2 とは異なる形態について説明する。図 3 に、駆動回路に用いられる T F T の断面図と、画素部に用いられる T F T の断面図を示す。3 0 1 は駆動回路に用いられる T F T の断面図に相当し、3 0 2 は画素部に用いられる T F T と、該 T F T 3 0 2 によって電流が供給される発光素子 3 0 3 の断面図に相当する。

【 0 0 3 4 】

駆動回路の T F T 3 0 1 と画素部の T F T 3 0 2 は、基板 3 0 0 上に形成されたゲート電極 3 1 0、3 2 0 と、ゲート電極 3 1 0、3 2 0 を覆っているゲート絶縁膜 3 1 1 と、ゲート絶縁膜 3 1 1 を間に挟んでゲート電極 3 1 0、3 2 0 と重なっている、セミアモルファス半導体膜で形成された第 1 の半導体膜 3 1 2、3 2 2 とをそれぞれ有している。そして、第 1 の半導体膜 3 1 2、3 2 2 のチャンネル形成領域を覆うように、絶縁膜で形成されたチャンネル保護膜 3 3 0、3 3 1 が形成されている。チャンネル保護膜 3 3 0、3 3 1 は、T F T 3 0 1、3 0 2 の作製工程において、第 1 の半導体膜 3 1 2、3 2 2 のチャンネル形成領域がエッチングされてしまうのを防ぐために設ける。さらに T F T 3 0 1、3 0 2 は、ソース領域またはドレイン領域として機能する一対の第 2 の半導体膜 3 1 3、3 2 3 と、第 1 の半導体膜 3 1 2、3 2 2 と第 2 の半導体膜 3 1 3、3 2 3 の間に設けられた第 3 の半導体膜 3 1 4、3 2 4 とをそれぞれ有している。

【 0 0 3 5 】

図 3 では、ゲート絶縁膜 3 1 1 が 2 層の絶縁膜で形成されているが、本発明はこの構成に限定されない。ゲート絶縁膜 3 1 1 が単層または 3 層以上の絶縁膜で形成されていても良い。

【 0 0 3 6 】

また第 2 の半導体膜 3 1 3、3 2 3 は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電性を付与する不純物が添加されている。そして一対の第 2 の半導体膜 3 1 3、3 2 3 は、第 1 の半導体膜 3 1 2 のチャンネルが形成される領域を間に挟んで、向かい合っている。

【 0 0 3 7 】

また第 3 の半導体膜 3 1 4、3 2 4 は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、第 2 の半導体膜 3 1 3、3 2 3 と同じ導電性を有し、なおかつ第 2 の半導体膜 3 1 3、3 2 3 よりも導電性が低くなるような特性を有している。第 3 の半導体膜 3 1 4、3 2 4 は L D D 領域として機能するので、ドレイン領域として機能する第 2 の半導体膜 3 1 3、3 2 3 の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第 3 の半導体膜 3 1 4、3 2 4 は必ずしも設ける必要はないが、設けることで T F T の耐圧性を高め、信頼性を向上させることができる。なお、T F T 3 0 1、3 0 2 が n 型である場合、第 3 の半導体膜 3 1 4、3 2 4 を形成する際に特に n 型を付与する不純物を添加せずとも、n 型の導電性が得られる。よって、T F T 3 0 1、3 0 2 が n 型の場合、必ずしも第 3 の半導体膜 3 1 4、3 2 4 に n 型の不純物を添加する必要はない。ただし、チャンネルが形成される第 1 の半導体膜には、p 型の導電性を付与する不純物を添加し、極力 I 型に近づくようにその導電性を制御しておく。

【 0 0 3 8 】

また、一対の第 2 の半導体膜 3 1 3、3 2 3 に接するように、配線 3 1 5、3 2 5 が形成されている。

【 0 0 3 9 】

また、T F T 3 0 1、3 0 2 及び配線 3 1 5、3 2 5 を覆うように、絶縁膜からなる第 1 のパッシベーション膜 3 4 0、第 2 のパッシベーション膜 3 4 1 が形成されている。T F T 3 0 1、3 0 2 を覆うパッシベーション膜は 2 層に限らず、単層であっても良いし、3 層以上であっても良い。例えば第 1 のパッシベーション膜 3 4 0 を窒化珪素、第 2 のパッシベーション膜 3 4 1 を酸化珪素で形成することができる。窒化珪素または窒化酸化珪素でパッシベーション膜を形成することで、T F T 3 0 1、3 0 2 が水分や酸素などの影

響により、劣化するのを防ぐことができる。

【 0 0 4 0 】

そして、配線 3 2 5 の一方は、発光素子 3 0 3 の画素電極 3 7 0 に接続されている。また画素電極 3 7 0 上に接するように、電界発光層 3 7 1 が、該電界発光層 3 7 1 に接するように対向電極 3 3 2 が形成されている。なお発光素子 3 0 3 は陽極と陰極とを有しているが、いずれか一方を画素電極、他方を対向電極として用いる。

【 0 0 4 1 】

次に、本発明の発光装置に用いられる素子基板の構成を示す。

【 0 0 4 2 】

図 4 に、信号線駆動回路 6 0 1 3 のみを別途形成し、基板 6 0 1 1 上に形成された画素部 6 0 1 2 と接続している素子基板の形態を示す。画素部 6 0 1 2 及び走査線駆動回路 6 0 1 4 は、セミアモルファス T F T を用いて形成する。セミアモルファス T F T よりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6 0 1 3 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた T F T、または S O I を用いたトランジスタであっても良い。画素部 6 0 1 2 と、信号線駆動回路 6 0 1 3 と、走査線駆動回路 6 0 1 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 1 5 を介して供給される。

【 0 0 4 3 】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【 0 0 4 4 】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に張り合わせる必要はなく、例えば F P C 上に張り合わせるようにしても良い。図 5 (A) に、信号線駆動回路 6 0 2 3 のみを別途形成し、基板 6 0 2 1 上に形成された画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 と接続している素子基板の形態を示す。画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 は、セミアモルファス T F T を用いて形成する。信号線駆動回路 6 0 2 3 は、F P C 6 0 2 5 を介して画素部 6 0 2 2 と接続されている。画素部 6 0 2 2 と、信号線駆動回路 6 0 2 3 と、走査線駆動回路 6 0 2 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 2 5 を介して供給される。

【 0 0 4 5 】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、セミアモルファス T F T を用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図 5 (B) に、信号線駆動回路が有するアナログスイッチ 6 0 3 3 a を、画素部 6 0 3 2、走査線駆動回路 6 0 3 4 と同じ基板 6 0 3 1 上に形成し、信号線駆動回路が有するシフトレジスタ 6 0 3 3 b を別途異なる基板に形成して貼り合わせる素子基板の形態を示す。画素部 6 0 3 2 及び走査線駆動回路 6 0 3 4 は、セミアモルファス T F T を用いて形成する。信号線駆動回路が有するシフトレジスタ 6 0 3 3 b は、F P C 6 0 3 5 を介して画素部 6 0 3 2 と接続されている。画素部 6 0 3 2 と、信号線駆動回路と、走査線駆動回路 6 0 3 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 3 5 を介して供給される。

【 0 0 4 6 】

図 4、図 5 に示すように、本発明の発光装置は、駆動回路の一部または全部を、画素部と同じ基板上に、セミアモルファス T F T を用いて形成することができる。

【 0 0 4 7 】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の C O G 方法やワイヤボンディング方法、或いは T A B 方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図 4、図 5 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を別途形成し、接続するようにしても良い。

【 0 0 4 8 】

10

20

30

40

50

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコード回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【 0 0 4 9 】

図 6 (A) に本発明の発光装置のブロック図を示す。図 6 (A) に示す発光装置は、発光素子を備えた画素を複数有する画素部 7 0 1 と、各画素を選択する走査線駆動回路 7 0 2 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 7 0 3 とを有する。

10

【 0 0 5 0 】

図 6 (A) において信号線駆動回路 7 0 3 は、シフトレジスタ 7 0 4、アナログスイッチ 7 0 5 を有している。シフトレジスタ 7 0 4 には、クロック信号 (C L K)、スタートパルス信号 (S P) が入力されている。クロック信号 (C L K) とスタートパルス信号 (S P) が入力されると、シフトレジスタ 7 0 4 においてタイミング信号が生成され、アナログスイッチ 7 0 5 に入力される。

【 0 0 5 1 】

またアナログスイッチ 7 0 5 には、ビデオ信号 (v i d e o s i g n a l) が与えられている。アナログスイッチ 7 0 5 は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

20

【 0 0 5 2 】

次に、走査線駆動回路 7 0 2 の構成について説明する。走査線駆動回路 7 0 2 は、シフトレジスタ 7 0 6、バッファ 7 0 7 を有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路 7 0 2 において、シフトレジスタ 7 0 6 にクロック信号 (C L K) 及びスタートパルス信号 (S P) が入力されることによって、選択信号が生成される。生成された選択信号はバッファ 7 0 7 において緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲートが接続されている。そして、1 ライン分の画素のトランジスタを一齐に ON にしなくてはならないので、バッファ 7 0 7 は大きな電流を流すことが可能なものが用いられる。

30

【 0 0 5 3 】

フルカラーの発光装置で、R (赤)、G (緑)、B (青) に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ 7 0 4 とアナログスイッチ 7 0 5 とを接続するための端子数が、アナログスイッチ 7 0 5 と画素部 7 0 1 の信号線を接続するための端子数の 1 / 3 程度に相当する。よって、アナログスイッチ 7 0 5 を画素部 7 0 1 と同じ基板上に形成することで、アナログスイッチ 7 0 5 を画素部 7 0 1 と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

【 0 0 5 4 】

図 6 (B) に、図 6 (A) とは異なる、本発明の発光装置のブロック図を示す。図 6 (B) において信号線駆動回路 7 1 3 は、シフトレジスタ 7 1 4、ラッチ A 7 1 5、ラッチ B 7 1 6 を有している。走査線駆動回路 7 1 2 は、図 6 (A) の場合と同じ構成を有しているものとする。

40

【 0 0 5 5 】

シフトレジスタ 7 1 4 には、クロック信号 (C L K)、スタートパルス信号 (S P) が入力されている。クロック信号 (C L K) とスタートパルス信号 (S P) が入力されると、シフトレジスタ 7 1 4 においてタイミング信号が生成され、一段目のラッチ A 7 1 5 に順に入力される。ラッチ A 7 1 5 にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号が順にラッチ A 7 1 5 に書き込まれ、保持される。なお、図 6 (B) ではラッチ A 7 1 5 に順にビデオ信号を書き込んでいると仮定するが、本発明はこの構

50

成に限定されない。複数のステージのラッチ A 7 1 5 をいくつかのグループに分け、各グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【 0 0 5 6 】

ラッチ A 7 1 5 の全てのステージのラッチへの、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 0 5 7 】

1 ライン期間が終了すると、2 段目のラッチ B 7 1 6 にラッチ信号 (L a t c h S i g n a l) が供給され、該ラッチ信号に同期してラッチ A 7 1 5 に保持されているビデオ信号が、ラッチ B 7 1 6 に一斉に書き込まれ、保持される。ビデオ信号をラッチ B 7 1 6 に送出し終えたラッチ A 7 1 5 には、再びシフトレジスタ 7 1 4 からのタイミング信号に同期して、次のビデオ信号の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、ラッチ B 7 1 6 に書き込まれ、保持されているビデオ信号が信号線に入力される。

【 0 0 5 8 】

なお、図 6 (A)、図 6 (B) に示す構成は、本発明の発光装置の一形態を示したに過ぎず、信号線駆動回路と走査線駆動回路の構成はこれに限定されない。

【 0 0 5 9 】

次に、本発明の発光装置の、具体的な作製方法について説明する。

【 0 0 6 0 】

基板 1 0 はガラスや石英などの他に、プラスチック材料を用いることができる。また、ステンレスやアルミニウムなどの金属材料の上に絶縁膜を形成したものをを用いても良い。この基板 1 0 上にゲート電極及びゲート配線 (走査線) を形成するための第 1 導電膜 1 1 を形成する。第 1 導電膜 1 1 にはクロム、モリブデン、チタン、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いる。この第 1 導電膜 1 1 はスパッタリング法や真空蒸着法で形成することができる。(図 7 (A))

【 0 0 6 1 】

第 1 導電膜 1 1 をエッチング加工してゲート電極 1 2、1 3 を形成する。ゲート電極上には第 1 の半導体膜や配線層を形成するので、その端部がテーパ状になるように加工することが望ましい。また第 1 導電膜 1 1 を、アルミニウムを主成分とする材料で形成する場合には、エッチング加工後に陽極酸化処理などをして表面を絶縁化しておくとも良い。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。(図 7 (B))

【 0 0 6 2 】

第 1 絶縁膜 1 4 と第 2 絶縁膜 1 5 は、ゲート電極 1 2、1 3 の上層に形成することでゲート絶縁膜として機能させることができる。この場合、第 1 絶縁膜 1 4 として酸化珪素膜、第 2 絶縁膜 1 5 として窒化珪素膜を形成することが好ましい。これらの絶縁膜はグロー放電分解法やスパッタリング法で形成することができる。特に、低い成膜温度でゲートリーク電流が少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

【 0 0 6 3 】

そして、このような第 1、第 2 絶縁膜上に、第 1 の半導体膜 1 6 を形成する。第 1 の半導体膜 1 6 は、非晶質と結晶構造 (単結晶、多結晶を含む) の中間的な構造の半導体を含む膜で形成する。この半導体は、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を 0 . 5 ~ 2 0 n m として非単結晶半導体中に分散させて存在せしめることが可能である。また、未結合手 (ダングリングボンド) の中和剤として水素またはハロゲンを少なくとも 1 原子 % またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体 (S A S) と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元

10

20

30

40

50

素を含ませて格子歪みをさらに助長させることで安定性が増し良好なSASが得られる。このようなSAS半導体に関する記述は、例えば、米国特許4,409,134号で開示されている。(図7(C))

【0064】

このSASは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。この珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでSASの形成を容易なものとすることができる。希釈率は10倍～1000倍の範囲で珪化物気体を希釈することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行うが、圧力は概略0.1Pa～133Paの範囲で行えば良い。グロー放電を形成するための電力は1MHz～120MHz、好ましくは13MHz～60MHzの高周波電力を供給すれば良い。基板加熱温度は300度以下が好ましく、100～200度の基板加熱温度が推奨される。

【0065】

また、珪化物気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体を混入させて、エネルギーバンド幅を1.5～2.4eV、若しくは0.9～1.1eVに調節しても良い。

【0066】

また、SASは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、TFETのチャネル形成領域を設ける第1の半導体膜に対しては、p型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を1ppm～1000ppmの割合で珪化物気体に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

【0067】

次に、図8(A)に示すように第2の半導体膜17を形成する。第2の半導体膜17は、価電子制御を目的とした不純物元素を意図的に添加しないで形成したものであり、第1の半導体膜16と同様にSASで形成することが好ましい。この第2の半導体膜17は、ソース及びドレインを形成する一導電型を有する第3の半導体膜18と第1の半導体膜16との間に形成することで、バッファ層(緩衝層)的な働きを持っている。従って、弱n型の電気伝導性を持って第1の半導体膜16に対して、同じ導電型で一導電型を有する第3の半導体膜18を形成する場合には必ずしも必要ない。しきい値制御をする目的において、p型を付与する不純物元素を添加する場合には、第2の半導体膜17は段階的に不純物濃度を变化させる効果を持ち、接合形成を良好にする上で好ましい形態となる。すなわち、形成されるTFETにおいては、チャネル形成領域とソースまたはドレイン領域の間に形成される低濃度不純物領域(LDD領域)としての機能を持たせることが可能となる。

【0068】

一導電型を有する第3の半導体膜18はnチャネル型のTFETを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、珪化物気体に PH_3 などの不純物気体を加えれば良い。一導電型を有する第3の半導体膜18は、SASのような半導体、非晶質半導体、または微結晶半導体で形成することができる。

【0069】

以上、第1絶縁膜14から一導電型を有する第3の半導体膜18までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されことなく各積層界面を形成することができるので、TFET特性のばらつきを低減することができる。

【0070】

次に、フォトリジストを用いてマスク19を形成し、第1の半導体膜16、第2の半導

10

20

30

40

50

体膜 17、一導電型を有する第 3 の半導体膜 18 をエッチングして島状に分離形成する。
(図 8 (B))

【0071】

その後、ソース及びドレインに接続する配線を形成するための第 2 導電膜 20 を形成する。第 2 導電膜 20 はアルミニウム、またはアルミニウムを主成分とする導電性材料で形成するが、半導体膜と接する側の層をチタン、タンタル、モリブデン、タングステン、銅またはこれらの元素の窒化物で形成した積層構造としても良い。例えば 1 層目が Ta で 2 層目が W、1 層目が TaN で 2 層目が Al、1 層目が TaN で 2 層目が Cu、1 層目が Ti で 2 層目が Al で 3 層目が Ti といった組み合わせも考えられる。また 1 層目と 2 層目のいずれか一方に AgPdCu 合金を用いても良い。W、Al と Si の合金 (Al - Si)、TiN を順次積層した 3 層構造としてもよい。W の代わりに窒化タングステンをを用いてもよいし、Al と Si の合金 (Al - Si) に代えて Al と Ti の合金膜 (Al - Ti) を用いてもよいし、TiN に代えて Ti を用いてもよい。アルミニウムには耐熱性を向上させるためにチタン、シリコン、スカンジウム、ネオジウム、銅などの元素を 0.5 ~ 5 原子% 添加させても良い。(図 8 (C))

【0072】

次にマスク 21 を形成する。マスク 21 はソースおよびドレインと接続する配線を形成するためにパターン形成されたマスクであり、同時に第 2 の半導体膜 17 及び一導電型を有する第 3 の半導体膜 18 を取り除きチャンネル形成領域、ソース、ドレイン領域及び LDD 領域を形成するためのエッチングマスクとして併用されるものである。アルミニウムまたはこれを主成分とする導電膜のエッチングは BCl_3 、 Cl_2 などの塩化物気体を用いて行えば良い。このエッチング加工で配線 23 ~ 26 を形成する。また、チャンネル形成領域を形成するためのエッチングには SF_6 、 NF_3 、 CF_4 などのフッ化物気体を用いてエッチングを行うが、この場合には下地となる第 1 の半導体膜 16 とのエッチング選択比をとれないので、処理時間を適宜調整して行うこととなる。以上のようにして、チャンネルエッチ型の TFT の構造を形成することができる。(図 9 (A))

【0073】

次に、チャンネル形成領域の保護を目的とした第 3 絶縁膜 27 を、窒化珪素膜で形成する。この窒化珪素膜はスパッタリング法やグロー放電分解法で形成可能であるが、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜であることが要求される。第 3 絶縁膜 27 に窒化珪素膜を用いることで、第 1 の半導体膜 16 中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができる。この目的において、珪素をターゲットとして、窒素とアルゴンなどの希ガス元素を混合させたスパッタガスで高周波スパッタリングされた窒化珪素膜で、膜中の希ガス元素を含ませることにより緻密化が促進されることとなる。また、グロー放電分解法においても、珪化物気体をアルゴンなどの不活性ガスで 100 倍 ~ 500 倍に希釈して形成された窒化珪素膜は、100 度以下の低温においても緻密な膜を形成可能であり好ましい。さらに必要があれば第 4 絶縁膜 28 を酸化珪素膜で積層形成しても良い。第 3 絶縁膜 27 と第 4 絶縁膜 28 はパッシベーション膜に相当する。

【0074】

第 3 絶縁膜 27 および / または第 4 絶縁膜 28 上には、好ましい形態として平坦化膜 29 を形成する。平坦化膜は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成された Si - O 結合と Si - CH_x 結合手を含む絶縁膜で形成することが好ましい。これらの材料は含水性があるので、水分の侵入及び放出を防ぐバリア膜として第 6 絶縁膜 30 を併設することが好ましい。第 6 絶縁膜 30 としは上述のような窒化珪素膜を適用すれば良い。(図 9 (B))

【0075】

画素電極 31 は、第 6 絶縁膜 30、平坦化膜 29、第 3 絶縁膜 27、第 4 絶縁膜 28 にコンタクトホールを形成した後形成する。(図 9 (C))

【0076】

以上のようにして形成されたチャネルエッチ型のTFETは、SASでチャネル形成領域を構成することにより $2 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、このTFETを画素のスイッチング用素子として、さらに走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。

【0077】

このような、画素のスイッチング素子と走査線側の駆動回路を同じTFETで素子基板は、ゲート電極形成用マスク、半導体領域形成用マスク、配線形成用マスク、コンタクトホール形成用マスク、画素電極形成用マスクの合計5枚のマスクで形成することができる。

【0078】

図9（C）では画素のTFETがn型であるので、画素電極31として、陰極を用いるのが望ましいが、逆にp型の場合は陽極を用いるのが望ましい。具体的には、仕事関数が小さい公知の材料、例えば、Ca、Al、CaF、MgAg、AlLi等を用いることができる。

10

【0079】

次に図10（A）に示すように、第6絶縁膜30上に、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成された隔壁33を形成する。隔壁33は開口部を有しており、該開口部において画素電極31が露出している。次に図10（B）に示すように、隔壁33の開口部において画素電極31と接するように、電界発光層34を形成する。電界発光層34は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極を用いた画素電極31上に、電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。

20

【0080】

そして電界発光層34を覆うように、陽極を用いた対向電極35を形成する。対向電極35は、ITO、IZO、ITSOの他、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いることができる。対向電極35として上記透明導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。図10（B）では、対向電極35としITOを用いている。対向電極35は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭淨し、研磨しても良い。またCMP法を用いた研磨後に、対向電極35の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。隔壁33の開口部において、画素電極31と電界発光層34と対向電極35が重なり合うことで、発光素子36が形成されている。

30

【0081】

なお実際には、図10（B）まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0082】

なお、図7～図10は、図1に示した構成を有するTFETの作製方法について示したが、図3に示した構成を有するTFETも同様に作製することができる。ただし、図3に示したTFETの場合は、ゲート電極310、320に重畳させて、SASで形成された第1の半導体膜312、322上にチャネル保護膜330、331を形成する点で、図7～図10と異なっている。

40

【0083】

また、図1と図3では、第3絶縁膜（第1のパッシベーション膜）、第4絶縁膜（第2のパッシベーション膜）にコンタクトホールを形成した後、画素電極を形成し、隔壁を形成したものである。隔壁は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結合手を含む絶縁膜で形成すれば良く、特に感光性の材料を用い、画素電極上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【実施例1】

50

【 0 0 8 4 】

本発明で用いることができるセミアモルファス T F T は、n 型であっても p 型であってもどちらでも良い。ただしセミアモルファス T F T は p 型よりも n 型の方が、移動度が高く、発光装置の画素に用いるのにより適している。本実施例では、駆動用 T F T が n 型の場合を例に挙げて、画素の断面構造について説明する。

【 0 0 8 5 】

図 1 1 (A) に、駆動用 T F T 7 0 0 1 が n 型で、発光素子 7 0 0 2 から発せられる光が陽極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 1 1 (A) では、発光素子 7 0 0 2 の陰極 7 0 0 3 と駆動用 T F T 7 0 0 1 が電氣的に接続されており、陰極 7 0 0 3 上に電界発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして電界発光層 7 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7 0 0 5 は光を透過する透明導電膜を用いて形成し、例えば I T O、I Z O、I T S O の他、酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した透明導電膜を用いても良い。

10

【 0 0 8 6 】

陰極 7 0 0 3 と、電界発光層 7 0 0 4 と、陽極 7 0 0 5 とが重なっている部分が発光素子 7 0 0 2 に相当する。図 1 1 (A) に示した画素の場合、発光素子 7 0 0 2 から発せられる光は、白抜きの矢印で示すように陽極 7 0 0 5 側に抜ける。

20

【 0 0 8 7 】

図 1 1 (B) に、駆動用 T F T 7 0 1 1 が n 型で、発光素子 7 0 1 2 から発せられる光が陰極 7 0 1 3 側に抜ける場合の、画素の断面図を示す。図 1 1 (B) では、駆動用 T F T 7 0 1 1 と電氣的に接続された透明導電膜 7 0 1 7 上に、発光素子 7 0 1 2 の陰極 7 0 1 3 が成膜されており、陰極 7 0 1 3 上に電界発光層 7 0 1 4、陽極 7 0 1 5 が順に積層されている。そして陽極 7 0 1 5 を覆うように、光を反射または遮蔽するための遮蔽膜 7 0 1 6 が成膜されている。陰極 7 0 1 3 は、図 1 1 (A) の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度 (好ましくは、5 n m ~ 3 0 n m 程度) とする。例えば 2 0 n m の膜厚を有する Al を、陰極 7 0 1 3 として用いることができる。そして電界発光層 7 0 1 4 は、図 1 1 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 1 5 は光を透過する必要はないが、図 1 1 (A) と同様に、透明導電膜を用いて形成することができる。そして遮蔽膜 7 0 1 6 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

30

【 0 0 8 8 】

陰極 7 0 1 3 と、電界発光層 7 0 1 4 と、陽極 7 0 1 5 とが重なっている部分が発光素子 7 0 1 2 に相当する。図 1 1 (B) に示した画素の場合、発光素子 7 0 1 2 から発せられる光は、白抜きの矢印で示すように陰極 7 0 1 3 側に抜ける。

40

【 0 0 8 9 】

次に図 1 1 (C) を用いて、駆動用 T F T 7 0 2 1 が n 型で、発光素子 7 0 2 2 から発せられる光が陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方から抜ける場合の、画素の断面図を示す。図 1 1 (C) では、駆動用 T F T 7 0 2 1 と電氣的に接続された透明導電膜 7 0 2 7 上に、発光素子 7 0 2 2 の陰極 7 0 2 3 が成膜されており、陰極 7 0 2 3 上に電界発光層 7 0 2 4、陽極 7 0 2 5 が順に積層されている。陰極 7 0 2 3 は、図 1 1 (A) の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 2 0 n m の膜厚を有する Al を、陰極 7 0 2 3 として用いることができる。そして電界発光層 7 0 2 4 は、図 1 1 (A) と同様に、単

50

数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図11(A)と同様に、光を透過する透明導電膜を用いて形成することができる。

【0090】

陰極7023と、電界発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図11(C)に示した画素の場合、発光素子7022から発せられる光は、白抜きの矢印で示すように陽極7025側と陰極7023側の両方に抜ける。

【0091】

なお本実施例では、駆動用TFTと発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

10

【0092】

なお、図11(A)～図11(C)に示す全ての画素において、発光素子を覆うように保護膜を成膜しても良い。保護膜は水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。

【0093】

また、図11(B)、図11(C)において、陰極側から光を得るためには、陰極の膜厚を薄くする方法の他に、Liを添加することで仕事関数が小さくなったITOを用いる方法もある。

20

【0094】

なお本発明の発光装置は、図11に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【実施例2】

【0095】

本実施例では、本発明の発光装置が有する、セミアモルファスTFTを用いた画素のバリエーションについて説明する。

【0096】

30

図12(A)に、本実施例の画素の一形態を示す。図12(A)に示す画素は、発光素子901と、画素へのビデオ信号の入力を制御するためのスイッチング素子として用いるスイッチング用TFT902と、発光素子901に流れる電流値を制御する駆動用TFT903と、発光素子901への電流の供給の有無を選択するための電流制御用TFT904とを有している。さらに本実施例のように、ビデオ信号の電位を保持するための容量素子905を画素に設けても良い。

【0097】

スイッチング用TFT902、駆動用TFT903及び電流制御用TFT904はn型であってもp型であってもどちらでも良いが、全て同じ極性を有する。そして駆動用TFT903を飽和領域で、電流制御用TFT904を線形領域で動作させる。

40

【0098】

また、駆動用TFT903のLをWより長く、電流制御用TFT904のLをWと同じか、それより短くてもよい。より望ましくは、駆動用TFT903のWに対するLの比が5以上にするとよい。上記構成によって、駆動用TFT903の特性の違いに起因する、画素間における発光素子901の輝度のばらつきをさらに抑えることができる。また、駆動用TFTのチャネル長をL1、チャネル幅をW1、電流制御用TFTのチャネル長をL2、チャネル幅をW2とすると、 $L1/W1 : L2/W2 = X : 1$ のとき、Xは5以上6000以下とするのが望ましい。例えば $X = 6000$ の場合、 $L1/W1 = 500\mu m / 3\mu m$ 、 $L2/W2 = 3\mu m / 100\mu m$ とするのが望ましい。

【0099】

50

スイッチング用 T F T 9 0 2 のゲート電極は、走査線 G に接続されている。スイッチング用 T F T 9 0 2 のソースとドレインは、一方が信号線 S に、もう一方が電流制御用 T F T 9 0 4 のゲート電極に接続されている。駆動用 T F T 9 0 3 のゲート電極は第 2 の電源線 V b に接続されている。そして駆動用 T F T 9 0 3 及び電流制御用 T F T 9 0 4 は、第 1 の電源線 V a から供給される電流が、駆動用 T F T 9 0 3 及び電流制御用 T F T 9 0 4 のドレイン電流として発光素子 9 0 1 に供給されるように、第 1 の電源線 V a 、発光素子 9 0 1 と接続されている。本実施例では、電流制御用 T F T 9 0 4 のソースが第 1 の電源線 V a に接続され、駆動用 T F T 9 0 3 のドレインが発光素子 9 0 1 の画素電極に接続される。

【 0 1 0 0 】

10

なお駆動用 T F T 9 0 3 のソースを第 1 の電源線 V a に接続し、電流制御用 T F T 9 0 4 のドレインを発光素子 9 0 1 の画素電極に接続してもよい。

【 0 1 0 1 】

発光素子 9 0 1 は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図 1 2 (A) のように、陰極が駆動用 T F T 9 0 3 と接続している場合、陰極が画素電極、陽極が対向電極となる。発光素子 9 0 1 の対向電極と、第 1 の電源線 V a のそれぞれには、発光素子 9 0 1 に順バイアス方向の電流が供給されるように、電位差が設けられている。発光素子 9 0 1 の対向電極は、補助電極 W と接続されている。

【 0 1 0 2 】

容量素子 9 0 5 が有する 2 つの電極は、一方は第 1 の電源線 V a に接続されており、もう一方は電流制御用 T F T 9 0 4 のゲート電極に接続されている。容量素子 9 0 5 はスイッチング用 T F T 9 0 2 が非選択状態 (オフ状態) にある時、容量素子 9 0 5 の電極間の電位差を保持するために設けられている。なお図 1 2 (A) では容量素子 9 0 5 を設ける構成を示したが、図 1 2 (A) に示す画素はこの構成に限定されず、容量素子 9 0 5 を設けない構成にしても良い。

20

【 0 1 0 3 】

図 1 2 (A) では駆動用 T F T 9 0 3 および電流制御用 T F T 9 0 4 を n 型とし、駆動用 T F T 9 0 3 のドレインと発光素子 9 0 1 の陰極とを接続した。逆に駆動用 T F T 9 0 3 および電流制御用 T F T 9 0 4 を p 型とするならば、駆動用 T F T 9 0 3 のソースと発光素子 9 0 1 の陽極とを接続する。この場合、発光素子 9 0 1 の陽極が画素電極、陰極が対向電極となる。

30

【 0 1 0 4 】

次に、図 1 2 (B) に、図 1 2 (A) に示した画素に、電流制御用 T F T 9 0 4 を強制的にオフするための T F T (消去用 T F T) 9 0 6 を設けた画素の回路図を示す。なお図 1 2 (B) では、図 1 2 (A) において既に説明した素子については、同じ符号を付して示す。なお第 1 の走査線は第 2 の走査線と区別するために、G a で示し、第 2 の走査線を G b として示す。消去用 T F T 9 0 6 は、ゲート電極が第 2 の走査線 G b に接続されており、ソースとドレインは、一方が電流制御用 T F T 9 0 4 のゲート電極に、他方が第 1 の電源線 V a に接続されている。消去用 T F T 9 0 6 は n 型であっても p 型であってもどちらでも良いが、画素内の他の T F T と同じ極性を有する。

40

【 0 1 0 5 】

次に、図 1 2 (C) に、図 1 2 (A) に示した画素において、駆動用 T F T 9 0 3 のゲート電極を、第 2 の走査線 G b に接続する画素の回路図を示す。なお図 1 2 (C) では、図 1 2 (A) において既に説明した素子については、同じ符号を付して示す。図 1 2 (C) に示すように、駆動用 T F T 9 0 3 のゲート電極に与える電位を切り替えることで、ビデオ信号が有する情報に関わらず、発光素子 9 0 1 の発光を強制的に終了させることができる。

【 0 1 0 6 】

次に、図 1 2 (D) に、図 1 2 (C) に示した画素において、電流制御用 T F T 9 0 4 を強制的にオフするための T F T (消去用 T F T) 9 0 6 を設けた画素の回路図を示す。

50

なお図12(D)では、図12(A)～図12(D)及び図12(C)において既に説明した素子については、同じ符号を付して示す。消去用TFT906は、ゲート電極が第2の走査線Gbに接続されており、ソースとドレインは、一方が電流制御用TFT904のゲート電極に、他方が電源線Vに接続されている。消去用TFT906はn型であってもp型であってもどちらでも良いが、画素内の他のTFTと同じ極性を有する。

【0107】

次に、図12(E)に、電流制御用TFTを設けない画素の構成を示す。図12(E)において、911は発光素子、912はスイッチング用TFT、913は駆動用TFT、915は容量素子、916は消去用TFT916に相当する。スイッチング用TFT912は、ゲート電極が第1の走査線Gaに接続されており、ソースとドレインが、一方は信号線Sに、他方が駆動用TFT913のゲート電極に接続されている。駆動用TFT913は、ソースが電源線Vに、ドレインが発光素子911の画素電極に接続されている。発光素子911の対向電極は補助電極Wに接続されている。消去用TFT916は、ゲート電極が第2の走査線Gbに、ソースとドレインは、一方が駆動用TFT913のゲート電極に、他方が電源線Vに接続されている。

【0108】

なお、本発明の発光装置が有する画素の構成は、本実施例で示した構成に限定されない。

【実施例3】

【0109】

本実施例では、本発明の発光装置が有するセミアモルファスTFTの、一形態について説明する。

【0110】

図13(A)に、本実施例のセミアモルファスTFTの上面図を、図13(B)に、図13(A)のA-A'における断面図を示す。1301は、その一部がゲート電極として機能するゲート配線であり、ゲート絶縁膜を1302間に挟んで、セミアモルファス半導体で形成された第1の半導体膜1303と重なっている。また、第1の半導体膜1303と接するように、LDD領域として機能する第2の半導体膜1304a、1304bが形成されており、第2の半導体膜1304a、1304bに接するように、一導電型を有する第3の半導体膜1305a、1305bが形成されている。また1306、1307は、第3の半導体膜1305a、1305bとそれぞれ接する配線に相当する。

【0111】

図13に示すセミアモルファスTFTにおいて、第3の半導体膜1305aと第3の半導体膜1305bの間隔を一定にすることで、チャネル長を一定に保つことができる。また、第3の半導体膜1305bの端部を第3の半導体膜1305aで囲むようにレイアウトすることで、チャネル形成領域のドレイン領域側において、電界が集中するのを緩和することができる。さらに、チャネル長に対するチャネル幅の比を高くすることができるので、オン電流を高めることができる。

【実施例4】

【0112】

本実施例では、極性が全て同一のセミアモルファスTFTを用いた、シフトレジスタの一形態について説明する。図14(A)に、本実施例のシフトレジスタの構成を示す。図14(A)に示すシフトレジスタは、第1のクロック信号CLK、第2のクロック信号CLKb、スタートパルス信号SPを用いて動作する。1401はパルス出力回路であり、その具体的な構成を、図14(B)に示す。

【0113】

パルス出力回路1401は、TFT801～806と、容量素子807を有する。TFT801は、ゲートがノード2に、ソースがTFT805のゲートに接続されており、ドレインに電位Vddが与えられている。TFT802は、ゲートがTFT806のゲートに、ドレインがTFT805のゲートに接続されており、ソースに電位Vssが与えられ

ている。T F T 8 0 3 は、ゲートがノード 3 に、ソースが T F T 8 0 6 のゲートに接続されており、ドレインに電位 V_{dd} が与えられている。T F T 8 0 4 は、ゲートがノード 2 に、ドレインが T F T 8 0 5 のゲートに接続されており、ソースに電位 V_{ss} が与えられている。T F T 8 0 5 は、ゲートが容量素子 8 0 7 の一方の電極に、ドレインがノード 1 に、ソースが容量素子 8 0 7 の他方の電極及びノード 4 に接続されている。また T F T 8 0 6 は、ゲートが容量素子 8 0 7 の一方の電極に、ドレインがノード 4 に接続されており、ソースに電位 V_{ss} が与えられている。

【 0 1 1 4 】

次に、図 1 4 (B) に示すパルス出力回路 1 4 0 1 の動作について説明する。ただし、C L K、C L K b、S P は、H レベルのとき V_{dd} 、L レベルのとき V_{ss} とし、さらに説明を簡単にするため $V_{ss} = 0$ と仮定する。

10

【 0 1 1 5 】

S P が H レベルになると、T F T 8 0 1 がオンになるため、T F T 8 0 5 のゲートの電位が上昇していく。そして最終的には、T F T 8 0 5 のゲートの電位が $V_{dd} - V_{th}$ (V_{th} は T F T 8 0 1 ~ 8 0 6 のしきい値とする) となったところで、T F T 8 0 1 がオフし、浮遊状態となる。一方、S P が H レベルになると T F T 8 0 4 がオンになるため、T F T 8 0 2、8 0 6 のゲートの電位は下降し、最終的には V_{ss} となり、T F T 8 0 2、8 0 6 はオフになる。T F T 8 0 3 のゲートは、このとき L レベルとなっており、オフしている。

【 0 1 1 6 】

20

次に S P は L レベルとなり、T F T 8 0 1、8 0 4 がオフし、T F T 8 0 5 のゲートの電位が $V_{dd} - V_{th}$ で保持される。ここで、T F T 8 0 5 のゲート/ソース間電圧がそのしきい値 V_{th} を上回っていれば、T F T 8 0 5 がオンする。

【 0 1 1 7 】

次に、ノード 1 に与えられている C L K が L レベルから H レベルに変わると、T F T 8 0 5 がオンしているので、ノード 4、すなわち T F T 8 0 5 のソースの電位が上昇を始める。そして T F T 8 0 5 のゲート/ソース間には容量素子 8 0 7 による容量結合が存在しているため、ノード 4 の電位上昇に伴い、浮遊状態となっている T F T 8 0 5 のゲートの電位が再び上昇する。最終的には、T F T 8 0 5 のゲートの電位は、 $V_{dd} + V_{th}$ よりも高くなり、ノード 4 の電位は V_{dd} に等しくなる。そして、上述の動作を 2 段目以降の

30

パルス出力回路 1 4 0 1 において同様行なわれ、順にパルスが出力される。

【実施例 5】

【 0 1 1 8 】

本実施例では、本発明の発光装置の一形態に相当するパネルの外観について、図 1 5 を用いて説明する。図 1 5 は、第 1 の基板上に形成されたセミアモルファス T F T 及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 1 5 (B) は、図 1 5 (A) の A - A ' における断面図に相当する。

【 0 1 1 9 】

第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むようにして、シール材 4 0 0 5 が設けられている。また画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 の上に第 2 の基板 4 0 0 6 が設けられている。よって画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とは、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、充填材 4 0 0 7 と共に密封されている。また第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路 4 0 0 3 が実装されている。なお本実施例では、多結晶半導体膜を用いた T F T を有する信号線駆動回路を、第 1 の基板 4 0 0 1 に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図 1 5 では、信号線駆動回路 4 0 0 3 に含まれる、多結晶半導体膜で形成された T F T 4 0 0 9 を例示する。

40

【 0 1 2 0 】

50

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、TFTを複数有しており、図15(B)では、画素部4002に含まれるTFT4010とを例示している。なお本実施例では、TFT4010が駆動用TFTであると仮定するが、TFT4010は電流制御用TFTであっても良いし、消去用TFTであっても良い。TFT4010はセミアモルファス半導体を用いたTFTに相当する。

【0121】

また4011は発光素子に相当し、発光素子4011が有する画素電極は、TFT4010のドレインと、配線4017を介して電氣的に接続されている。そして本実施例では、発光素子4011の対向電極と透明導電膜4012が電氣的に接続されている。なお発光素子4011の構成は、本実施の形態に示した構成に限定されない。発光素子4011から取り出す光の方向や、TFT4010の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

【0122】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、図15(B)に示す断面図では図示されていないが、引き回し配線4014及び4015を介して、接続端子4016から供給されている。

【0123】

本実施例では、接続端子4016が、発光素子4011が有する画素電極と同じ導電膜から形成されている。また、引き回し配線4014は、配線4017と同じ導電膜から形成されている。また引き回し配線4015は、TFT4010が有するゲート電極と、同じ導電膜から形成されている。

【0124】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0125】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass - Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0126】

但し、発光素子4011からの光の取り出し方向に位置する基板には、第2の基板は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0127】

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【0128】

なお図15では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施例はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0129】

本実施例は、他の実施例に記載した構成と組み合わせて実施することが可能である。

【実施例6】

【 0 1 3 0 】

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【 0 1 3 1 】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD：Digital Versatile Disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に携帯用電子機器の場合、斜め方向から画面を見る機会が多く、視野角の広さが重要視されるため、発光装置を用いることが望ましい。また本発明では、半導体膜の成膜後に結晶化の工程を設ける必要がないので、比較的パネルの大型化が容易であるため、10～50インチの大型のパネルを用いた電子機器に非常に有用である。それら電子機器の具体例を図16に示す。

10

【 0 1 3 2 】

図16（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置を表示部2003に用いることで、本発明の表示装置が完成する。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

20

【 0 1 3 3 】

図16（B）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置を表示部2203に用いることで、本発明のノート型パーソナルコンピュータが完成する。

【 0 1 3 4 】

図16（C）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の発光装置を表示部A2403、B2404に用いることで、本発明の画像再生装置が完成する。

30

【 0 1 3 5 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

40

【 0 1 3 6 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は、実施例1～4に示したいずれの構成の発光装置を用いても良い。

【図面の簡単な説明】

【 0 1 3 7 】

【図1】本発明の発光装置の断面図。

【図2】本発明の発光装置における画素の回路図及び断面図。

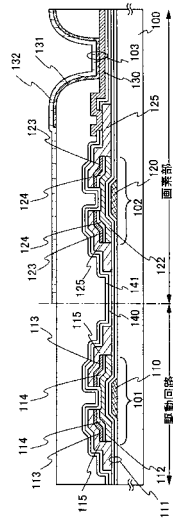
【図3】本発明の発光装置の断面図。

50

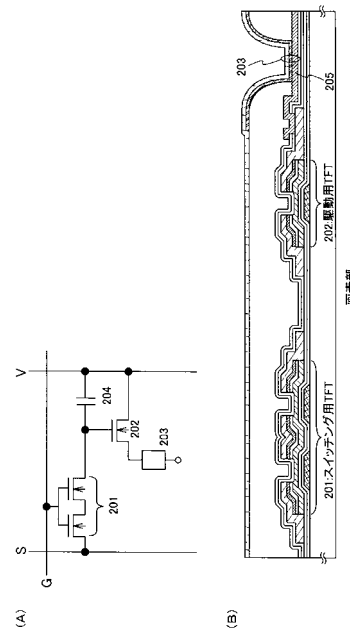
| | |
|---------------------------------------|------------|
| 【図４】本発明の発光装置における、素子基板の一形態を示す図。 | |
| 【図５】本発明の発光装置における、素子基板の一形態を示す図。 | |
| 【図６】本発明の発光装置の構成を示すブロック図。 | |
| 【図７】本発明の発光装置の作製工程を示す図。 | |
| 【図８】本発明の発光装置の作製工程を示す図。 | |
| 【図９】本発明の発光装置の作製工程を示す図。 | |
| 【図１０】本発明の発光装置の作製工程を示す図。 | |
| 【図１１】本発明の発光装置における画素の断面図。 | |
| 【図１２】本発明の発光装置における画素の回路図。 | |
| 【図１３】本発明の発光装置におけるセミアモルファスＴＦＴの一形態を示す図。 | 10 |
| 【図１４】本発明の発光装置に用いられる、シフトレジスタの一形態を示す図。 | |
| 【図１５】本発明の発光装置の上面図及び断面図。 | |
| 【図１６】本発明の発光装置を用いた電子機器の図。 | |
| 【符号の説明】 | |
| 【０１３８】 | |
| １００ | 基板 |
| １０１ | ＴＦＴ |
| １０２ | ＴＦＴ |
| １０３ | 発光素子 |
| １１０ | ゲート電極 |
| １１１ | ゲート絶縁膜 |
| １１２ | 第１の半導体膜 |
| １１３ | 第２の半導体膜 |
| １１４ | 第３の半導体膜 |
| １１５ | 配線 |
| １２０ | ゲート電極 |
| １２２ | 第１の半導体膜 |
| １２３ | 第２の半導体膜 |
| １２４ | 第３の半導体膜 |
| １２５ | 配線 |
| １３０ | 画素電極 |
| １３１ | 電界発光層 |
| １３２ | 対向電極 |
| １４０ | パッシベーション膜 |
| １４１ | パッシベーション膜 |
| ２０１ | スイッチング用ＴＦＴ |
| ２０２ | 駆動用ＴＦＴ |
| ２０３ | 発光素子 |
| ２０４ | 容量素子 |
| ２０５ | 画素電極 |
| ３００ | 基板 |
| ３０１ | ＴＦＴ |
| ３０２ | ＴＦＴ |
| ３０３ | 発光素子 |
| ３１０ | ゲート電極 |
| ３１１ | ゲート絶縁膜 |
| ３１２ | 第１の半導体膜 |
| ３１３ | 第２の半導体膜 |
| ３１４ | 第３の半導体膜 |
| ３１５ | 配線 |

| | | |
|-------|---------------|----|
| 3 2 5 | 配線 | |
| 3 3 2 | 対向電極 | |
| 3 4 0 | パッシベーション膜 | |
| 3 4 1 | パッシベーション膜 | |
| 3 3 0 | チャネル保護膜 | |
| 3 7 0 | 画素電極 | |
| 3 7 1 | 電界発光層 | |
| 7 0 1 | 画素部 | |
| 7 0 2 | 走査線駆動回路 | |
| 7 0 3 | 信号線駆動回路 | 10 |
| 7 0 4 | シフトレジスタ | |
| 7 0 5 | アナログスイッチ | |
| 7 0 6 | シフトレジスタ | |
| 7 0 7 | バッファ | |
| 7 1 2 | 走査線駆動回路 | |
| 7 1 3 | 信号線駆動回路 | |
| 7 1 4 | シフトレジスタ | |
| 7 1 5 | ラッチ A | |
| 7 1 6 | ラッチ B | |
| 8 0 1 | T F T | 20 |
| 8 0 2 | T F T | |
| 8 0 3 | T F T | |
| 8 0 4 | T F T | |
| 8 0 5 | T F T | |
| 8 0 6 | T F T | |
| 8 0 7 | 容量素子 | |
| 9 0 1 | 発光素子 | |
| 9 0 2 | スイッチング用 T F T | |
| 9 0 3 | 駆動用 T F T | |
| 9 0 4 | 電流制御用 T F T | 30 |
| 9 0 5 | 容量素子 | |
| 9 0 6 | 消去用 T F T | |
| 9 1 1 | 発光素子 | |
| 9 1 2 | スイッチング用 T F T | |
| 9 1 3 | 駆動用 T F T | |
| 9 1 6 | 消去用 T F T | |

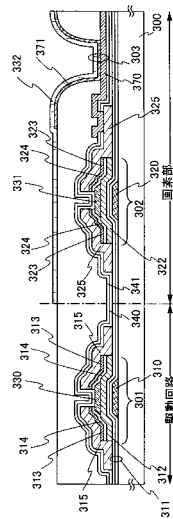
【図 1】



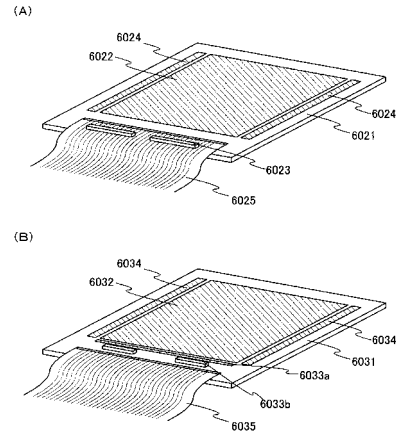
【図 2】



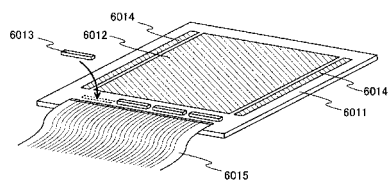
【図 3】



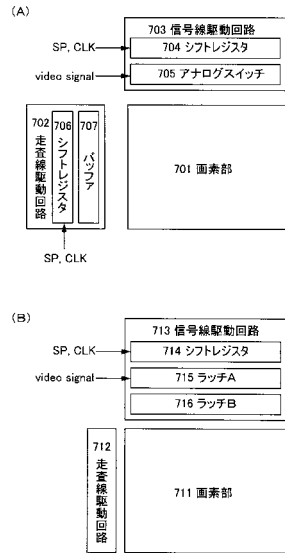
【図 5】



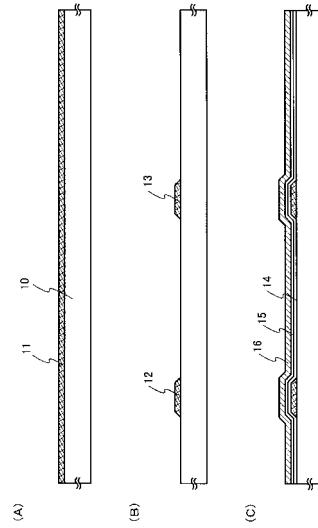
【図 4】



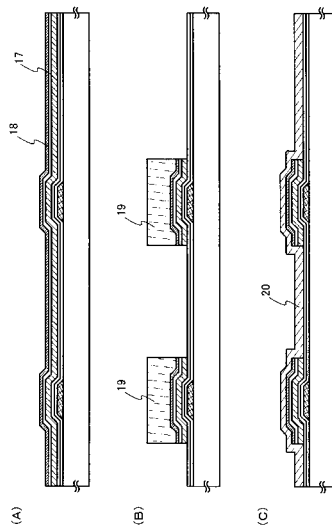
【図 6】



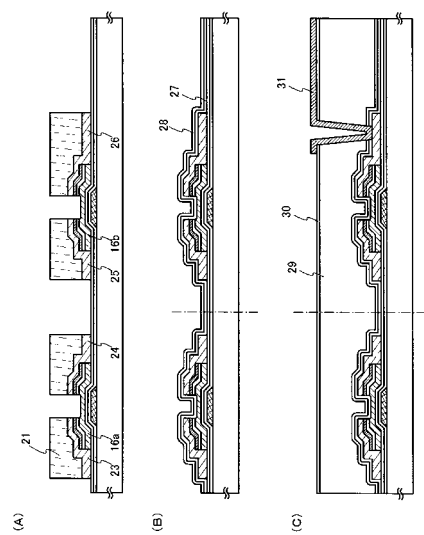
【図 7】



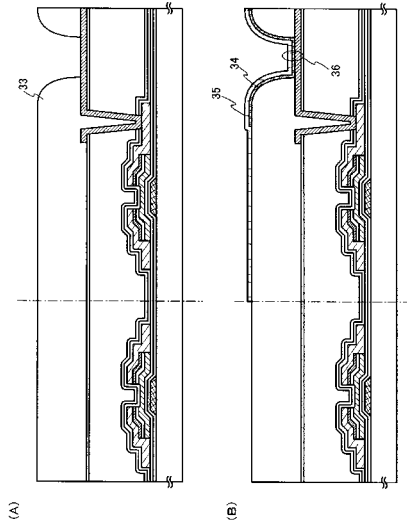
【図 8】



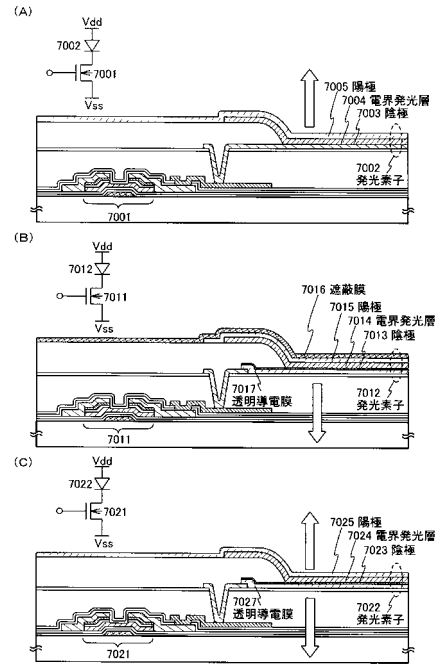
【図 9】



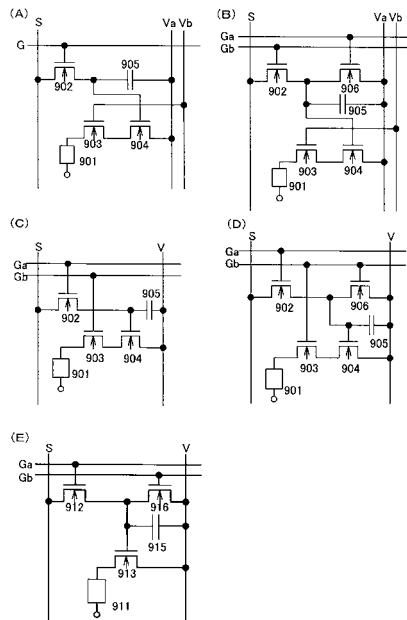
【図 10】



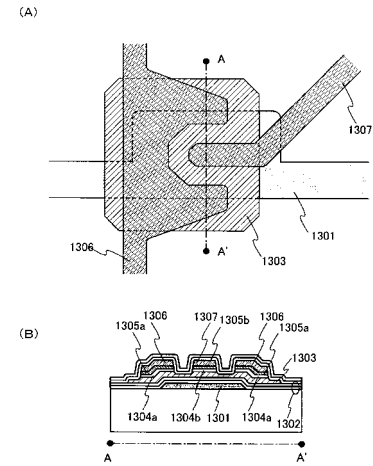
【図 11】



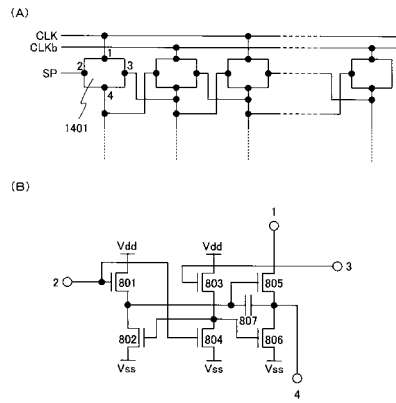
【図 12】



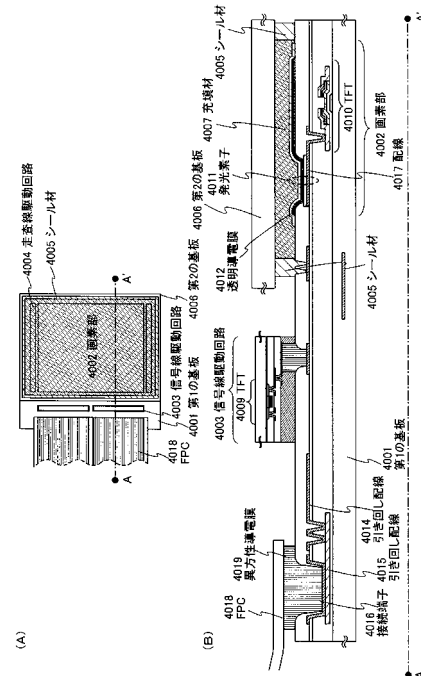
【図 13】



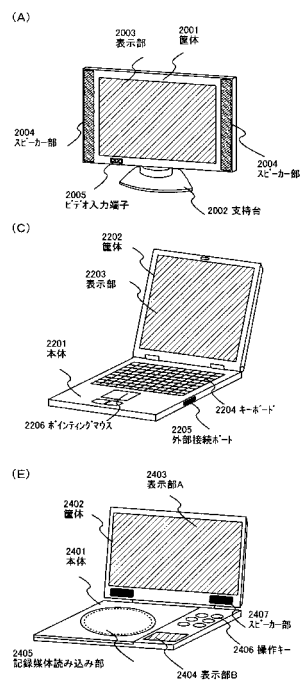
【図 14】



【図 15】



【図 16】



フロントページの続き

(56)参考文献 特開平 1 1 - 0 9 7 7 0 5 (J P , A)
特開平 0 4 - 1 7 7 7 3 6 (J P , A)
特開平 0 3 - 2 3 3 4 3 1 (J P , A)
特開昭 6 1 - 1 0 4 6 7 1 (J P , A)
特開 2 0 0 1 - 2 6 4 8 0 7 (J P , A)
特開平 0 4 - 2 4 2 7 2 5 (J P , A)
特開平 0 3 - 2 2 2 3 7 0 (J P , A)
特開平 0 7 - 1 3 1 0 3 0 (J P , A)
特開平 1 0 - 2 5 6 5 5 4 (J P , A)
特開平 1 1 - 0 9 7 7 0 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

| | |
|---------|-------------|
| G 0 9 F | 9 / 3 0 |
| H 0 1 L | 2 1 / 3 3 6 |
| H 0 1 L | 2 9 / 7 8 6 |