

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年2月3日(2011.2.3)

【公開番号】特開2010-109206(P2010-109206A)

【公開日】平成22年5月13日(2010.5.13)

【年通号数】公開・登録公報2010-019

【出願番号】特願2008-280713(P2008-280713)

【国際特許分類】

H 01 L 25/065 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

G 06 K 19/077 (2006.01)

【F I】

H 01 L 25/08 Z

G 06 K 19/00 K

【手続補正書】

【提出日】平成22年12月9日(2010.12.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

略矩形状の外形形状と、外部接続端子を備える第1の面と、素子搭載部と少なくとも第1の長辺に沿った第1のパッド領域および第2の長辺に沿った第2のパッド領域に配置された接続パッドとを備える第2の面とを有する配線基板と；

長辺に沿って配列された電極パッドを有する複数の第1のメモリ素子を備え、前記複数の第1のメモリ素子は前記長辺が前記配線基板の前記第1のパッド領域の近傍に位置すると共に前記電極パッドが露出するように、前記配線基板の前記素子搭載部上に階段状に積層されている第1の素子群と；

長辺に沿って配列された電極パッドを有する複数の第2のメモリ素子を備え、前記複数の第2のメモリ素子は前記長辺が前記配線基板の前記第2のパッド領域の近傍に位置すると共に前記電極パッドが露出するように、前記第1の素子群上に前記第1の素子群の階段方向とは逆方向に向けて階段状に積層されている第2の素子群と；

前記第2の素子群上に配置され、少なくとも一つの外形辺に沿って配列された電極パッドを有するコントローラ素子と；

前記第1のパッド領域に配置された前記接続パッドと前記複数の第1のメモリ素子の前記電極パッドとを電気的に接続する第1の金属ワイヤと；

前記第2のパッド領域に配置された前記接続パッドと前記複数の第2のメモリ素子の前記電極パッドとを電気的に接続する第2の金属ワイヤと；

前記配線基板の前記接続パッドと前記コントローラ素子の前記電極パッドとを電気的に接続する第3の金属ワイヤと；

前記第1および第2の素子群と前記コントローラ素子とを前記第1ないし第3の金属ワイヤと共に封止するように、前記配線基板の前記第2の面上に形成された封止樹脂層とを具備し、

前記配線基板は前記第1の長辺に設けられた切り欠き部を有し、前記第1のパッド領域は前記第1の長辺の前記切り欠き部を除く部分に沿って設けられており、かつ前記第1の

メモリ素子の前記電極パッドは前記配線基板の前記第1のパッド領域と対応するように偏った配列形状を有し、

前記第2のメモリ素子の前記電極パッドは前記第1のメモリ素子と同一の偏った配列形状を有し、前記第2のメモリ素子は前記第1のメモリ素子とは反転した状態で配置されており、かつ前記配線基板の前記第2のパッド領域は前記第2のメモリ素子の前記電極パッドの配列形状に対応するように配置された前記接続パッドを有し、

前記第2の素子群における最下段の前記第2のメモリ素子はそれ以外の前記第2のメモリより厚い厚さを有し、

前記第1および第2のメモリ素子の角部近傍に位置する前記電極パッドの少なくとも一部は前記配線基板の短辺に沿って設けられたパッド領域に配置された前記接続パッドと電気的に接続されていることを特徴とする半導体メモリカード。

### 【請求項2】

外部接続端子を備える第1の面と、素子搭載部と少なくとも第1の長辺に沿った第1のパッド領域および第2の長辺に沿った第2のパッド領域に配置された接続パッドとを備える第2の面とを有する配線基板と；

長辺に沿って配列された電極パッドを有し、前記長辺が前記配線基板の前記第1のパッド領域の近傍に位置するように、前記配線基板の前記素子搭載部上に配置された第1のメモリ素子と；

長辺に沿って配列された電極パッドを有し、前記長辺が前記配線基板の前記第2のパッド領域の近傍に位置するように、前記第1のメモリ素子上に配置された第2のメモリ素子と；

前記第2のメモリ上に配置され、少なくとも一つの外形辺に沿って配列された電極パッドを有するコントローラ素子と；

前記第1のパッド領域に配置された前記接続パッドと前記第1のメモリ素子の前記電極パッドとを電気的に接続する第1の金属ワイヤと；

前記第2のパッド領域に配置された前記接続パッドと前記第2のメモリ素子の前記電極パッドとを電気的に接続する第2の金属ワイヤと；

前記配線基板の前記接続パッドと前記コントローラ素子の前記電極パッドとを電気的に接続する第3の金属ワイヤと；

前記第1および第2のメモリ素子と前記コントローラ素子とを前記第1ないし第3の金属ワイヤと共に封止するように、前記配線基板の前記第2の面上に形成された封止樹脂層と

を具備することを特徴とする半導体メモリカード。

### 【請求項3】

略矩形状の外形形状と、外部接続端子を備える第1の面と、素子搭載部と少なくとも第1の長辺に沿った第1のパッド領域および第2の長辺に沿った第2のパッド領域に配置された接続パッドとを備える第2の面とを有する配線基板と；

長辺に沿って配列された電極パッドを有する複数の第1のメモリ素子を備え、前記複数の第1のメモリ素子は前記長辺が前記配線基板の前記第1のパッド領域の近傍に位置すると共に前記電極パッドが露出するように、前記配線基板の前記素子搭載部上に階段状に積層されている第1の素子群と；

長辺に沿って配列された電極パッドを有する複数の第2のメモリ素子を備え、前記複数の第2のメモリ素子は前記長辺が前記配線基板の前記第2のパッド領域の近傍に位置すると共に前記電極パッドが露出するように、前記第1の素子群上に前記第1の素子群の階段方向とは逆方向に向けて階段状に積層されている第2の素子群と；

前記第2の素子群上に配置され、少なくとも一つの外形辺に沿って配列された電極パッドを有するコントローラ素子と；

前記第1のパッド領域に配置された前記接続パッドと前記複数の第1のメモリ素子の前記電極パッドとを電気的に接続する第1の金属ワイヤと；

前記第2のパッド領域に配置された前記接続パッドと前記複数の第2のメモリ素子の前

記電極パッドとを電気的に接続する第2の金属ワイヤと；

前記配線基板の前記接続パッドと前記コントローラ素子の前記電極パッドとを電気的に接続する第3の金属ワイヤと；

前記第1および第2の素子群と前記コントローラ素子とを前記第1ないし第3の金属ワイヤと共に封止するように、前記配線基板の前記第2の面上に形成された封止樹脂層とを具備することを特徴とする半導体メモリカード。

**【請求項4】**

請求項3記載の半導体メモリカードにおいて、

前記第2の素子群における最下段の前記第2のメモリ素子はそれ以外の前記第2のメモリより厚い厚さを有することを特徴とする半導体メモリカード。

**【請求項5】**

請求項2ないし請求項4のいずれか1項記載の半導体メモリカードにおいて、

前記配線基板は前記第1の長辺に設けられた切り欠き部を有し、前記第1のパッド領域は前記第1の長辺の前記切り欠き部を除く部分に沿って設けられており、かつ前記第1のメモリ素子の前記電極パッドは前記配線基板の前記第1のパッド領域と対応するように偏った配列形状を有することを特徴とする半導体メモリカード。

**【請求項6】**

請求項5記載の半導体メモリカードにおいて、

前記第2のメモリ素子の前記電極パッドは前記第1のメモリ素子と同一の偏った配列形状を有し、前記第2のメモリ素子は前記第1のメモリ素子とは反転した状態で配置されており、かつ前記配線基板の前記第2のパッド領域は前記第2のメモリ素子の前記電極パッドの配列形状に対応するように配置された前記接続パッドを有することを特徴とする半導体メモリカード。

**【請求項7】**

請求項2ないし請求項6のいずれか1項記載の半導体メモリカードにおいて、

前記第1および第2のメモリ素子の角部近傍に位置する前記電極パッドの少なくとも一部は前記配線基板の短辺に沿って設けられたパッド領域に配置された前記接続パッドと電気的に接続されていることを特徴とする半導体メモリカード。