(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) ｡ Int. Cl. 6
H01L 27/108

(45) 공고일자 2003년02월17일
(11) 등록번호 10 - 0372404
(24) 등록일자 2003년02월04일

(21) 출원번호 10 - 1999 - 0016143
(22) 출원일자 1999년05월06일
(65) 공개번호 특1999 - 0088068
(43) 공개일자 1999년12월27일

(30) 우선권주장 09/074,882 1998년05월08일 미국(US)

(73) 특허권자 지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비델스파허프라쯔 2

(72) 발명자 션,후아
미국12508뉴욕비콘허드슨뷰드라이브1씨
회프너,요아힘
미국12603뉴욕포우킵시에할로우레인5

(74) 대리인 남상선

심사관 : 조지은

(54) 개선된 플러그 도전성을 가진 적층 캐패시터

요약

본 발명은 적층된 캐패시터내의 전극과 플러그 사이의 도전성을 개선시키는 방법에 관한 것이고, 전극과 플러그 사이에는 산화물이 형성된다. 본 발명의 방법은 전극과 플러그 사이의 도전성을 증가시키기 위해 산화물에 이온을 충돌시키는 단계 및 전극 재료와 플러그 재료를 산화물과 혼합하는 단계를 포함한다. 적층된 캐패시터내의 전극 내부에 확산 배리어를 형성하는 방법은 전극에 결합되는 플러그를 가진 적층된 캐패시터를 제공하는 단계 및 전극에 이온을 충돌시켜 도전성을 가진 확산 배리어를 전극 내부에 형성하는 단계를 포함한다. 본 발명에 따른 적층된 캐패시터는 전극, 저장 노드로 액세스하기 위한 플러그 및 전극 내부에 위치하여 전극과 플러그 사이의 도전성을 감소시키는 재료의 확산을 방지하는 배리어층을 포함한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1a는 종래 기술의 반도체 소자상의 적층된 캐패시터의 단면도이다.

도 1b는 종래 기술의 적층된 캐패시터에서 산화물이 형성되는 것을 도시하는 단면도이다.

도 2는 본 발명에 따라 적층된 캐패시터에서 산화물층이 이온 주입되는 것을 도시하는 단면도이다.

도 3은 본 발명에 따라 혼합된, 적층된 캐패시터내 확산 배리어와 전극 사이의 산화물층을 도시하는 단면도이다.

도 4는 본 발명에 따라 혼합된, 적층된 캐패시터내 확산 배리어와 플러그 사이의 산화물층을 도시하는 단면도이다.

도 5는 본 발명에 따라 적층된 캐패시터내 전극상에 형성된 확산 배리어를 도시하는 단면도이다.

도 6은 본 발명에 따라 적층된 캐패시터내 전극 내부에 형성된 확산 배리어를 도시하는 단면도이다.

도면의 주요부분에 대한 부호의 설명

100 : 적층된 캐패시터 102 : 고유전상수층

104 : 전극 106 : 플러그

108 : 유전체층 110 : 확산 배리어

112 : 산화물층 114 : 산화물층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 적층 캐패시터 특히, 적층 캐패시터의 고도전성 플러그에 관한 것이다.

반도체 메모리 셀은 데이터를 저장하기 위해 트랜지스터에 의해 액세스되는 캐패시터를 포함한다. 데이터는 캐패시터의 상태에 따라 하이 또는 로우(high or low) 비트로 저장된다. 캐패시터의 충전 또는 전하 부족은 데이터 판독을 위한 액세스시 하이 또는 로우를 나타내고, 캐패시터는 데이터를 기록하기 위해 충전 또는 방전된다.

적층된 캐패시터는 반도체 메모리에서 사용되는 캐패시터 형태중 하나이다. 적층된 캐패시터는 전형적으로 소자의 기판내에 매립되는 트렌치 캐패시터와 마주하여 캐패시터의 저장 노드를 액세스하는데 사용되는 트랜지스터의 최상부에 위치한다. 많은 전기 소자에서, 적층된 캐패시터의 성능에 고도전성이 바람직하다.

DRAM과 같은 반도체 메모리에서, 고유전상수 캐패시터 형성 공정은 고유전체 재료를 증착하는 단계를 포함한다. 고유전상수 캐패시터의 한 형태에서, 바륨 스트론튬 티타늄 산화물(BSTO)과 같은 고유전상수 재료로 구성된 층이 산화 분위기에서 증착된다.

도 1a와 도 1b를 참조하면, 적층된 캐패시터를 가진 구조물(2)이 도시된다. 적층된 캐패시터(3)는 일반적으로 백금(Pt)인 최상부 전극 또는 저장 노드(4) 및 유전체층(18)에 의해 분리되는 전극(12)으로 구성된 두 개의 전극을 포함한다. 액세스 트랜지스터(5)는 활성화될 때 비트라인 접촉부(8)를 통해 비트라인(7)을 플러그(14)에 접속시키는 게이트(6)를 포함한다. 플러그(14)는 전극(12)내에 전하를 저장하는 확산 배리어(16)를 통해 전극(12)에 접속된다.

통상적인 적층된 캐패시터(10)의 부분도가 도 1b에 도시된다. 적층된 캐패시터(10)는 전극 바람직하게는 백금(Pt)으로 구성된 전극(12)을 포함한다. 전극(12)은 확산 배리어(16)에 의해 플러그(14)로부터 분리된다. 플러그(14)는 바람직하게는 다결정 실리콘(폴리실리콘 또는 폴리)이다. 가공동안, 유전체층(18)은 전극(12)상에 증착된다. 유전체층(18)은 전형적으로 고유전상수를 가진 재료 예를 들면, 바륨 스트론튬 티타늄 산화물(BSTO)이다. 유전체층(18)을 증착하는 동안, 적층된 캐패시터의 성능을 저해하는 산화물층(20, 21)이 형성된다. 확산 배리어(16)는 산화물층(21)의 형성을 방지하는데 사용된다.

만일 이하의 경우라면, 산화물층(20, 21)이 형성된다:

(a) 실리콘이 확산 배리어(16)를 통해 확산되어 산소와 반응함으로써 확산 배리어(16)와 전극(12) 사이에 산화물(20)을 형성하는 경우;

(b) 확산 배리어(16) 재료가 산소와 쉽게 반응하는 경우; 및

(c) 산소가 확산 배리어(16)를 통해 확산하여 플러그(14)와 반응함으로써 확산 배리어(16)와 플러그(14) 사이에 산화물층(21)을 형성하는 경우.

산화물층(20, 21)은 적층된 캐패시터(10)의 커패시턴스를 감소시킨다. 그러므로, 가공과 확산의 결과 형성된 배리어층에 인접하는 산화물층을 제거함으로써 적층된 캐패시터의 커패시턴스를 개선시킬 필요가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 산화물이 형성되는, 적층된 캐패시터내의 전극과 플러그 사이의 도전성을 개선시키는 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 따른 방법은 전극과 플러그 사이의 도전성을 증가시키기 위해 산화물에 이온을 충돌시키는 단계 및 전극과 플러그 재료를 산화물과 혼합하는 단계를 포함한다.

도전성을 개선하기 위한 특히 바람직한 방법에서, 충돌 단계는 이온 주입에 의한 충돌 단계를 포함한다. 충돌 단계는 산화물에 게르마늄 이온을 충돌시키는 단계 또한 포함한다. 충돌 단계는 바람직하게는 이온의 입사각을 조정하여 혼합을 증진시키는 단계를 포함한다. 충돌 단계는 입사 이온의 에너지와 양을 조정하여 혼합을 증진시키는 단계를 더 포함한다. 전극은 바람직하게는 백금을 포함하고, 플러그는 바람직하게는 폴리실리콘을 포함한다.

적층된 캐패시터내의 전극 내부에 확산 배리어를 형성하는 방법은 전극에 결합되는 플러그를 가진 적층된 캐패시터를 제공하는 단계 및 전극에 이온을 충돌시켜 전극 내부에 확산 배리어가 도전성을 가지도록 형성하는 단계를 포함한다.

전극 내부에 확산 배리어를 형성하기 위한 선택적인 방법으로, 충돌 단계는 플라즈마 도핑(PLAD) 또는 플라즈마 이머젼(immersion) 이온 주입(PIII)에 의해 충돌시키는 단계를 포함한다. 충돌 단계는 질소 이온을 충돌시키는 단계를 포함할 수도 있다. 충돌 단계는 입사 이온의 에너지와 양을 조정하여 전극 내부의 확산 배리어의 위치를 제공하는 단계를 포함한다. 전극 상부에 도전층을 증착하는 단계 또한 포함된다. 전극은 백금을 포함한다.

본 발명에 따른 적층된 캐패시터는 전극 및 저장 노드로의 액세스를 위한 플러그를 포함하고, 플러그는 전극 및 전극내에 위치하며 전극과 플러그 사이의 도전성을 감소시키는 재료의 확산을 방지하는 배리어층에 결합된다.

적층된 캐패시터의 선택적인 실시예에서, 확산 배리어는 질소를 포함한다. 확산 배리어는 확산을 방지하고 이를 통한 도전을 허용하는 두께를 가진다. 확산 배리어는 바람직하게는 대략 100 내지 500Å 두께를 가진다. 추가의 확산 배리어는 플러그와 전극 사이에 포함된다. 추가의 확산 배리어는 TaSiN을 포함한다. 전극은 백금을 포함하고, 플러그는 폴리실리콘을 포함한다.

본 발명의 이러한 목적, 다른 목적, 특성 및 장점은 이하의 도면을 참조로 한 상세한 설명을 통해 이해될 것이다.

본 발명은 반도체 소자용 적층 캐패시터 특히, 전하를 캐패시터 전극에 전달하기 위한 고도전성 플러그에 관한 것이다. 본 발명은 산화물층을 도전체층으로 변화시키기 위한 이온 주입 단계 또는 산화물층이 형성되는 것을 방지하기 위해 전극 내부에 확산 배리어를 형성하는 단계를 포함한다. 산화물층을 도전체층으로 변화시키는 것은 이온 주입(Ion Implantation : I/I)을 사용하여 수행된다. 산소 확산 배리어는 플라즈마 도핑(Plasma doping : PLAD) 또는 플라즈마 이머젼 이온 주입(Plasma Immersion Ion Implantation : PIII)을 사용하여 형성된다.

동일 구성요소에 대해 동일 참조부호가 주어진 도면에 대한 특정 상세한 설명을 참조하면, 도 2는 본 발명의 일 특징에 따른 적층된 캐패시터(100)를 도시한다. 플러그(106)가 유전체층(108) 내부에 형성된다. 유전체층(108)은 실리콘 이산화물 재료를 포함한다. 확산 배리어(110)가 플러그(106)의 최상부에 형성된다. 확산 배리어(110)는 바람직하게는 TaN, CoSi, Tin, WSi, TaSiN 또는 등가 재료를 포함한다. 전극(104)이 확산 배리어(110)상에 형성된다. 전극(104)은 바람직하게는 백금으로 형성되지만 이리듐(Ir), 루테늄(Ru) 또는 루테늄 산화물(RuO_2)과 같은 다른 도전체 재료 또한 사용 가능하다. 고유전상수층(102)이 전극(104)상에 증착된다. 고유전상수층(102)은 바람직하게는 BSTO로 구성된다. BSTO는 바람직하게는 고온에서 증착된다. 하지만, 고온이 확산을 증가시키기 때문에, BSTO 증착 온도는 산소와 같은 재료의 확산을 감소시키도록 제한되어야 한다. 하지만, 본 발명에서, 층(102)을 위한 증착 온도는 여기서 설명된 바와 같은 성능을 저하시키지 않고 증가될 수 있다.

층(102)을 증착하는 동안, 산화물층(112) 및/또는 산화물층(114)이 이상에서 설명된 바와 같이 형성된다.

본 발명에 따르면, 이온 주입이 수행되어 산화물층(112 및/또는 114)이 도전성을 가지게 된다. 바람직한 실시예에서, 게르마늄(Ge)이 산화물층(112 및/또는 114)내에 주입된다. 주입에 적합한 다른 원소는 Si, C 및/또는 N을 포함한다. 각 α, 에너지 및 양을 조절함으로써, 산화물층(112 및/또는 114)이 각각의 산화물층에 인접한 재료와 잘 혼합되고, 그 결과 플러그(106)와 전극(104) 사이의 도전성을 증가시킨다. 비록 게르마늄(Ge)이 전기적으로 중성인 원소지만, Ge는 인접한 도전체층(전극/확산 배리어 또는 확산 배리어/플러그)을 전교시켜 플러그(106)와 전극(104) 사이의 도전성을 실질적으로 증가시킨다.

이온 주입은 산화물층(112 및/또는 114)을 대략 30 내지 200keV, 바람직하게는 50 내지 150keV의 에너지와, 대략 1×10^{10} 내지 1×10^{16} 원자/㎠, 바람직하게는 1×10^{14} 내지 1×10^{15} 원자/㎠ 사이의 양을 가진 이온과 충돌시키는 단계를 포함한다. 바람직한 실시예에서, 이온은 대략 30 내지 60° 의 각(α)로 입사된다.

도 3을 참조하면, 산화물층(112) 내부로의 Ge 이온 주입 이후의 적층된 캐패시터(101)가 도시된다. 전극(104)과 확산 배리어(110)로부터 인접한 재료의 원자가 산화물층(112)과 함께 혼합되어 도전체 혼합물을 형성하고 그 결과 전극(104)과 플러그(106) 사이의 도전성을 증가시키도록 혼합된 영역(116)이 형성된다.

도 4를 참조하면, Ge를 산화물층(114) 내부로 이온 주입한 이후의 적층된 캐패시터(103)가 도시된다. 확산 배리어(110)와 플러그(106)로부터 인접한 재료의 원자가 산화물층(114)과 함께 혼합되어 도전체 혼합물을 형성하고, 그 결과 전극(104)과 플러그(106) 사이의 도전성을 증가시키도록 혼합된 영역(118)이 형성된다.

본 발명에 따른 적층된 캐패시터의 선택적인 실시예에서, 확산 배리어는 전극상에 또는 전극내에 형성되어 산소 및/또는 실리콘이 이곳을 통해 확산되는 것을 방지한다. 도 5를 참조하면, 부분적으로 적층된 캐패시터(200)가 도시된다. 적층된 캐패시터(200)는 전극(104)상에 제공되어 형성되는 확산 배리어(202)를 포함한다. 확산 배리어(202)는 그곳을 통해 산소 및 실리콘이 확산되는 것을 방지한다. 배리어(202)는 산소가 유입되는 고유전상수층(102) 증착(도 2 참조) 이전에 형성된다. 배리어(202)는 화학 기상 증착 처리, PIII 또는 PLAD에 의해 전극(104) 표면상에 증착된다. 바람직한 실시예에서, 배리어(202)가 전극(104) 표면상에 형성되어 산소가 전극(104)과 플러그(106) 사이의 영역으로 확산되는 것을 방지하여 전극(104)과 플러그(106) 사이의 도전성을 증가시킨다. 유전체층(102) 증착을 통한 산소의 확산이 배리어(202)에 의해 방지되기 때문에, 배리어(202)는 확산 배리어(110)의 필요성을 방지하는 크기로 설정된다. 선택적으로, 배리어(110)가 유지되지만, 산소 농도가 감소되기 때문에 확산 배리어(110) 재료에 대해 더 많은 선택이 가능하다. 예를 들면, 처리하기 쉽고 더 적은 산소가 확산되도록 방지하는 특성을 가진 재료로 대체될 수 있다. 예를 들면, TiN이 사용된다.

도 6을 참조하면, 배리어(204)가 전극(104) 표면 하부에 형성된다. 예를 들면, 질소와 같은 확산 방지 재료가 PLAD 또는 PIII 처리에 의해 전극 표면(104) 하부로 유입된다. 질소는 대략 50 내지 150Å, 바람직하게는 70 내지 100Å 두께의 얇은 층으로 형성된다. 이러한 방법으로, 질소층은 전극(104)과 플러그(106) 사이의 도전성을 저하시킴없이 확산 배리어와 같은 역할을 한다. 도전체층(102) 증착으로부터 산소가 확산하는 것이 배리어(204)에 의해 방지되기 때문에, 배리어(204)는 확산 배리어(110)(도 2 참조)에 대한 필요성을 방지하도록 위치하고 크기 설정된다. 선택적으로, 배리어(110)는 유지되지만 산소 농도가 감소되기 때문에 확산 배리어(110) 재료에 대한 더 많은 선택이 가능하다. 이러한 방법으로, 더 쉽게 처리되는 재료로 대체 가능하다. 예를 들면, TiN이 사용된다.

PIII 및 PLAD는 500 내지 10eV, 바람직하게는 1 내지 5eV의 에너지를 가진 이온을 대략 1×10^{15} 내지 1×10^{17} 원자/㎠, 바람직하게는 5×10^{15} 내지 5×10^{16} 원자/㎠의 양으로 전극(104)에 충돌시키는 단계를 포함한다. PIII이 등방성 처리이고 3차원 도핑을 포함하기 때문에, α는 관련이 없다. PIII는 대략 5 내지 300mTorr, 바람직하게는 20 내지 100mTorr의 압력에서 수행된다.

(예시를 위한 것이지 제한을 위한 것이 아닌) 개선된 플러그 도전성을 가진 적층된 캐패시터를 바람직한 실시예를 통해 설명되었지만, 당업자라면 이상의 설명을 통해 변조와 변형이 가능하다는 것을 알 수 있을 것이다. 그러므로, 첨부된 청구항에 의한 개요를 가지며 본 발명의 정신과 범위에서 벗어나지 않는 특정 실시예에서 변화가 가능하다는 알 수 있을 것이다. 따라서, 이상에서 특허법에 의거하여 본 발명을 설명하였고, 청구하고 보호받기를 원하는 것이 이하의 청구항을 통해 개시될 것이다.

발명의 효과

본 발명에 따르면, 산화물이 형성되는, 적층된 캐패시터내의 전극과 플러그 사이의 도전성을 개선시키는 방법이 제공된다.

(57) 청구의 범위

청구항 1.

전극과 플러그 사이에 형성된 산화물을 구비하는 적층된 캐패시터에서 상기 전극과 상기 플러그 사이의 도전성을 개선시키는 방법에 있어서,

상기 산화물에 이온을 충돌시키는 단계; 및

상기 전극과 상기 플러그 사이의 상기 도전성을 증가시키도록 상기 전극 및 상기 플러그 재료를 상기 산화물과 혼합하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2.

제 1 항에 있어서, 상기 충돌 단계는 이온 주입에 의한 충돌 단계를 구비하는 것을 특징으로 하는 방법.

청구항 3.

제 1 항에 있어서, 상기 충돌 단계는 상기 산화물에 게르마늄 이온을 충돌시키는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 4.

제 1 항에 있어서, 상기 충돌 단계는 혼합을 개선시키도록 입사 이온의 각을 조정하는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 5.

제 1 항에 있어서, 상기 충돌 단계는 혼합을 개선시키도록 입사 이온의 에너지와 양을 조정하는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 6.

제 1 항에 있어서, 상기 전극은 백금을 함유하는 것을 특징으로 하는 방법.

청구항 7.

제 1 항에 있어서, 상기 플러그는 폴리실리콘을 함유하는 것을 특징으로 하는 방법.

청구항 8.

적층된 캐패시터내의 전극 내부에 확산 배리어를 형성하는 방법에 있어서,

상기 전극에 결합되는 플러그를 구비하는 상기 적층된 캐패시터를 제공하는 단계; 및

상기 전극 내부에 도전성을 가진 상기 확산 배리어를 형성하도록 상기 전극에 이온을 충돌시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 9.

제 8 항에 있어서, 상기 충돌 단계는 플라즈마 도핑에 의한 충돌 단계를 구비하는 것을 특징으로 하는 방법.

청구항 10.

제 8 항에 있어서, 상기 충돌 단계는 플라즈마 이머젼 이온 주입에 의한 충돌 단계를 구비하는 것을 특징으로 하는 방법.

청구항 11.

제 8 항에 있어서, 상기 충돌 단계는 질소 이온을 충돌시키는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 12.

제 8 항에 있어서, 상기 충돌 단계는 상기 전극 내부에 상기 확산 배리어를 위치시키도록 입사 이온의 에너지와 양을 조정하는 것을 특징으로 하는 방법.

청구항 13.

제 8 항에 있어서, 상기 전극 상부에 유전체층을 증착시키는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 14.

제 13 항에 있어서, 상기 유전체층은 바륨 스트론튬 티타늄 산화물을 함유하는 것을 특징으로 하는 방법.

청구항 15.

제 8 항에 있어서, 상기 전극은 백금을 함유하는 것을 특징으로 하는 방법.

청구항 16.

전극;

상기 전극에 결합되며 저장 노드에 전기적으로 액세스하기 위한 플러그; 및

상기 전극과 상기 플러그 사이의 도전성을 감소시키는 재료의 확산을 방지하기 위해 상기 전극 내부에 위치하는 배리어층을 포함하는 것을 특징으로 하는 적층된 캐패시터.

청구항 17.

제 16 항에 있어서, 상기 배리어층은 질소층을 구비하는 것을 특징으로 하는 적층된 캐패시터.

청구항 18.

제 17 항에 있어서, 상기 배리어층은 50 내지 150Å 두께를 가지는 것을 특징으로 하는 적층된 캐패시터.

청구항 19.

제 16 항에 있어서, 상기 배리어층은 상기 확산을 방지하고 도전을 허용하는 두께를 가지는 것을 특징으로 하는 적층된 캐패시터.

청구항 20.

제 16 항에 있어서, 추가의 확산 배리어층이 상기 플러그와 상기 전극 사이에 위치하는 것을 특징으로 하는 적층된 캐패시터.

청구항 21.

제 20 항에 있어서, 상기 추가의 확산 배리어층은 100 내지 500Å 두께를 가지는 것을 특징으로 하는 적층된 캐패시터.

청구항 22.

제 20 항에 있어서, 상기 추가의 확산 배리어층은 TaSiN을 함유하는 것을 특징으로 하는 적층된 캐패시터.

청구항 23.

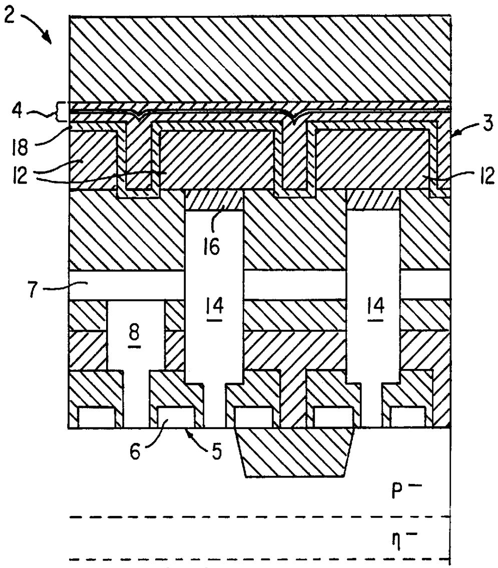
제 16 항에 있어서, 상기 전극은 백금을 함유하는 것을 특징으로 하는 적층된 캐패시터.

청구항 24.

제 16 항에 있어서, 상기 플러그는 폴리실리콘을 함유하는 것을 특징으로 하는 적층된 캐패시터.

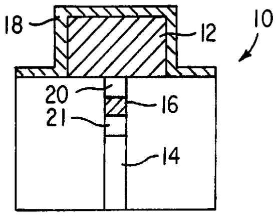
도면

도면 1a



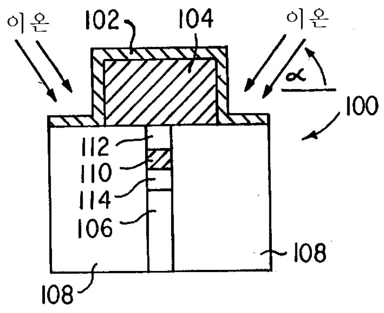
종래도면

도면 1b

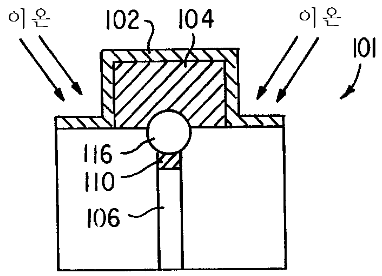


종래도면

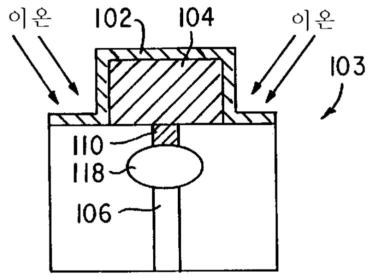
도면 2



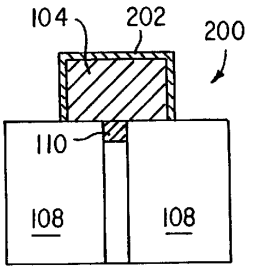
도면 3



도면 4



도면 5



도면 6