

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-27883

(P2010-27883A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	E

審査請求 未請求 請求項の数 8 O L (全 20 頁)

(21) 出願番号	特願2008-188144 (P2008-188144)	(71) 出願人	503121103
(22) 出願日	平成20年7月22日 (2008.7.22)		株式会社ルネサステクノロジ
			東京都千代田区大手町二丁目6番2号
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	有坂 直也
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	伊藤 崇泰
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		Fターム(参考)	5F038 AV08 BE07 BE09 BG06 CA10
			CD02 CD12 CD14 CD15 DF04
			DF05 DF11 EZ07 EZ20

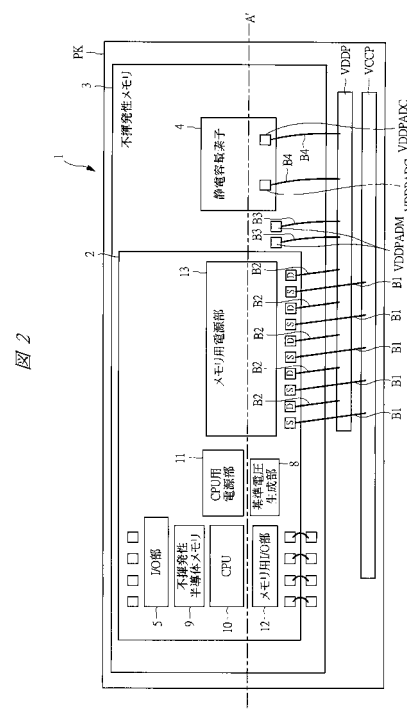
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】レギュレータが生成する電源電圧の電圧降下を大幅に低減し、効率よく高精度に、安定した電源電圧を供給する。

【解決手段】メモリ用電源部13は、複数のトランジスタ、および誤差増幅器からなる。トランジスタのソースパッドS、およびドレインパッドDは、それぞれ交互に一行となるように半導体チップの任意の一辺の周辺部に沿って配列されている。また、トランジスタのゲートは、それぞれ交互に配列されたソースパッドS、およびドレインパッドDと平行するように（ソースパッドS、およびドレインパッドDの配列方向とゲートの長辺方向とが平行となる）形成されている。これにより、ドレイン、ソースと接続される配線の配線距離を短くすることが可能となり、シート抵抗を削減することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

直流の電源電圧を任意の直流電圧に変換するレギュレータを備えた半導体集積回路装置であって、

前記レギュレータは、

複数のトランジスタからなる出力ドライバと、

前記トランジスタのソースに電源電圧を供給する入力電圧パッドと、

前記トランジスタのドレインに接続され、任意の直流電圧を出力する出力電圧パッドとを備え、

前記入力電圧パッド、および前記出力電圧パッドは、

前記レギュレータが形成された半導体チップの任意の一辺に沿って、直線状に配列されて形成され、

前記トランジスタのゲートは、

前記入力電圧パッド、および前記出力電圧パッドの配列と平行するように形成されていることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置において、

前記入力電圧パッドに接続された第 1 の幹線と、

前記第 1 の幹線から延在し、前記トランジスタの第 1 の拡散層に電圧を供給する第 1 の支線と、

前記出力電圧パッドに接続された第 2 の幹線と、

前記第 2 の幹線から延在し、前記トランジスタの第 2 の拡散層から前記出力電圧パッドに電圧を供給する第 2 の支線とを備え、

前記第 1、および前記第 2 の支線は、

前記入力電圧パッド、および前記出力電圧パッドの配列と平行するように形成されていることを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 または 2 記載の半導体集積回路装置において、

前記入力電圧パッドと前記出力電圧パッドとは、交互にレイアウトされて配列されていることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1 または 2 記載の半導体集積回路装置において、

複数の前記入力電圧パッドは、第 1 のグループとして直線状に配列され、

複数の前記出力電圧パッドは、第 2 のグループとして直線状に配列され、

前記第 1 のグループ、および前記第 2 のグループが直線状に配列されてレイアウトされていることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 ～ 4 のいずれか 1 項に記載の半導体集積回路装置において、

複数の前記トランジスタは、

ソース、ドレイン、およびゲートがそれぞれ共通に接続された並列接続された構成よりなることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 ～ 5 のいずれか 1 項に記載の半導体集積回路装置において、

前記半導体集積回路装置は、

少なくとも 2 つの半導体チップを搭載したシステムインパッケージからなり、

前記レギュレータは、

前記レギュレータが備えられていない他の前記半導体チップ、または前記半導体集積回路装置に外部接続された他の半導体チップに対して、変換した任意の直流電圧を供給することを特徴とする半導体集積回路装置。

【請求項 7】

請求項 1～5 のいずれか 1 項に記載の半導体集積回路装置において、
前記レギュレータは、
前記半導体集積回路装置に外部接続された他の半導体チップに対して、変換した任意の
直流電圧を供給することを特徴とする半導体集積回路装置。

【請求項 8】

請求項 1～7 のいずれか 1 項に記載の半導体集積回路装置において、
前記半導体集積回路装置は、
CPU を有したコントローラであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、レギュレータによる電源生成技術に関し、特に、システムインパッケージに
おける電源電圧の供給に有効な技術に関する。

【背景技術】

【0002】

半導体集積回路装置においては、たとえば、複数の半導体チップを 1 つのパッケージに
搭載した構成からなるシステムインパッケージ（SIP）が知られている。

【0003】

このシステムインパッケージの半導体集積回路装置には、マイクロコンピュータなどの
システム LSI と大容量の不揮発性メモリとが搭載されたものがあり、この場合、該不揮
発性メモリを駆動するために、オンチップ化されたレギュレータが搭載されているものが
知られている。

20

【0004】

近年、電子システムなどの低消費電力化に伴って半導体集積回路装置の動作電圧も低電
圧化しており、該半導体集積回路装置に供給される電源電圧 VCC と不揮発性メモリの動
作電圧とが非常に近くなっているものがあり、レギュレータが不揮発性メモリに供給する
電源の電圧降下を抑えることが重要となっている。

【0005】

この場合、電圧降下を抑えるための技術としては、たとえば、レギュレータの配線を多
層化することにより、配線のシート抵抗を低減するものが知られている。

30

【0006】

また、この種のレギュレータを搭載した半導体集積回路装置については、たとえば、ス
イッチングレギュレータとシリーズレギュレータレイアウトを半導体チップの対角線上に
配置することにより、スイッチングレギュレータが発生する高周波ノイズの影響を抑制す
るレイアウト技術が知られている（たとえば、特許文献 1 参照）。

【特許文献 1】特開 2004-193475 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところが、上記のようなレギュレータから供給される電源電圧の電圧降下を防止する技
術では、次のような問題点があることが本発明者により見い出された。

40

【0008】

近年、不揮発性メモリの大容量化などに伴い、該不揮発性メモリに大電流が必要となっ
ている。そのため、配線の多層化にも限界があり、前述したように、該半導体集積回路装
置に供給される電源電圧 VCC と不揮発性メモリの動作電圧とが非常に近い場合、少しの
電圧降下であっても安定した動作電圧が確保できない恐れが生じてしまうことになる。

【0009】

本発明の目的は、レギュレータが生成する電源電圧の電圧降下を大幅に低減し、効率よ
く高精度に、安定した電源電圧を供給することのできる技術を提供することにある。

【0010】

50

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

本発明は、直流の電源電圧を任意の直流電圧に変換するレギュレータを備えた半導体集積回路装置であって、該レギュレータは、複数のトランジスタからなる出力ドライバと、該トランジスタのソースに電源電圧を供給する入力電圧パッドと、トランジスタのドレインに接続され、任意の直流電圧を出力する出力電圧パッドとを備え、入力電圧パッド、および出力電圧パッドは、レギュレータが形成された半導体チップの任意の一辺に沿って、直線状に配列されて形成され、トランジスタのゲートは、入力電圧パッド、および出力電圧パッドの配列と平行するように形成されているものである。

【0013】

また、本願のその他の発明の概要を簡単に示す。

【0014】

本発明は、前記入力電圧パッドに接続された第1の幹線と、該第1の幹線から延在し、トランジスタの第1の拡散層に電圧を供給する第1の支線と、出力電圧パッドに接続された第2の幹線と、該第2の幹線から延在し、トランジスタの第2の拡散層から出力電圧パッドに電圧を供給する第2の支線とを備え、第1、および第2の支線は、入力電圧パッド、および出力電圧パッドの配列と平行するように形成されているものである。

【0015】

また、本発明は、前記入力電圧パッドと前記出力電圧パッドとが交互にレイアウトされて配列されているものである。

【0016】

さらに、複数の入力電圧パッドは、第1のグループとして直線状に配列され、複数の出力電圧パッドは、第2のグループとして直線状に配列され、該第1、および第2のグループが直線状に配列されてレイアウトされているものである。

【0017】

また、本発明は、複数の前記トランジスタが、ソース、ドレイン、およびゲートがそれぞれ共通に接続された並列接続された構成よりなるものである。

【0018】

さらに、本発明は、前記半導体集積回路装置が、少なくとも2つの半導体チップを搭載したシステムインパッケージからなり、レギュレータは、該レギュレータが備えられていない他の半導体チップ、または半導体集積回路装置に外部接続された他の半導体チップに対して、変換した任意の直流電圧を供給するものである。

【0019】

また、本発明は、前記レギュレータが、半導体集積回路装置に外部接続された他の半導体チップに対して、変換した任意の直流電圧を供給するものである。

【0020】

さらに、本発明は、前記半導体集積回路装置が、CPU (Central Processing Unit) を有したコントローラよりなるものである。

【発明の効果】

【0021】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0022】

(1) 高精度で電圧低下の少ない直流電源を供給することができる。

【0023】

10

20

30

40

50

(2) また、半導体集積回路装置の信頼性を向上し、高性能化を実現することができる。

【0024】

(3) さらに、レギュレータの小面積化を実現することができ、半導体集積回路装置を小型化することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0026】

(実施の形態1)

図1は、本発明の実施の形態1による半導体集積回路装置の構成例を示すブロック図、図2は、図1の半導体集積回路装置における実装レイアウトの一例を示す説明図、図3は、図2のA-A'断面図、図4は、図1の半導体集積回路装置に設けられたメモリ用電源部におけるソースパッドとドレインパッドとの配列パターン、および接続構成の一例を示す説明図、図5は、図4のメモリ用電源部におけるトランジスタのレイアウトパターンの一例を示す説明図、図6は、図5のA-A'断面図、図7は、図5のB-B'断面図、図8は、図4のメモリ用電源部におけるドレイン配線とソース配線とのレイアウト例を示す説明図、図9は、本発明者が検討したメモリ用電源部におけるドレイン配線とソース配線とのレイアウト例を示す説明図である。

【0027】

本実施の形態1において、半導体集積回路装置1は、複数の半導体チップを1つのパッケージに搭載したシステムインパッケージからなる。半導体集積回路装置1は、図1に示すように、マイクロコンピュータ2、不揮発性メモリ3、および静電容量素子4から構成されており、マイクロコンピュータ2、および不揮発性メモリ3は、1つの半導体チップにそれぞれ形成されている。

【0028】

マイクロコンピュータ2は、I/O部5、レベルシフタ6、7、基準電圧生成部8、不揮発性半導体メモリ9、CPU10、CPU用電源部11、メモリ用I/O部12、メモリ用電源部13から構成されている。

【0029】

外部供給される電源電圧VCCは、電源パッドVCCPADを介して、I/O部5、レベルシフタ6、不揮発性半導体メモリ9、CPU用電源部11、メモリ用電源部13にそれぞれ供給されるように接続されている。

【0030】

I/O部5は、半導体集積回路装置1に外部接続されるデバイスとのインタフェースである。レベルシフタ6は、マイクロコンピュータ2の内部論理回路から出力される電源電圧VDD1振幅の信号を、電源電圧VCC振幅の信号に変換する。

【0031】

基準電圧生成部8は、CPU用電源部11が電源電圧VDD1を生成する際、およびメモリ用電源部13が電源電圧VDD2を生成する際にそれぞれ用いる基準電圧VREFを生成する。不揮発性半導体メモリ9は、たとえば、EEPROM (Electrically Erasable and Programmable Read Only Memory) などからなり、各種データやプログラムなどが格納されている。

【0032】

CPU10は、マイクロコンピュータ2のすべての制御を司る。CPU用電源部11は、たとえば、レギュレータからなり、外部供給された電源電圧VCCから電源電圧VDD1を生成し、レベルシフタ6、7、不揮発性半導体メモリ9、CPU10、ならびにメモリ用I/O部12などに供給する。

【0033】

メモリ用I/O部12は、マイクロコンピュータ2に外部接続された不揮発性メモリ3とのインタフェースである。レベルシフタ7は、電源電圧VDD1振幅の信号を、電源電圧VDD2振幅の信号に変換する。メモリ用電源部13は、たとえば、レギュレータからなり、外部供給された電源電圧VCCから電源電圧VDD2を生成し、不揮発性メモリ3、レベルシフタ7に供給する。

【0034】

この場合、不揮発性メモリ3には、メモリ用電源部13が生成した電源電圧VDD2が電源パッドVDDPADを介して供給される。この電源パッドVDDPADには、電源安定化容量となる静電容量素子4が接続されている。

10

【0035】

図2は、半導体集積回路装置1における実装レイアウトの一例を示す説明図であり、図3は、図2のA-A'断面図である。

【0036】

図2に示すように、パッケージ基板PK上に、不揮発性メモリ3の半導体チップが搭載されており、該不揮発性メモリ3の半導体チップの上部には、左側から右側にかけて、マイクロコンピュータ2の半導体チップ、および静電容量素子4がそれぞれ搭載された積層構造となっている。

【0037】

不揮発性メモリ3の半導体チップの下方には、電源配線VDDP、および電源配線VCCPがそれぞれパッケージ基板PKに形成されている。電源配線VDDPは、不揮発性メモリ3に電源電圧VDD2を供給する配線であり、電源配線VCCPは、電源電圧VCCをマイクロコンピュータ2に供給する配線である。

20

【0038】

また、マイクロコンピュータ2の半導体チップにおいて、左側上方から下方にかけて、I/O部5、不揮発性半導体メモリ9、CPU10、およびメモリ用I/O部12がそれぞれレイアウトされており、これらの右側には、上方から下方にかけて、CPU用電源部11、ならびに基準電圧生成部8がそれぞれレイアウトされている。

【0039】

さらに、CPU10、ならびに基準電圧生成部8の右側には、メモリ用電源部13がレイアウトされている。メモリ用電源部13の下方には、複数のソースパッドS、および複数のドレインパッドDがそれぞれ交互に一行となるように半導体チップの任意の一边の周辺部に沿って配列されている。

30

【0040】

入力電圧パッドとなるソースパッドSは、ボンディングワイヤB1を介して電源配線VCCPにそれぞれ接続されており、出力電圧パッドとなるドレインパッドDは、ボンディングワイヤB2を介して電源配線VDDPにそれぞれ接続されている。

【0041】

また、電源配線VDDPには、ボンディングワイヤB3を介して不揮発性メモリ3の電源パッドVDDPADM、およびボンディングワイヤB4を介して静電容量素子4の電源パッドVDDPADCにそれぞれ接続されている。

40

【0042】

そして、パッケージ基板PKに搭載された不揮発性メモリ3、マイクロコンピュータ2、静電容量素子4、ボンディングワイヤB1～B4、ドレインパッドD、ソースパッドS、電源配線VDDP、VCCP、および電源パッドVDDPADM、VDDPADCなどは、図3に示すように、樹脂などによってパッケージPKGが形成されて封止されている。

【0043】

図4は、メモリ用電源部13におけるソースパッドS、およびドレインパッドDの配列パターン、および接続構成の一例を示す説明図である。

50

【0044】

メモリ用電源部13は、出力ドライバとなる複数のトランジスタT、および誤差増幅器OPからなるシリーズレギュレータから構成されている。トランジスタTは、たとえば、PチャネルMOS (Metal Oxide Semiconductor) からなる。

【0045】

トランジスタTの一方の接続部（ドレイン）はすべて共通接続されており、同様に、トランジスタTの他方の接続部（ソース）もすべて共通接続された並列接続された構成となっている。これらトランジスタの一方の接続部（ドレイン）は、ドレインパッドDに接続され、トランジスタTの他方の接続部（ソース）は、ソースパッドSにそれぞれ接続されている。

10

【0046】

よって、これらトランジスタTの一方の接続部（ドレイン）には、電源電圧VCCが接続され、該トランジスタの他方の接続部（ソース）が、電源電圧VDD2の出力部となる。

【0047】

ドレインパッドDとソースパッドSとは、それぞれが交互に配列されるようにレイアウトされており、隣り合うトランジスタTのソース同士（またはドレイン同士）がそれぞれ共通に接続された構成となっている。

【0048】

また、トランジスタTのゲートには、誤差増幅器OPの出力部がそれぞれ接続されており、誤差増幅器OPの負（－）側入力端子には、基準電圧生成部8が生成した基準電圧VREFが入力されるように接続されている。

20

【0049】

誤差増幅器OPの正（＋）側入力端子には、共通接続されたトランジスタTの一方の接続部（ドレイン）が接続されている。誤差増幅器OPは、基準電圧VREFと電源電圧VCC2との差電圧を増幅して出力し、電源電圧VDD2が安定化して出力されるように制御する。

【0050】

図5は、メモリ用電源部13におけるトランジスタTのレイアウトパターンの一例を示す説明図である。

30

【0051】

図示するように、トランジスタTのゲートは、それぞれ交互に配列されたソースパッドS、およびドレインパッドDと平行するように（ソースパッドS、およびドレインパッドDの配列方向とゲートの長辺方向とが平行となる）形成されている。

【0052】

よって、トランジスタTのゲートに接続されるゲート配線GHがソースパッドS、およびドレインパッドDの配列方向と平行するように形成される。

【0053】

また、ソース配線SHは、トランジスタTのソースパッドSと接続される第1の幹線と、その第1の幹線から延在し、トランジスタTのソースと接続される第1の支線とから構成されており、第2の支線は、トランジスタTのゲートと平行するように形成されている。

40

【0054】

同様に、ドレイン配線DHは、トランジスタTのドレインパッドDと接続される第2の幹線と、その第2の幹線から延在し、トランジスタTのドレインと接続される第2の支線とから構成され、第2の支線は、トランジスタTのゲートと平行するように形成されている。

【0055】

さらに、これらドレイン配線DH、およびソース配線SHは、櫛の歯状に形成されており、ドレイン配線DHとソース配線SHとが交互に入り組むようにレイアウトされている

50

。

【0056】

このように、トランジスタTのソース同士（またはドレイン同士）を共通にレイアウトすることによって、共通となったソース（またはドレイン）を形成する拡散層の部分の面積を削除することが可能となり、メモリ用電源部13の小面積化を実現することができる。

。

【0057】

図6は、図5のA-A'断面図であり、図7は、図5のB-B'断面図である。

【0058】

図示するように、トランジスタTは、P型の半導体基板14に、N-WELL 14aが形成されており、このN-WELL 14aの上部に、ソースとして機能するP-WELL 15、および、ドレインとして機能するP-WELL 16がそれぞれ形成されている。また、P-WELL 15とP-WELL 16との間には、ゲート17が形成されている。

【0059】

P-WELL 15は、コンタクト18を介して配線層M1に形成されるソース配線SHに接続されており、配線層M1に形成されるソース配線SHは、ビア19を介して配線層M1の上方に形成される配線層M2のソース配線SH、および配線層M2の上方に形成される配線層M3のソース配線SHにそれぞれ接続されている。

【0060】

P-WELL 16は、コンタクト20を介して配線層M1に形成されるドレイン配線DHに接続されており、該配線層M1に形成されるドレイン配線DHは、ビア21を介して配線層M1の上方に形成される配線層M2のドレイン配線DH、および配線層M3の上方に形成される配線層M3のドレイン配線DHにそれぞれ接続されている。さらに、ゲート17は、コンタクト22を介して配線層M1に形成されているゲート配線GHに接続されている。

【0061】

また、ソースパッドSには、配線層M3に形成されたソース配線SHが接続されており、ドレインパッドDには、同じく配線層M3に形成されたドレイン配線DHが接続されている。

【0062】

このように、配線層M1～M3は、トランジスタTの拡散層であるP-WELL 15、およびP-WELL 16と同電位とすることができるので、配線層M1～M3に給電するための配線が不要となり、その配線による電圧降下を避けることが可能となる。

【0063】

また、図7においては、第1の拡散層となるトランジスタTのソースの拡散層（P-WELL 16）での断面を示したが、第2の拡散層となるドレインの拡散層（P-WELL 15）での断面では、図7の配線層M1～M3までの配線層の電位と拡散層のソースとドレインとが逆になることになる。

【0064】

図8は、マイクロコンピュータ2の半導体チップにおいて、複数のソースパッドS、および複数のドレインパッドDがそれぞれ交互に一行となるように該半導体チップの任意の一辺の周辺部に沿って配列された際のドレイン配線DHとソース配線SHとのレイアウト例を示す説明図である。

【0065】

なお、図8においては、I/O部5、基準電圧生成部8、不揮発性半導体メモリ9、CPU10、CPU用電源部11、およびメモリ用I/O部12は、信号の流れを示すブロック図として記載している。

【0066】

図示するように、半導体チップの一辺に沿ってドレインパッドDとソースパッドSを配列することにより、ドレイン配線DH、およびソース配線SHの配線距離を短くすること

10

20

30

40

50

が可能となり、さらに、パッド数を多くすることによって、配線（ドレイン配線DH、およびソース配線SH）のシート抵抗を削減することができ、電圧降下を大幅に低減することができる。

【0067】

図9は、本発明者が検討したマイクロコンピュータ50のメモリ用電源部50aにおけるソースパッドS10とドレインパッドD10とを半導体チップの対向する周辺部にそれぞれレイアウトした際のドレイン配線DH10とソース配線SH10とのレイアウト例を示す説明図である。

【0068】

ここで、図9においても、I/O部51、基準電圧生成部52、不揮発性半導体メモリ53、CPU54、CPU用電源部55、およびメモリ用I/O部56は、信号の流れを示すブロック図として記載している。

【0069】

この場合、図8に比べて、ドレイン配線DH10、およびソース配線SH10の配線長が長くなり、パッド数も少なくなるのでシート抵抗が増加し、電圧降下が大きくなってしまふことになる。

【0070】

それにより、本実施の形態1によれば、トランジスタTのゲート17とソースパッドSおよびドレインパッドDとの配列方向を平行にすることにより、ドレイン配線DH、ソース配線SHのシート抵抗を低減し、電圧降下を低減することができる。

【0071】

（実施の形態2）

図10は、本発明の実施の形態2による半導体集積回路装置における実装レイアウトの一例を示す説明図、図11は、図10のA-A'断面図である。

【0072】

本実施の形態2において、半導体集積回路装置1は、前記実施の形態1（図1）と同様に、マイクロコンピュータ2、不揮発性メモリ3、および静電容量素子4から構成されており、マイクロコンピュータ2、および不揮発性メモリ3は、1つの半導体チップにそれぞれ形成されている。

【0073】

この場合、前記実施の形態1と異なるところは、半導体集積回路装置1における実装レイアウトである。

【0074】

図10は、本実施の形態2の半導体集積回路装置1における実装レイアウトの一例を示す説明図であり、図11は、図10のA-A'断面図である。

【0075】

半導体集積回路装置1は、図10に示すように、パッケージ基板PKの上方に、不揮発性メモリ3の半導体チップが搭載されており、該不揮発性メモリ3の半導体チップの下方には、左側から右側にかけて、マイクロコンピュータ2の半導体チップ、および静電容量素子4がそれぞれレイアウトされている。

【0076】

不揮発性メモリ3の半導体チップとマイクロコンピュータ2の半導体チップ、および静電容量素子4との間には、電源配線VDDP、ならびに電源配線VCCPがそれぞれ形成されている。

【0077】

電源配線VDDPは、不揮発性メモリ3に電源電圧VDD2を供給する配線であり、電源配線VCCPは、電源電圧VCCをマイクロコンピュータ2に供給する配線である。

【0078】

また、マイクロコンピュータ2の半導体チップにおいて、左側の上方から下方にかけて、メモリ用I/O部12、CPU10、不揮発性半導体メモリ9、およびI/O部5が

10

20

30

40

50

それぞれレイアウトされており、これらの右側には、上方から下方にかけて、基準電圧生成部 8、ならびに CPU 用電源部 11 がそれぞれレイアウトされている。

【0079】

基準電圧生成部 8、ならびに CPU 用電源部 11 の右側上方には、メモリ用電源部 13 がレイアウトされている。メモリ用電源部 13 の上方の半導体チップの周辺部には、複数のソースパッド S、および複数のドレインパッド D がそれぞれ交互に一行となるように半導体チップの任意の周辺部に沿って配列されている。

【0080】

ソースパッド S は、ボンディングワイヤ B1 を介して電源配線 VCCP にそれぞれ接続されており、ドレインパッド D は、ボンディングワイヤ B2 を介して電源配線 VDDP にそれぞれ接続されている。

10

【0081】

電源配線 VDDP には、ボンディングワイヤ B3 を介して不揮発性メモリ 3 の電源パッド VDDPADM、およびボンディングワイヤ B4 を介して静電容量素子 4 の電源パッド VDDPADC にそれぞれ接続されている。

【0082】

そして、パッケージ基板 PK に搭載された不揮発性メモリ 3、マイクロコンピュータ 2、静電容量素子 4、ボンディングワイヤ B1～B4、ドレインパッド D、ソースパッド S、電源配線 VDDP、VCCP、および電源パッド VDDPADM、VDDPADC などは、図 11 に示すように、樹脂などによってパッケージ PKG が形成されて封止されている。

20

【0083】

また、その他のメモリ用電源部 13 におけるソースパッド S、およびドレインパッド D の配列パターン、および接続構成、およびメモリ用電源部 13 におけるトランジスタ T のレイアウトパターンや配線構成などは、前記実施の形態 1 と同様であるので、説明は省略する。

【0084】

それにより、本実施の形態 2 においても、メモリ用電源部 13 における電圧降下を低減し、安定した不揮発性メモリ 3 の動作を実現することができる。

【0085】

30

(実施の形態 3)

図 12 は、本実施の形態 3 によるメモリ用電源部におけるソースパッド、およびドレインパッドの配列パターン、および接続構成の一例を示す説明図、図 13 は、図 12 のメモリ用電源部におけるトランジスタのレイアウトパターンの一例を示す説明図、図 14 は、図 13 の A-A' 断面図、図 15 は、図 13 の B-B' 断面図である。

【0086】

本実施の形態 3 において、半導体集積回路装置 1 は、前記実施の形態 1 (図 1) と同様に、マイクロコンピュータ 2、不揮発性メモリ 3、および静電容量素子 4 から構成されており、マイクロコンピュータ 2、および不揮発性メモリ 3 は、1 つの半導体チップにそれぞれ形成されている。

40

【0087】

本実施の形態 3 では、前記実施の形態 1 のようにメモリ用電源部 13 におけるドレインパッド D とソースパッド S とをそれぞれ交互に配列されるようにレイアウトするのではなく、同じ種類のパッド同士を纏めてレイアウトしている。

【0088】

図 12 は、本実施の形態 3 によるメモリ用電源部 13 におけるソースパッド S、およびドレインパッド D の配列パターン、および接続構成の一例を示す説明図である。

【0089】

メモリ用電源部 13 は、前記実施の形態 1 と同様に、出力ドライバとなる複数のトランジスタ T、および誤差増幅器 OP から構成されている。これらの接続構成においても、前

50

記実施の形態 1 と同様となっている。

【0090】

この場合、ソースパッド S は、左側に一纏めになって一列にレイアウトされており、右側には、ドレインパッド D が一纏めとなるように一列となって配列されてレイアウトされている。

【0091】

よって、マイクロコンピュータ 2 の半導体チップの周辺部に沿って、左側から、複数のソースパッド S が一列にレイアウトされ、その右側に、複数のドレインパッド D が一列にレイアウトされた構成となっている。

【0092】

図 13 は、図 12 のメモリ用電源部 13 におけるトランジスタ T のレイアウトパターンの一例を示す説明図である。

【0093】

図示するように、トランジスタ T のゲートは、配列されたソースパッド S、およびドレインパッド D と平行するように（ソースパッド S、およびドレインパッド D の配列方向とゲートの長辺方向とが平行となる）形成されている。

【0094】

よって、トランジスタ T のゲートに接続されるゲート配線 GH がソースパッド S、およびドレインパッド D の配列方向と平行するように形成される。

【0095】

ドレインパッド D が配列されている領域では、トランジスタ T のドレインパッドと接続されるドレイン配線 DH が、トランジスタ T のソースパッドと接続されるソース配線 SH を取り囲むようにレイアウトされている。

【0096】

また、ソースパッド S が配列されている領域では、ソース配線 SH が、ドレイン配線 DH を取り囲むようにレイアウトされており、ドレインパッド D とソースパッド S とにおける配列の境目の領域では、ドレイン配線 DH、およびソース配線 SH が櫛の歯状に形成されている。

【0097】

図 14 は、図 13 の A-A' 断面図であり、図 15 は、図 13 の B-B' 断面図である。

【0098】

図示するように、トランジスタ T は、P 型の半導体基板 14 に、N-WELL 14a が形成されており、この N-WELL 14a の上部に、ソースとして機能する P-WELL 15、およびドレインとして機能する P-WELL 16 がそれぞれ形成されている。また、P-WELL 15 と P-WELL 16 との間には、ゲート 17 が形成されている。

【0099】

P-WELL 15 は、コンタクト 18 を介して配線層 M1 に形成されるソース配線 SH に接続されており、配線層 M1 に形成されるソース配線 SH は、ビア 19 を介して配線層 M1 の上方に形成される配線層 M2 のソース配線 SH、および配線層 M2 の上方に形成される配線層 M3 のソース配線 SH にそれぞれ接続されている。

【0100】

P-WELL 16 は、コンタクト 20 を介して配線層 M1 に形成されるドレイン配線 DH に接続されており、該配線層 M1 に形成されるドレイン配線 DH は、ビア 21 を介して配線層 M1 の上方に形成される配線層 M2 のドレイン配線 DH、および配線層 M3 の上方に形成される配線層 M3 のドレイン配線 DH にそれぞれ接続されている。さらに、ゲート 17 は、コンタクト 22 を介して配線層 M1 に形成されているゲート配線 GH に接続されている。

【0101】

また、ソースパッド S には、配線層 M3 に形成されたソース配線 SH が接続されており

10

20

30

40

50

、ドレインパッドDには、同じく配線層M3に形成されたドレイン配線DHが接続されている。

【0102】

この図15においても、トランジスタTのソースの拡散層(P-WELL16)での断面を示したが、第2の拡散層となるドレインの拡散層(P-WELL15)での断面では、図7の配線層M1～M3までの配線層の電位と拡散層のソースとドレインとが逆になることになる。

【0103】

それにより、本実施の形態3によっても、トランジスタTのゲート17とソースパッドSおよびドレインパッドDとの配列方向を平行にすることにより、ドレイン配線DH、ソース配線SHのシート抵抗を低減し、電圧降下を低減することができる。

10

【0104】

(実施の形態4)

図16は、本発明の実施の形態4によるメモリ用電源部におけるトランジスタのレイアウトパターンの一例を示す説明図、図17は、図16のA-A'断面図、図18は、図16のB-B'断面図である。

【0105】

本実施の形態4において、半導体集積回路装置1は、前記実施の形態1(図1)と同様に、マイクロコンピュータ2、不揮発性メモリ3、および静電容量素子4から構成されており、マイクロコンピュータ2、および不揮発性メモリ3は、1つの半導体チップにそれぞれ形成されている。

20

【0106】

前記実施の形態1, 3では、トランジスタTのゲート17とソースパッドSおよびドレインパッドDとの配列方向を平行としたが、本実施の形態4では、トランジスタTのゲート17が、ソースパッドS、ならびにドレインパッドDとの配列方向に直交するようにレイアウトされている。

【0107】

図16は、メモリ用電源部13(図4)におけるトランジスタTのレイアウトパターンの一例を示す説明図である。

【0108】

図示するように、トランジスタTのゲートは、配列されたソースパッドS、およびドレインパッドDと直交するように(ソースパッドS、およびドレインパッドDの配列方向とゲートの長辺方向とが略90度となる)形成されている。

30

【0109】

よって、トランジスタTのゲートに接続されるゲート配線GHが、ソースパッドS、およびドレインパッドDの配列方向と略直角に形成される。

【0110】

また、トランジスタTのドレインパッドと接続されるドレイン配線DH、ならびにトランジスタTのソースパッドと接続されるソース配線SHは、前記実施の形態1と同様に、櫛の歯状に形成されている。

40

【0111】

図17は、図16のA-A'断面図であり、図18は、図16のB-B'断面図である。

【0112】

図示するように、トランジスタTは、P型の半導体基板14に、N-WELL14aが形成されており、このN-WELL14aの上部に、ソースとして機能するP-WELL15、およびドレインとして機能するP-WELL16がそれぞれ形成されている。また、P-WELL15とP-WELL16との間には、ゲート17が形成されている。

【0113】

P-WELL15は、コンタクト18を介して配線層M1に形成されるソース配線SH

50

に接続されており、配線層M1に形成されるソース配線SHは、ビア19を介して配線層M1の上方に形成される配線層M2のソース配線SH、および配線層M2の上方に形成される配線層M3のソース配線SHにそれぞれ接続されている。

【0114】

P-WELL16は、コンタクト20を介して配線層M1に形成されるドレイン配線DHに接続されており、該配線層M1に形成されるドレイン配線DHは、ビア21を介して配線層M1の上方に形成される配線層M2のドレイン配線DH、および配線層M3の上方に形成される配線層M3のドレイン配線DHにそれぞれ接続されている。さらに、ゲート17は、コンタクト22を介して配線層M1に形成に形成されているゲート配線GHに接続されている。

10

【0115】

また、ソースパッドSには、配線層M3に形成されたソース配線SHが接続されており、ドレインパッドDには、同じく配線層M3に形成されたドレイン配線DHが接続されている。

【0116】

ここで、図17においても、トランジスタTのソースの拡散層(P-WELL16)での断面を示したが、第2の拡散層となるドレインの拡散層(P-WELL15)での断面では、図7の配線層M1～M3までの配線層の電位と拡散層のソースとドレインとが逆になることになる。

【0117】

それにより、本実施の形態4によっても、トランジスタTのゲート17とソースパッドSおよびドレインパッドDとの配列方向を平行にすることにより、ドレイン配線DH、ソース配線SHのシート抵抗を低減し、電圧降下を低減することができる。

20

【0118】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0119】

たとえば、前記実施の形態1では、電源電圧VCCから電源電圧VDD1を生成し、レベルシフト6、7、不揮発性半導体メモリ9、CPU10、ならびにメモリ用I/O部12などに供給するCPU用電源部11を設けた構成としたが、図19に示すように、これらレベルシフト6、7、不揮発性半導体メモリ9、CPU10、ならびにメモリ用I/O部12にメモリ用電源部13が生成した電源電圧VDD2を供給する構成としてもよい。

30

【産業上の利用可能性】

【0120】

本発明は、SIP内に設けられた不揮発性メモリに電源電圧を安定して供給する技術に適している。

【図面の簡単な説明】

【0121】

【図1】本発明の実施の形態1による半導体集積回路装置の構成例を示すブロック図である。

40

【図2】図1の半導体集積回路装置における実装レイアウトの一例を示す説明図である。

【図3】図2のA-A'断面図である。

【図4】図1の半導体集積回路装置に設けられたメモリ用電源部におけるソースパッドとドレインパッドとの配列パターン、および接続構成の一例を示す説明図である。

【図5】図4のメモリ用電源部におけるトランジスタのレイアウトパターンの一例を示す説明図である。

【図6】図5のA-A'断面図である。

【図7】図5のB-B'断面図である。

【図8】図4のメモリ用電源部におけるドレイン配線とソース配線とのレイアウト例を示

50

す説明図である。

【図 9】本発明者が検討したメモリ用電源部におけるドレイン配線とソース配線とのレイアウト例を示す説明図である。

【図 10】本発明の実施の形態 2 による半導体集積回路装置における実装レイアウトの一例を示す説明図である。

【図 11】図 11 は、図 10 の A-A' 断面図である。

【図 12】本実施の形態 3 によるメモリ用電源部におけるソースパッド、およびドレインパッドの配列パターン、および接続構成の一例を示す説明図である。

【図 13】図 12 のメモリ用電源部におけるトランジスタのレイアウトパターンの一例を示す説明図である。

10

【図 14】図 13 の A-A' 断面図である。

【図 15】図 13 の B-B' 断面図である。

【図 16】本発明の実施の形態 4 によるメモリ用電源部におけるトランジスタのレイアウトパターンの一例を示す説明図である。

【図 17】図 16 の A-A' 断面図である。

【図 18】図 16 の B-B' 断面図である。

【図 19】本発明の他の実施の形態による半導体集積回路装置の構成例を示すブロック図である。

【符号の説明】

【0122】

20

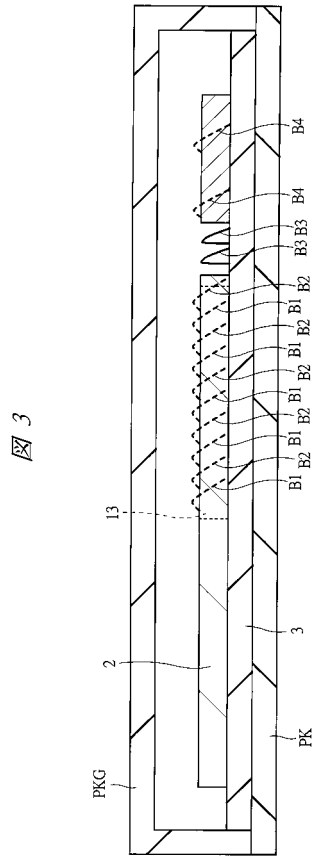
- 1 半導体集積回路装置
- 2 マイクロコンピュータ
- 3 不揮発性メモリ
- 4 静電容量素子
- 5 I/O 部
- 6, 7 レベルシフト
- 8 基準電圧生成部
- 9 不揮発性半導体メモリ
- 10 CPU
- 11 CPU 用電源部
- 12 メモリ用 I/O 部
- 13 メモリ用電源部
- 14 半導体基板
- 14a N-WELL
- 15 P-WELL
- 16 P-WELL
- 17 ゲート
- 18 コンタクト
- 19 ビア
- 20 コンタクト
- 21 ビア
- 22 コンタクト
- PK パッケージ基板
- VCCPAD 電源パッド
- VDDPAD 電源パッド
- VDDP 電源配線
- VCCP 電源配線
- S ソースパッド
- D ドレインパッド
- B1～B4 ボンディングワイヤ

30

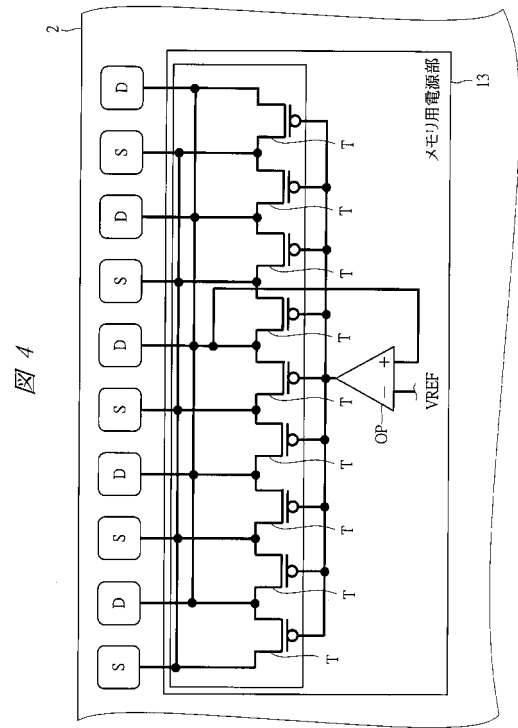
40

50

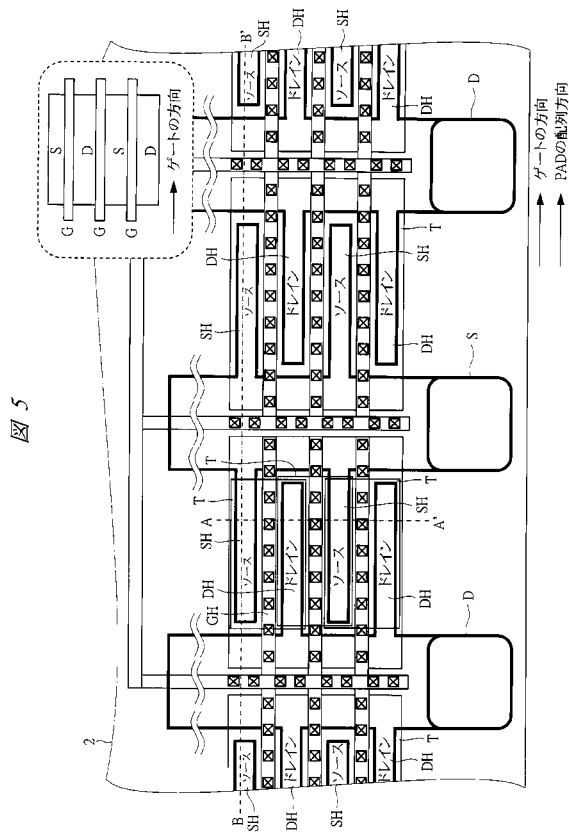
【図 3】



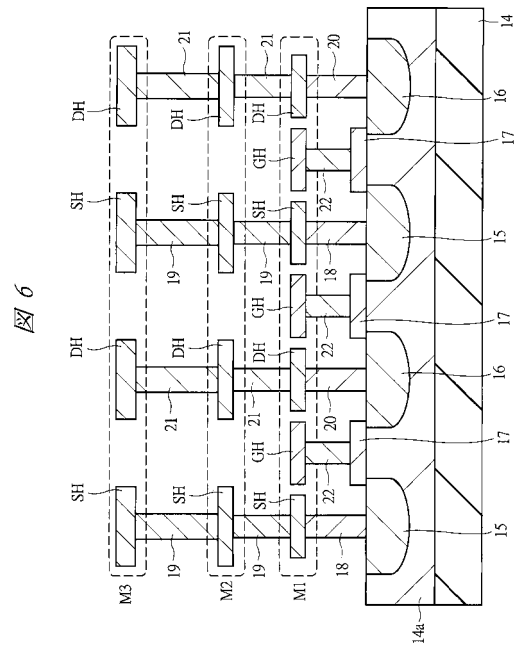
【図 4】



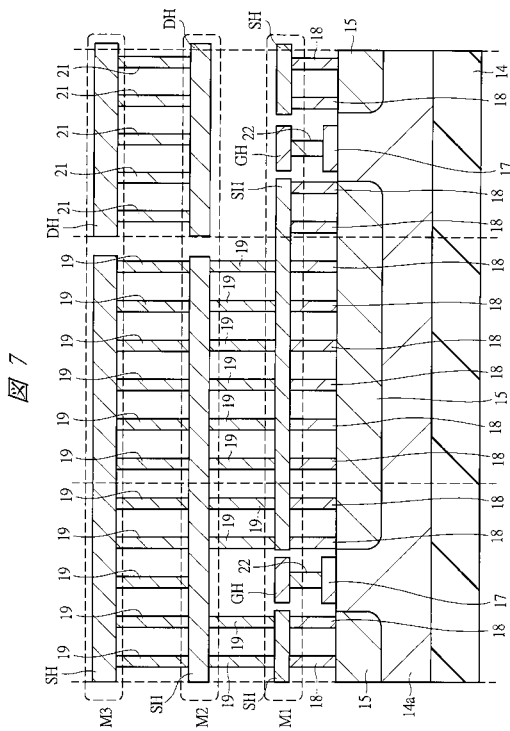
【図 5】



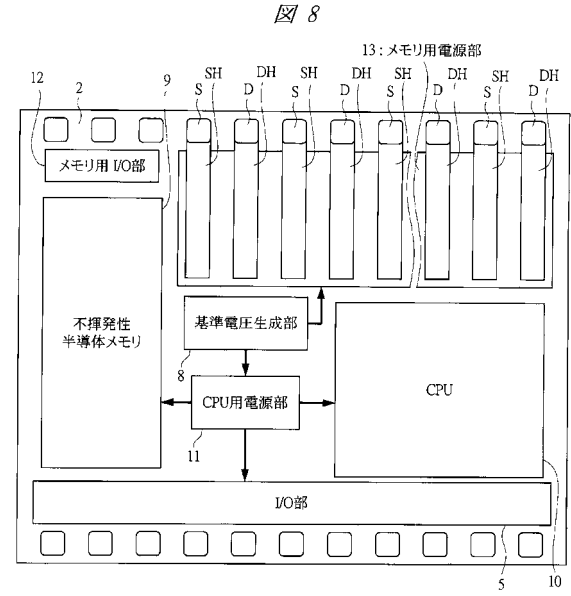
【図 6】



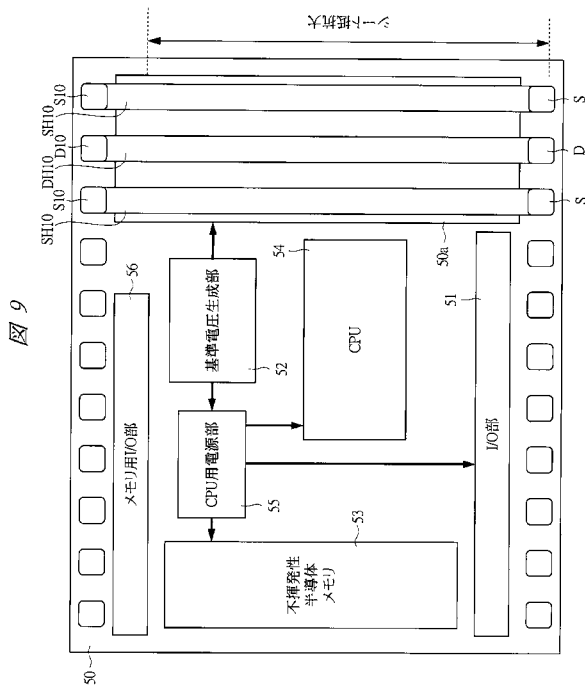
【図 7】



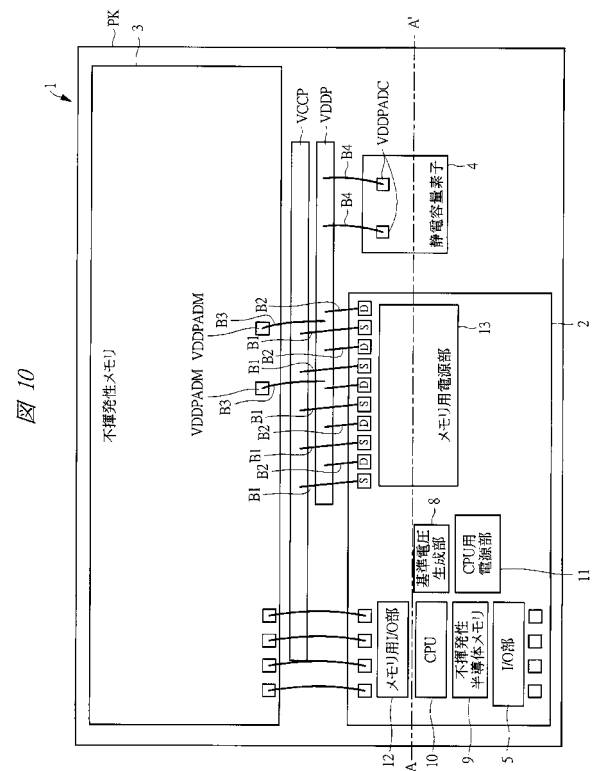
【図 8】



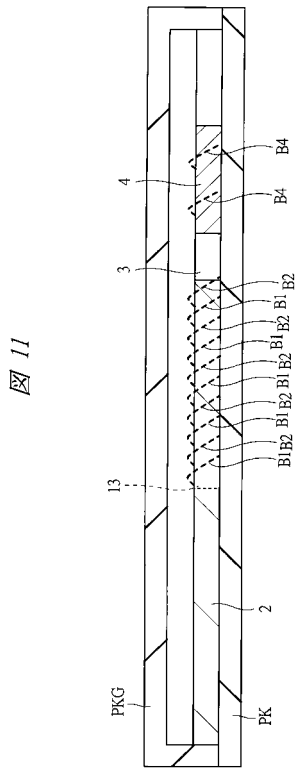
【図 9】



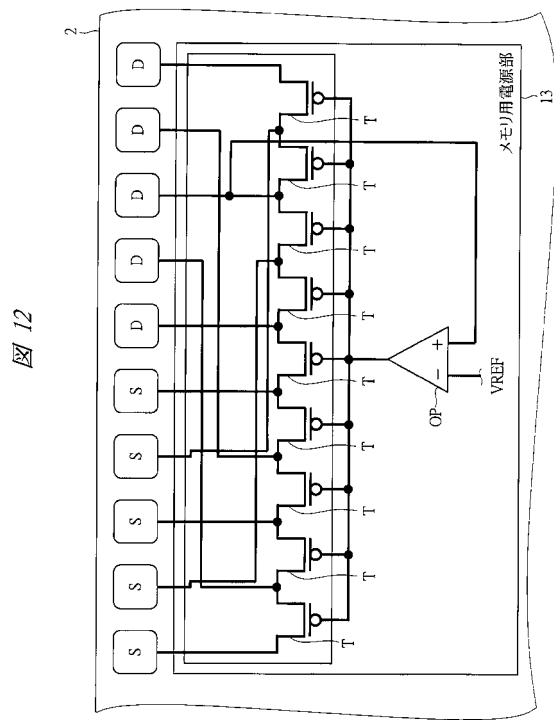
【図 10】



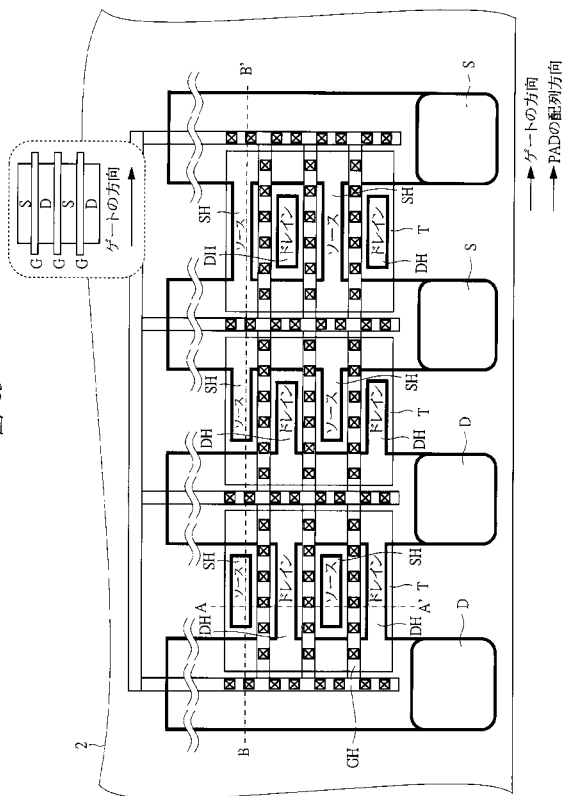
【 図 1 1 】



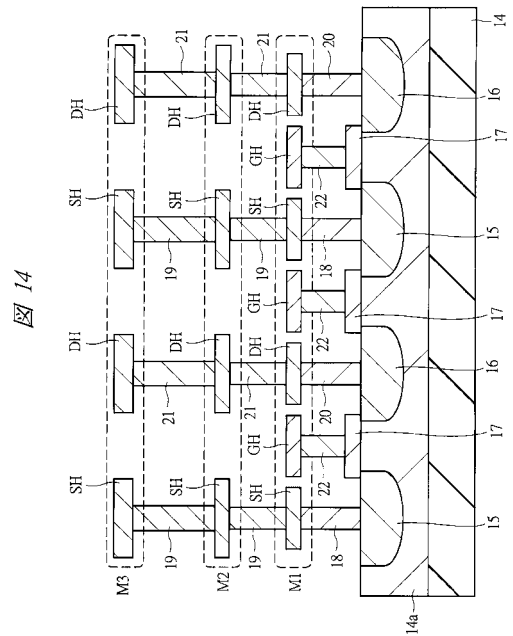
【 図 1 2 】



【图 1 3】

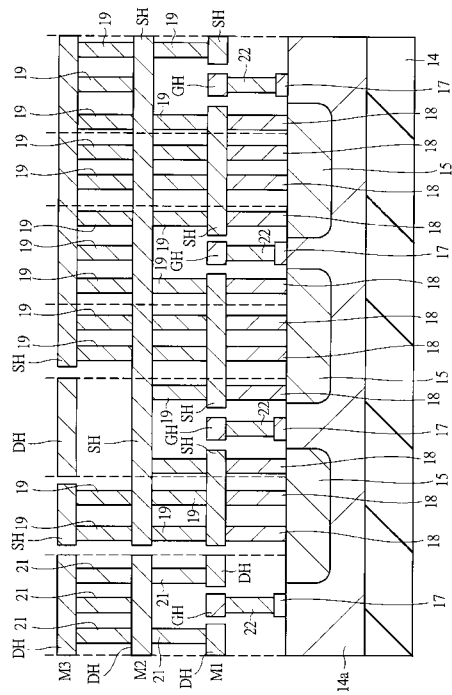


【 図 1 4 】



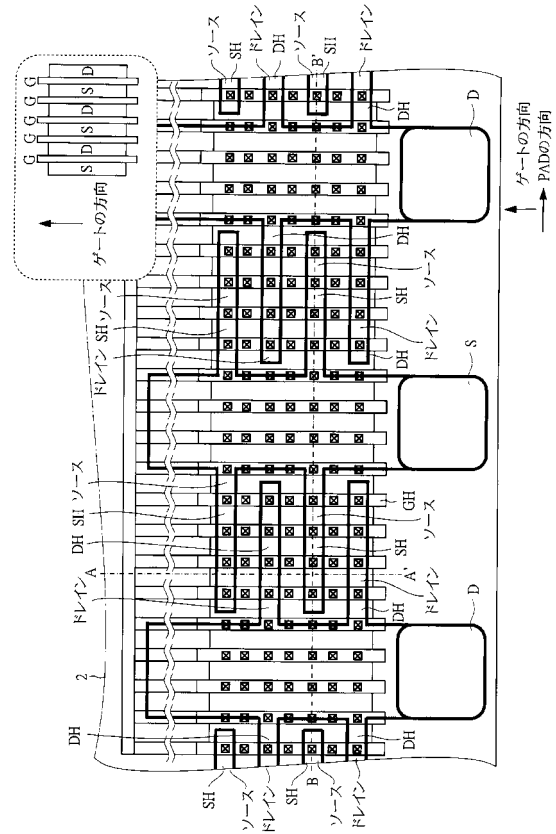
【図 15】

図 15



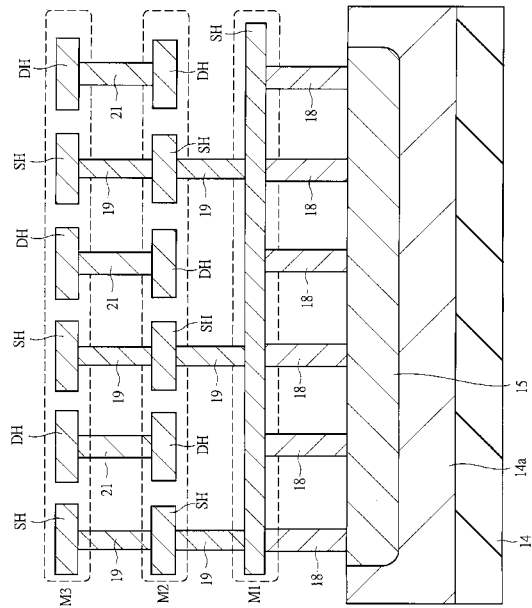
【図 16】

図 16



【図 17】

図 17



【図 18】

図 18

