



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년03월12일  
 (11) 등록번호 10-1123797  
 (24) 등록일자 2012년02월28일

(51) 국제특허분류(Int. Cl.)  
 H01L 23/12 (2006.01)

(21) 출원번호 10-2006-0096645

(22) 출원일자 2006년09월29일

심사청구일자 2010년11월18일

(65) 공개번호 10-2008-0029705

(43) 공개일자 2008년04월03일

(56) 선행기술조사문헌

KR1019990069439 A

JP평성11204720 A

전체 청구항 수 : 총 1 항

(73) 특허권자

주식회사 하이닉스반도체

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

김일규

서울특별시 강서구 곰달대로31나길 28, 101호 (화곡동, 한신아트빌)

(74) 대리인

강성배

심사관 : 김창주

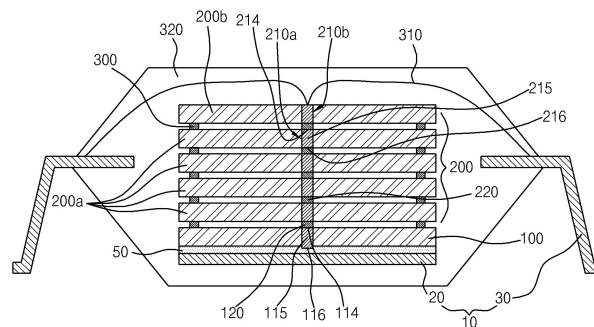
(54) 발명의 명칭 **적층 반도체 패키지**

**(57) 요약**

적층 반도체 패키지가 개시되어 있다. 적층 반도체 패키지는 외부 접속 단자들을 구비한 칩 실장 부재, 칩 실장 부재의 상부면에 접착제에 의해 부착되며, 전기적으로 연결되도록 상부면으로부터 하부면까지 형성되고 외부 접속 단자들과 전기적으로 연결되는 복수개의 제 1관통형 패드들을 포함하는 베이스 반도체 칩, 베이스 반도체 칩의 상부면에 적층되고, 제 1관통형 패드들과 대응되는 위치에 전기적으로 연결되도록 상부면으로부터 하부면까지 형성되고 제 1관통형 패드들과 직접 접촉되는 제 2관통형 패드들을 포함하는 1개 이상의 적층 반도체 칩, 베이스 반도체 칩과 적층 반도체 칩의 사이 및 적층 반도체 칩들의 사이에 배치되어 적층 반도체 칩들을 지지하는 지지용 범프들, 적층 반도체 칩의 상부면에 배치된 제 2관통형 패드들과 상기 외부 접속 단자들을 전기적으로 연결하는 와이어 및 베이스 및 적층 반도체 칩, 와이어 및 외부 접속 단자 일부분을 감싸 보호하는 밀봉부를 포함한다.

**대표도** - 도2e

1



## 특허청구의 범위

### 청구항 1

외부 접속 단자들을 구비한 칩 실장 부재;

상기 칩 실장 부재의 상부면에 접착재에 의해 부착되며, 전기적으로 연결되도록 상부면으로부터 하부면까지 형성되고 상기 외부 접속 단자들과 전기적으로 연결되는 복수개의 제 1관통형 패드들을 포함하는 베이스 반도체 칩;

상기 베이스 반도체 칩의 상부면에 적층되고, 상기 제 1관통형 패드들과 대응되는 위치에 전기적으로 연결되도록 상부면으로부터 하부면까지 형성되고 상기 제 1관통형 패드들과 직접 접속되는 제 2관통형 패드들을 포함하는 1개 이상의 적층 반도체 칩;

상기 베이스 반도체 칩과 상기 적층 반도체 칩의 사이 및 상기 적층 반도체 칩들의 사이에 배치되어 상기 적층 반도체 칩들을 지지하는 지지용 범프들;

상기 적층 반도체 칩의 상부면에 배치된 상기 제 2관통형 패드들과 상기 외부 접속 단자들을 전기적으로 연결하는 와이어; 및

상기 베이스 및 적층 반도체 칩, 상기 와이어 및 상기 외부 접속 단자 일부분을 감싸 보호하는 밀봉부를 포함하는 적층 반도체 패키지.

### 청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서, 상기 칩 실장 부재는 상기 베이스 반도체 칩이 부착되는 다이패드 및 상기 다이패드와 이격되고 상기 다이패드의 주변에 배열되어 상기 외부 접속 단자로 사용되는 리드들을 포함하는 리드 프레임인 것을 특징으로 하는 적층 반도체 패키지.

### 청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제 2 항에 있어서, 상기 다이패드의 하부면은 상기 밀봉부의 외부로 노출되는 것을 특징으로 하는 적층 반도체 패키지.

### 청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서, 상기 제 1관통형 패드는 상기 베이스 반도체 칩의 상부면으로부터 하부면까지 관통된 관통공으로부터 상기 베이스 반도체 칩의 상부면으로 돌출된 제 1패드, 상기 관통공으로부터 상기 베이스 반도체 칩의 하부면으로 돌출된 제 2패드, 상기 관통공 내에 배치되어 상기 제 1 및 제 2 패드를 전기적으로 연결시키는 연결부 및 제 1패드에 접속되어 상기 제 1 및 제 2관통형 패드를 열결시키는 스타드 범프를 포함하는 것을 특징으로 하는 적층 반도체 패키지.

### 청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서, 상기 적층 반도체 칩은 상기 베이스 반도체 칩의 상부에 5개 적층되는 것을 특징으로 하는 적층 반도체 패키지.

### 청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서, 상기 적층 반도체 칩 중 최상층에 배치된 적층 반도체 칩의 제 2관통형 패드는 상기 적층 반도체 칩의 상부면으로부터 하부면까지 관통된 관통공으로부터 상기 적층 반도체 칩의 상부면으로 돌출된 제 1패

드, 상기 관통공으로부터 상기 적층 반도체 칩의 하부면으로 돌출된 제 2패드 및 상기 관통공 내에 배치되어 상기 제 1 및 제 2 패드를 전기적으로 연결시키는 연결부를 포함하는 것을 특징으로 하는 적층 반도체 패키지.

**청구항 7**

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 6항에 있어서, 상기 최상층에 배치된 적층 반도체 칩의 제 1패드는 와이어에 의해 상기 외부 접속 단자와 전기적으로 연결되는 것을 특징으로 하는 적층 반도체 패키지.

**청구항 8**

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제 6항에 있어서, 상기 베이스 반도체 칩 및 상기 최상층에 배치된 적층 반도체 칩 사이의 다른 적층 반도체 칩의 제 2관통형 패드는 상기 제 1패드에 접속되어 상기 제 1 및 제 2관통형 패드를 연결시키는 제 2스터드 범프를 더 포함하는 것을 특징으로 하는 적층 반도체 패키지.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0007] 본 발명은 적층 반도체 패키지에 관한 것이다. 보다 구체적으로, 본 발명은 하나의 패키지 내에 복수개의 반도체 칩을 적층시키고, 적층된 반도체 칩들의 범프들을 직접 접속시킴으로써, 메모리 용량을 배가시킴과 아울러 두께를 박형화시키고, 전기적 특성을 향상시킨 적층 반도체 패키지에 관한 것이다.
- [0008] 최근 반도체 장치의 고집적화, 메모리 용량의 증가, 다기능화 및 고밀도 실장의 요구등이 가속화되는 추세에 따라 반도체 패키지의 중요성이 증가되고 있다.
- [0009] 상술한 요구를 만족시키는 방법 중 하나는 여러개의 반도체 칩 또는 반도체 패키지를 적층하여 하나의 제품을 만드는 것이다. 이러한 적층형 반도체 소자는 패키징된 반도체 소자를 여러개 적층한 패키지 적층형 소자 및 패키징되지 않은 개별 반도체 칩을 여러개 적층하여 패키징한 칩 적층형 소자로 구분된다.
- [0010] 먼저, 패키지 적층형 소자는 보통 2개에서 많게는 8개의 패키지 소자를 수직방향으로 쌓아 형성하는 것으로, 일반적으로 TSOP(Thin Small Outline Package) 타입을 패키지 적층형 소자로 사용한다. 이는 적층된 패키지 소자들 간의 전기적 연결이 쉽고, 자동화공정에 유리하며, 각 패키지의 두께가 얇기 때문이다.
- [0011] 그러나, 종래의 TSOP 타입의 패키지를 2개이상 적층시켜 패키지 적층형 소자를 형성할 경우 각각의 TSOP 타입의 패키지 소자를 제조하는 공정 및 각각의 TSOP 타입의 패키지 소자들을 수직으로 적층시키는 공정이 반드시 수반되기 때문에 패키지 적층형 소자를 제조하는데 소요되는 시간이 길고, 제조 공정도 복잡하다. 이로 인해, 제품의 수율이 저하되고, 제조 원가는 상승되는 문제점이 있다.
- [0012] 또한, 일정 두께로 규격화된 날개의 TSOP 타입의 패키지 소자를 2개 내지 8개 정도 적층시켜 패키지 적층형 소자를 형성할 경우 패키지 적층형 소자의 두께가 두꺼워져 최근 박형화를 추구하는 전자기기를 얇게 만드는데 제약요소로 작용하는 문제점이 있다.
- [0013] 또한, 날개의 TSOP 타입의 패키지 소자를 2개 내지 8개 정도 적층시킬 경우 가장 하부에 위치한 반도체 패키지 소자에서부터 가장 상부에 적층된 반도체 패키지 소자 쪽으로 갈수록 전기적 연결 길이가 길어져 패키지 적층형 소자의 전기적 특성이 저하되는 문제점이 발생된다.
- [0014] 한편, 칩 적층형 소자는 외부 접속 단자를 구비하고, 회로패턴 및 접속패드들이 인쇄된 베이스 기판 상에 제 1 반도체 칩을 부착하고, 도전성 와이어를 이용하여 제 1반도체 칩에 배열된 본딩패드 및 베이스 기판에 인쇄된 접속패드들을 상호 연결시킨다. 이후, 제 1반도체 칩의 상부면에 제 2반도체 칩을 적층시키고, 도전성 와이어를 이용하여 제 2반도체 칩에 배열된 본딩패드들 및 베이스 기판에 형성된 접속패드들을 연결시킨다. 그러면, 접속패드들 및 각각의 도전성 와이어에 의해 제 1 및 제 2반도체 칩은 전기적으로 연결된다. 상술한 방법에 의해 제

2반도체 칩의 상부에 적어도 1개이상의 반도체 칩을 더 적층시킬 수 있다.

- [0015] 이와 같이 베이스 기관의 상부면에 적어도 2개 이상의 반도체 칩이 적층되면 적층된 반도체 칩 및 도전성 와이어를 포함한 베이스 기관의 상부면을 몰딩 수지로 감싸 칩 적층형 반도체 소자를 형성한다.
- [0016] 상술한 칩 적층형 소자는 패키지 적층형 소자에 비해 두께가 얇고, 전기적 연결 길이가 짧아 전기적 특성이 우수하다는 장점이 있지만, 각 반도체 칩의 본딩패드 및 베이스 기관의 접속 패드들이 도전성 와이어로 전부 연결되기 때문에 반도체 칩이 적층되는 위치 및 본딩패드들의 위치에 따라서 전기신호 전달의 시간 차가 발생되어 고속 응답속도의 대응이 어려운 문제점이 있다.
- [0017] 또한, 각각의 반도체 칩을 적층시킬 때마다 베이스 기관 및 반도체 칩, 그리고, 반도체 칩들을 상호 부착시키는 다이 어태치 공정이 진행되어야 하고, 도전성 와이어를 이용하여 각각의 반도체 칩 및 베이스 기관을 전기적으로 연결시키는 와이어 본딩 공정이 진행되어야 하기 때문에 칩 적층형 소자를 제조하는데 소요되는 시간이 길고, 제조 공정도 복잡하다. 이로 인해, 제품의 수율이 저하되고, 제조 원가는 상승되는 문제점이 있다.
- [0018] 상술한 칩 적층형 소자의 문제점을 개선하기 위해서 최근에는 베이스 기관 및 반도체 칩 사이, 또는 적층되는 반도체 칩들 사이에 ACI(Anisotropic Conductive Ink)를 도포한다. 그리고, 반도체 칩들 각각에 압력을 가하여 반도체 칩의 본딩 패드 및 베이스 기관의 접속 패드, 그리고, 적층되는 반도체 칩들 간의 본딩패드들을 ACI에 포함되어 있는 도전성 파티클 입자로 상호 연결시킨다.
- [0019] 그러나, ACI를 이용하여 베이스 기관 및 반도체 칩, 그리고, 적층되는 반도체 칩들을 상호 연결하는 방법은 최근에 개발되어 도전성 와이어를 이용하여 베이스 기관과 적층된 각각의 반도체 칩을 연결시키는 방법에 비해 신뢰성이 저하된다.
- [0020] 그리고, 베이스 기관 및 반도체 칩 사이, 그리고, 적층된 반도체 칩들 사이를 ACI가 채우고 있기 때문에 몰딩 수지, 예를 들어 흡습이 일어나지 않는 에폭시 몰딩 컴파운드에 비해 신뢰성이 저하된다. 이를 좀더 상세히 설명하면, 에폭시 몰딩 컴파운드는 대기중의 수분을 흡수하지 않는 반면 ACI는 수분을 흡수하고, 흡수된 수분은 칩 적층형 소자가 동작할 때 발생된 열에 의해 기화되면서 반도체 칩에 크랙을 유발시킨다.

**발명이 이루고자 하는 기술적 과제**

- [0021] 따라서, 본 발명은 이와 같은 종래 문제점을 감안한 것으로서, 본 발명의 목적은 하나의 패키지 내에 복수개의 반도체 칩을 적층시키고, 적층된 반도체 칩들의 범프들을 직접 접속시킴으로써, 메모리 용량은 배가시키고 두께는 박형화시키며, 전기적 특성 및 신뢰성을 향상시킨 적층 반도체 패키지를 제공하는데 있다.

**발명의 구성 및 작용**

- [0022] 이와 같은 본 발명의 목적을 구현하기 위한 적층 반도체 패키지는 외부 접속 단자들을 구비한 칩 실장 부재, 칩 실장 부재의 상부면에 접착제에 의해 부착되며, 전기적으로 연결되도록 상부면으로부터 하부면까지 형성되고 외부 접속 단자들과 전기적으로 연결되는 복수개의 제 1관통형 패드들을 포함하는 베이스 반도체 칩, 베이스 반도체 칩의 상부면에 적층되고, 제 1관통형 패드들과 대응되는 위치에 전기적으로 연결되도록 상부면으로부터 하부면까지 형성되고 제 1관통형 패드들과 직접 접속되는 제 2관통형 패드들을 포함하는 1개 이상의 적층 반도체 칩, 베이스 반도체 칩과 적층 반도체 칩의 사이 및 적층 반도체 칩들의 사이에 배치되어 적층 반도체 칩들을 지지하는 지지용 범프들, 적층 반도체 칩의 상부면에 배치된 제 2관통형 패드들과 상기 외부 접속 단자들을 전기적으로 연결하는 와이어 및 베이스 및 적층 반도체 칩, 와이어 및 외부 접속 단자 일부분을 감싸 보호하는 밀봉부를 포함한다.
- [0023] 일례로, 칩 실장 부재는 베이스 반도체 칩이 부착되는 다이패드 및 다이패드와 이격되고 다이패드의 주변에 배열되며 외부 접속 단자로 사용되는 리드들을 포함하는 리드 프레임이며, 다이패드의 하부면은 밀봉부의 외부로 노출된다.
- [0024] 바람직하게, 제 1 및 제 2관통형 패드는 베이스 반도체 칩의 상부면으로부터 하부면까지 관통된 관통공으로부터 상기 베이스 반도체 칩의 상부면으로 돌출된 제 1패드, 상기 관통공으로부터 상기 베이스 반도체 칩의 하부면으로 돌출된 제 2패드, 상기 관통공 내에 배치되어 상기 제 1 및 제 2 패드를 전기적으로 연결시키는 연결부를 포함하며, 최상층에 배치된 적층 반도체 칩을 제외한 베이스 및 적층 반도체 칩의 제 2관통형 패드는 제 1패드에 접속되어 제 1 및 제 2관통형 패드를 연결시키는 제 2스터드 범프 포함한다.
- [0025] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 반도체 소자 및 이를 이용한 적층 반도체

패키지 제조 방법에 대하여 상세하게 설명한다.

- [0026] 반도체 패키지
- [0027] 도 2e는 본 발명에 의한 적층 반도체 패키지의 단면도이다.
- [0028] 도 2e를 참조하면, 본 발명에 의한 적층 반도체 패키지(1)는 리드 프레임(10), 리드 프레임(10)에 부착되는 베이스 반도체 칩(100), 베이스 반도체 칩(100)의 상부면에 적층되고 베이스 반도체 칩(100)과 전기적으로 연결되는 적층 반도체 칩(200), 적층 반도체 칩(200)을 지지하는 지지용 범프들(300), 적층 반도체 칩(200)과 리드 프레임(10)을 전기적으로 연결하는 와이어(310) 및 베이스 반도체 칩(100), 적층 반도체 칩(200) 및 와이어(310)를 외부 환경으로부터 보호하는 밀봉부(320)를 포함한다.
- [0029] 상술한 적층 반도체 패키지(1)를 구성하는 부재들에 대해 좀더 상세히 설명하면 다음과 같다.
- [0030] 리드 프레임(10)은 베이스 반도체 칩(100) 및 적층 반도체 칩(200)이 탑재되는 다이패드(20) 및 적층 반도체 패키지(1)의 외부 접속 단자로 사용되는 리드(30)들을 포함한다. 여기서 리드(30)들은 다이패드(20)로부터 일정거리 이격되어 다이패드(20)의 주변에 배열된다. 상술한 리드 프레임(10)은 모기관(도시 안됨)에 복수개 배열되는데, 모기관으로부터 다이패드(20) 및 리드(30)들이 분리되지 않도록 모기관과 다이패드(20), 모기관과 리드(30)들 그리고, 리드(30)들 사이를 타이바가 연결한다.
- [0031] 베이스 반도체 칩(100)은 접착부재(50)에 의해 다이패드(20)의 상부면에 직접 부착되는 반도체 칩으로, 상부면 중앙에는 제 1관통형 패드(110)들이 일렬로 배열된다. 제 1관통형 패드(110)들은 베이스 반도체 칩(100)의 상부면으로부터 하부면까지 관통된 관통공(112), 관통공(112)으로부터 베이스 반도체 칩(100)의 상부면으로 돌출된 제 1패드(114), 관통공(112)으로부터 베이스 반도체 칩(100)의 하부면으로 돌출된 제 2패드(116), 관통공(112)을 채워 제 1패드(114) 및 제 2패드(116)를 전기적으로 연결시키는 연결부(115) 및 제 1패드(114)의 상부면에 형성되어 베이스 반도체 칩(100)과 적층 반도체 칩(200)을 전기적으로 연결시키는 제 1스터드 범프(120)를 포함한다.
- [0032] 적층 반도체 칩(200)은 베이스 반도체 칩(100)의 상부면에 적층되는 반도체 칩으로, 베이스 반도체 칩(100)의 상부에 적어도 1개이상 적층된다. 예를 들어 베이스(100) 및 적층 반도체 칩(200)의 두께가 100 $\mu$ m일 때 가장 바람직하게, 베이스 반도체 칩(100)의 상부에 적층되는 적층 반도체 칩(200)의 개수는 5개이다.
- [0033] 이와 같이 적층 반도체 패키지(1) 내부에 100 $\mu$ m두께를 갖는 1개의 베이스 반도체 칩(100)과 5개의 적층 반도체 칩(200)이 적층될 경우 적층 반도체 패키지(1)의 전체 두께는 종래의 규격화된 TSOP 타입의 패키지 소자 1개의 두께와 동일하다. 따라서, 본 발명에 의한 적층 반도체 패키지(1)는 종래의 규격화된 TSOP 타입의 패키지 소자 1개에 비해 메모리 용량이 6배 정도 증가된다. 그리고, 종래에 규격화된 TSOP 타입의 패키지 소자를 수직방향으로 6개 적층시켜 적층 반도체 패키지를 형성한 것에 비해 본 발명에 의한 적층 반도체 패키지(1)의 두께가 훨씬 얇다. 따라서, 본 발명에 의한 적층 반도체 패키지(1)는 대용량화 및 박형화를 요구하는 전자기기에 대응이 용이하다.
- [0034] 한편, 상술한 적층 반도체 칩(200)의 상부면 중앙에는 제 2관통형 패드(210)들이 일렬로 배열된다. 제 2관통형 패드(210)들은 적층 반도체 칩(200)의 상부면으로부터 하부면까지 관통된 관통공(212), 관통공(212)으로부터 적층 반도체 칩(200)의 상부면으로 돌출된 제 1패드(214), 관통공(212)으로부터 적층 반도체 칩(200)의 하부면으로 돌출된 제 2패드(216), 관통공(212)을 채워 제 1패드(214) 및 제 2패드(216)를 전기적으로 연결시키는 연결부(215)를 포함한다.
- [0035] 바람직하게, 최상부 층에 적층된 적층 반도체 칩(200b)의 제 2관통형 패드(210b)는 상술한 구성요소들만 포함하지만, 베이스 반도체 칩(100)과 최상층에 적층된 적층 반도체 칩(200b) 사이에도 2e에서와 같이 다른 적층 반도체 칩(200a)이 배치된 경우, 베이스 반도체 칩(100)과 최상층에 적층된 적층 반도체 칩(200b) 사이의 다른 적층 반도체 칩(200a)의 제 2관통형 패드(210a)는 제 2스터드 범프(220)를 더 포함한다. 제 2스터드 범프(220)는 제 1패드(214)의 상부면에 형성되어 상부에 적층되는 적층 반도체 칩(200)을 전기적으로 연결시킨다.
- [0036] 바람직하게, 관통공(112, 212), 제 1패드(114, 214), 제 2패드(116, 216) 및 연결부(115, 215)는 반도체 칩들이 복수개의 열과 행으로 배열된 웨이퍼 상태에서 형성되고, 제 1 및 제 2스터드 범프(120, 220)는 베이스 반도체 칩(100) 및 적층 반도체 칩(200)이 다이패드(20) 상에 적층된 후 형성된다.

- [0037] 지지용 범프(300)는 베이스 반도체 칩(100)과 적층 반도체 칩(200)의 사이, 그리고 적층 반도체 칩(200)들의 사이에 배치되어 적층 반도체 칩(200)들을 지지한다. 바람직하게, 지지용 범프(300)들은 제 1 및 제 2 스테드 범프(120, 220)와 함께 형성되며, 높이는 반도체 칩과 반도체 칩 사이의 간격과 동일하다.
- [0038] 와이어(210)는 베이스 및 적층 반도체 칩(100, 200)들과 리드(30)들을 전기적으로 연결시키는 것으로, 와이어(310)의 일측 단부는 적층 반도체 칩(200)들 중 최상층에 위치한 적층 반도체 칩(200b)의 제 1패드(212)에 본딩되고, 와이어(310)의 타측 단부는 리드(30)에 본딩된다.
- [0039] 밀봉부(320)는 다이패드(20), 다이패드(20) 상에 적층되는 베이스 반도체 칩(100) 및 적층 반도체 칩(200)들, 와이어(310) 그리고, 리드(30)들의 일부분을 밀봉 수지, 예를 들어 에폭시 몰딩 컴파운드로 덮어 이들을 외부 환경으로부터 보호한다. 여기서, 리드(30)들 중 밀봉부(320)의 안쪽에 위치하는 리드(30)들은 내부 리드들이 되고, 밀봉부(320)의 바깥쪽으로 노출된 부분은 외부 리드들이 된다.
- [0040] 바람직하게, 밀봉부(320)의 외부로 다이패드(20)의 하부면이 노출되는데, 이는 다이패드(20)의 하부면을 적층 반도체 패키지(1)가 구동될 경우 베이스 반도체 칩(100) 및 적층 반도체 칩(200)들에서 발생된 열을 적층 반도체 패키지(1)의 외부로 신속하게 방출시키는 히트 싱크로 사용하기 위해서이다.
- [0041] 반도체 패키지의 제조 방법
- [0042] 도 1a 내지 도 2e는 본 발명에 의한 적층 반도체 패키지의 제조 공정을 설명하기 위한 도면이다.
- [0043] 도 1a 및 도 1b는 본 발명에 의한 반도체 칩의 범프를 설명하기 위한 단면도이다.
- [0044] 도 1a에 도시된 바와 같이 베이스 및 적층 반도체 칩(100,200)의 가장자리 부근 또는 중앙 중 제 1 및 제 2관통형 패드(110, 210)들이 형성될 부분에 레이저 빔 및 식각 방법을 이용하여 반도체 칩(100, 200)의 상부면으로부터 하부면까지 관통하는 통공(112, 212)을 형성한다. 본 발명에서는 베이스 및 적층 반도체 칩(100,20)의 중앙에 제 1 및 제 2관통형 패드(110,210)들이 배열되는 것을 예로 들어 설명한다.
- [0045] 관통공(112,212)이 형성되면, 도 1b에 도시된 바와 같이 전기 도금 또는 박막 증착 및 패터닝 공정을 거쳐 관통공(112,212)으로부터 베이스 및 적층 반도체 칩(100,200)의 상부면으로 돌출되는 제 1패드(114,214), 관통공(112,212)으로부터 베이스 및 적층 반도체 칩(100,200)의 하부면으로 돌출된 제 2패드(116,216) 및 제 1패드(114, 214) 및 제 2패드(116, 216)를 전기적으로 연결시키는 연결부(115, 215)를 형성한다.
- [0046] 관통공(112, 212), 제 1패드(114, 214), 제 2패드(116, 216) 및 연결부(115, 215)는 반도체 칩들이 복수개의 열과 행으로 배열된 웨이퍼 상태에서 형성된다.
- [0047] 도 2a는 도 1b의 베이스 반도체 칩을 다이패드에 부착하는 과정을 설명하기 위한 단면도이다.
- [0048] 도 1a 및 도 1b의 과정을 통해 베이스 반도체 칩(100)이 완성되면, 리드 프레임(10)의 다이패드(20) 상부면에 접착부재(50)를 도포하고, 접착부재(50)의 상부면에 베이스 반도체 칩(100)을 올려놓은 후에, 열과 압력을 가하여 베이스 반도체 칩(100)을 다이 패드(20)의 상부면에 부착시킨다.
- [0049] 도 2b는 베이스 반도체 칩의 상부면에 제 1스텝드 범프 및 지지용 범프를 형성하는 과정을 설명하기 위한 단면도이다.
- [0050] 이후, 스테드 범프를 형성하는 장비(도시 안됨)을 이용하여 도 2b에 도시된 바와 같이 베이스 반도체 칩(100)의 제 1패드(114)에 제 1스텝드 범프(120)를 형성하고, 베이스 반도체 칩(100)의 상부면 양측 가장자리 부근에 지지용 범프(300)를 형성한다.
- [0051] 도 2c는 도 2b에 도시된 베이스 반도체 칩의 상부면에 적층 반도체 칩이 적층된 상태를 나타낸 도면이다.
- [0052] 이어, 베이스 반도체 칩(100)의 상부에 적층 반도체 칩(200)을 올려놓고, 소정의 열과 압력을 가한다. 그러면, 도 2c에 도시된 바와 같이 제 1스텝드 범프(120)는 적층 반도체 칩(200)의 제 2패드(216)에 직접 접촉됨으로, 베이스 반도체 칩(100)과 적층 반도체 칩(200)의 전기적 연결 길이가 짧아져 전기적 특성이 향상된다.
- [0053] 그리고, 적층 반도체 칩(200)은 제 1스텝드 범프(120) 및 지지용 범프(300)에 의해 지지되며, 열과 압력에 의해 금으로 형성된 제 1스텝드 범프(120) 및 지지용 범프(300)가 녹으면서 적층 반도체 칩(200)을 베이스 반도체 칩(100)에 고정시킨다.

- [0054] 이후, 도 2b에서 설명한 방법으로 적층 반도체 칩(200)의 상부면에 제 2스터드 범프(220) 및 지지용 범프(300)들을 형성한다.
- [0055] 그리고, 도 2c를 참조하여 설명한 방법과 동일한 방법으로 적층 반도체 칩(200a)의 상부에 3개의 적층 반도체 칩(200a)을 더 적층시킨 후, 도 2d에 도시된 바와 같이 그 위에 최상층 적층 반도체 칩(200b)을 적층시킨다.
- [0056] 도 2d는 와이어에 의해 최상층에 배치된 적층 반도체 칩과 리드들이 연결된 상태를 도시한 단면도이다.
- [0057] 도 2d에 도시된 바와 같이 리드 프레임의 다이패드 상부면에 베이스 반도체 칩 및 5개의 적층 반도체 칩이 수직으로 적층되면, 도전성 재질로 형성된 와이어(310)의 일측 단부를 적층 반도체 칩(200)들 중 최상층에 위치한 적층 반도체 칩(200b)의 제 1패드(212)에 본딩시키고, 와이어(310)의 타측 단부는 리드(30)에 본딩시킨다.
- [0058] 여기서, 제 1 및 제 2스터드 범프(120, 220)에 의해 베이스 및 적층 반도체 칩(100, 200)들의 범프들이 직접 접촉되고, 와이어(310)에 의해 베이스 및 적층 반도체 칩(100, 200)들이 리드(30)들과 전기적으로 연결되면, 전기 신호 전달의 시간 차가 거의 발생되지 않아 고속 응답속도를 갖는다.
- [0059] 도 2e는 도 2d에 밀봉부를 형성하여 적층 반도체 패키지를 완성한 단면도이다.
- [0060] 와이어 본딩 공정이 완료되면, 도 2e에 도시된 바와 같이 다이패드(20), 다이패드(20) 상에 적층되는 베이스 반도체 칩(100) 및 적층 반도체 칩(200)들, 와이어(310) 그리고, 리드(30)들의 일부분을 밀봉 수지, 예를 들어 에폭시 몰딩 컴파운드로 덮어 이들을 외부 환경으로부터 보호하는 밀봉부를 형성한다. 이때, 다이패드(20)의 하부면이 몰딩부(320)의 외부로 노출되도록 다이패드(20)의 하부면은 몰딩 수지로 감싸지 않는데, 이는 적층 반도체 패키지(1)의 내부에서 발생된 열을 적층 반도체 패키지(1)의 외부로 신속하게 방출시키기 위해서이다. 또한, 제 1 및 제 2스터드 범프(120, 220) 및 지지용 범프(300)에 의해 임시적으로 고정된 베이스 및 적층 반도체 칩(100, 200)들 사이를 흡습이 일어나지 않는 에폭시 몰딩 컴파운드가 채워 베이스 및 적층 반도체 칩(100, 200)들을 완전히 고정시킨다.
- [0061] 여기서, 리드(30)들 중 밀봉부(320)의 안쪽에 위치하는 리드(30)들은 내부 리드들이 되고, 밀봉부(320)의 바깥쪽으로 노출된 부분은 외부 리드들이 된다.
- [0062] 이후, 모기판에 다이패드(20) 및 리드(30)들을 연결시키는 타이바(도시 안됨) 및 리드 프레임(100)의 불필요한 부분을 절단하는 트림공정을 진행한다. 그리고, 밀봉부(320)의 외부로 노출된 외부 리드들을 적층 및 실장이 용이한 형태로 절곡시키는 포밍공정을 진행하여 본 발명에 의한 적층 반도체 패키지(1)를 형성한다.
- [0063] 이상에서 설명한 과정을 거쳐 제조된 적층 반도체 패키지(1)의 용량을 배가시키기 원할 경우, 본 발명에 의한 낱개의 적층 반도체 패키지(1)를 적어도 2개이상 적층시킨다.
- [0064] 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

**발명의 효과**

- [0065] 이상에서 상세하게 설명한 바와 같이 하나의 패키지 내에 복수개의 반도체 칩을 적층시키고, 적층된 반도체 칩들의 범프들을 직접 접속시킴으로써, 적층 반도체 패키지의 메모리 용량은 배가시키고 두께는 박형화시킬 수 있다.
- [0066] 또한, 적층된 반도체 칩들의 범프들을 직접 접속시키면 전기적 연결 길이가 짧아져 전기적 특성이 향상되고, 베이스 및 적층 반도체 칩들 사이에 흡습이 일어나지 않는 에폭시 몰딩 컴파운드가 채워지기 때문에 적층 반도체 패키지의 신뢰성을 향상시킬 수 있다.

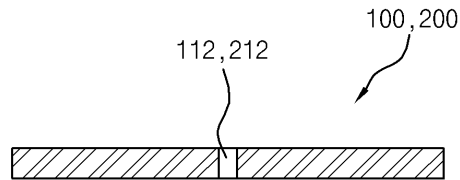
**도면의 간단한 설명**

- [0001] 도 1a 및 도 1b는 본 발명에 의한 반도체 칩의 범프를 설명하기 위한 단면도이다.
- [0002] 도 2a는 도 1b의 베이스 반도체 칩을 다이패드에 부착하는 과정을 설명하기 위한 단면도이다.
- [0003] 도 2b는 베이스 반도체 칩의 상부면에 제 1스터드 범프 및 지지용 범프를 형성하는 과정을 설명하기 위한 단면도이다.

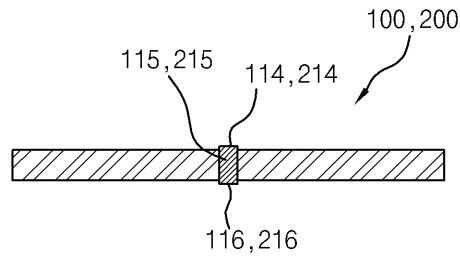
- [0004] 도 2c는 도 2b에 도시된 베이스 반도체 칩의 상부면에 적층 반도체 칩이 적층된 상태를 나타낸 도면이다.
- [0005] 도 2d는 와이어에 의해 최상층에 배치된 적층 반도체 칩과 리드들이 연결된 상태를 도시한 단면도이다.
- [0006] 도 2e는 도 2d에 밀봉부를 형성하여 적층 반도체 패키지를 완성한 단면도이다.

도면

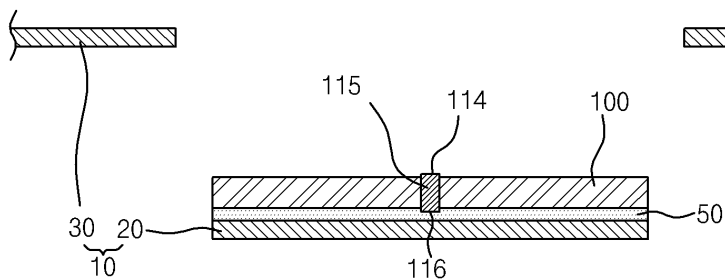
도면1a



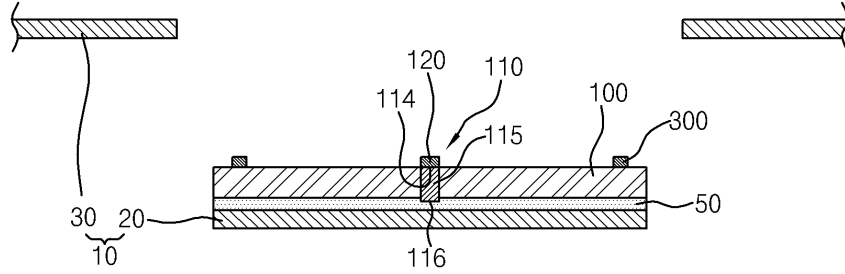
도면1b



도면2a



도면2b



도면2c

