

(72) 발명자

이호규

서울특별시 성북구 안암로 145, 미래융합기술관
516호 (안암동5가)

아우란고제브

서울특별시 성북구 안암로 145, 미래융합기술관
516호 (안암동5가)

임채강

인천광역시 남구 한나루로 550번길 91 (주안동)

박윤수

충청남도 예산군 예산읍 사직동길 65, 106호 (삼미
맨션)

이 발명을 지원한 국가연구개발사업

과제고유번호 20120008839

부처명 교과부

연구관리전문기관 한국연구재단

연구사업명 (이공)기초연구실용성사업

연구과제명 그린 스마트패치 및 응용 소프트웨어 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2012.09.01 ~ 2013.08.31

명세서

청구범위

청구항 1

기생 커패시턴스를 보상하는 디지털-아날로그 변환 장치에 있어서,

제1 입력 전압 및 제2 입력 전압 각각에 기초하여, 제1 출력단 및 제2 출력단을 통해 제1 출력 기준 전압 및 제2 출력 기준 전압을 출력하는 제1 커패시터열 및 제2 커패시터열;

상기 제1 출력 기준 전압과 상기 제2 출력 기준 전압의 크기를 비교하여 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 비교부;

상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 각각의 크기를 고정된 비율만큼 감소시키는 제1 고정 감폭(damping)부 및 제2 고정 감폭부; 및

자신의 정전 용량을 가변시킴으로써 상기 제1 출력단 및 상기 제2 출력단 각각에서 형성되는 기생 커패시턴스를 보상하는 제1 가변 감폭부 및 제2 가변 감폭부를 포함하는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 2

제1항에 있어서,

상기 제1 가변 감폭부는

상기 기생 커패시턴스가 없는 상태에서 상기 제1 고정 감폭부가 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율과 상기 기생 커패시턴스가 존재하는 상태에서 상기 제1 고정 감폭부와 상기 제1 가변 감폭부가 함께 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율이 동일하게 되도록 자신의 정전 용량을 가변시키는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 3

제1항에 있어서,

상기 제1 가변 감폭부는

두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고,

상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각의 일단은 그라운드에 연결되고 타단은 상기 복수의 커패시터들 각각을 상기 제1 출력단과 선택적으로 연결하는 제1 스위치 또는 상기 복수의 커패시터들 각각을 그라운드와 선택적으로 연결하는 제2 스위치와 연결되는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 4

제3항에 있어서,

상기 제1 가변 감폭부는

상기 기생 커패시턴스 값에 기초하여 상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각에 대응되는 상기 제1 스위치 및 상기 제2 스위치를 제어하는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 5

제1항에 있어서,

상기 제1 고정 감폭부는

상기 제1 커패시터열에서 가장 큰 정전 용량을 가지는 커패시터보다 더 큰 정전 용량을 가지는 제1 고정 감폭 커패시터를 포함하는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 6

제1항에 있어서,

상기 비교부는

상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 중에서 상대적으로 높은 전압 값을 가지는 출력 기준 전압은 강하시키고 상대적으로 낮은 전압 값을 가지는 출력 기준 전압은 상승시키도록 상기 제어 신호를 발생시키는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 7

제6항에 있어서,

상기 비교부는

상기 제1 출력 기준 전압의 크기와 상기 제2 출력 기준 전압의 크기간의 비교 결과에 기초하여, 상기 제1 커패시터열에서 가장 큰 정전 용량을 가지는 커패시터를 제어하기 위한 제어 신호부터 다음으로 작은 정전 용량을 가지는 커패시터에 대한 제어 신호 순서로 제어 신호를 발생시키는 방식으로 상기 제어 신호를 발생시키는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 8

제1항에 있어서,

상기 제1 커패시터열은

두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고,

상기 복수의 커패시터들 각각의 일단은 상기 제1 출력단에 연결되고 타단은 상기 복수의 커패시터들 각각을 커먼모드 전압, 포지티브 기준전압 및 네거티브 기준전압 중 하나에 선택적으로 연결하는 제3 스위치와 연결되는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 9

제8항에 있어서,

상기 제1 커패시터열은

상기 제1 커패시터열의 복수의 커패시터들 중에서 가장 작은 정전 용량을 가지는 커패시터와 동일한 정전 용량을 가지는 추가 커패시터를 더 포함하고,

상기 추가 커패시터의 일단은 상기 제1 출력단에 연결되고 타단은 그라운드에 연결되는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 10

제1항에 있어서,

상기 비교부가 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키면, 상기 제1 커패시터열에 대응되는 제어 신호 또는 상기 제2 커패시터열에 대응되는 제어 신호를 택일적으로 기록하는 레지스터를 더 포함하는 것을 특징으로 하는 디지털-아날로그 변환 장치.

청구항 11

디지털-아날로그 변환 장치에서의 기생 커패시턴스를 보상 방법에 있어서,

제1 커패시터열 및 제2 커패시터열이 제1 입력 전압 및 제2 입력 전압 각각에 기초하여, 제1 출력단 및 제2 출력단을 통해 제1 출력 기준 전압 및 제2 출력 기준 전압을 출력하는 단계;

비교부가 상기 제1 출력 기준 전압과 상기 제2 출력 기준 전압의 크기를 비교하여 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 단계;

제1 고정 감폭부 및 제2 고정 감폭부가 상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 각각의 크기를 고정된 비율만큼 감소시키는 단계; 및

제1 가변 감폭부 및 제2 가변 감폭부가 자신의 정전 용량을 변화시킴으로써 상기 제1 출력단 및 상기 제2 출력단 각각에서 형성되는 기생 커패시턴스를 보상하는 단계를 포함하는 것을 특징으로 하는 기생 커패시턴스 보상 방법.

청구항 12

제11항에 있어서,

상기 제1 출력단에서 형성되는 기생 커패시턴스를 보상하는 단계는

상기 제1 가변 감폭부가 상기 기생 커패시턴스가 없는 상태에서 상기 제1 고정 감폭부가 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율과 상기 기생 커패시턴스가 존재하는 상태에서 상기 제1 고정 감폭부와 상기 제1 가변 감폭부가 함께 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율이 동일하게 되도록 자신의 정전 용량을 가변시키는 단계를 포함하는 것을 특징으로 하는 기생 커패시턴스 보상 방법.

청구항 13

제11항에 있어서,

상기 제1 가변 감폭부가 두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고, 상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각의 일단은 그라운드에 연결되고 타단은 상기 복수의 커패시터들 각각을 상기 제1 출력단과 선택적으로 연결하는 제1 스위치 또는 상기 복수의 커패시터들 각각을 그라운드와 선택적으로 연결하는 제2 스위치와 연결될 때,

상기 제1 출력단에서 형성되는 기생 커패시턴스를 보상하는 단계는 상기 기생 커패시턴스 값에 기초하여 상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각에 대응되는 상기 제1 스위치 및 상기 제2 스위치를 제어함으로써 상기 보상을 수행하는 것을 특징으로 하는 기생 커패시턴스 보상 방법.

청구항 14

제11항에 있어서,

상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 단계는

상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 중에서 상대적으로 높은 전압 값을 가지는 출력 기준 전압은 강하시키고 상대적으로 낮은 전압 값을 가지는 출력 기준 전압은 상승시키도록 상기 제어 신호를 발생시키는 것을 특징으로 하는 기생 커패시턴스 보상 방법.

청구항 15

제11항에 있어서,

상기 제1 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 단계는

상기 제1 출력 기준 전압의 크기와 상기 제2 출력 기준 전압의 크기간의 비교 결과에 기초하여, 상기 제1 커패시터열에서 가장 큰 정전 용량을 가지는 커패시터를 제어하기 위한 제어 신호부터 다음으로 작은 정전 용량을 가지는 커패시터에 대한 제어 신호 순서로 제어 신호를 발생시키는 방식으로 상기 제어 신호를 발생시키는 것을 특징으로 하는 기생 커패시턴스 보상 방법.

청구항 16

제11항에 있어서,

상기 제1 커패시터열이 두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고 상기 복수의 커패시터들 각각의 일단이 상기 제1 출력단에 연결될 때,

상기 제1 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 단계는

상기 제1 커패시터열의 상기 복수의 커패시터들 각각의 타단이 커먼모드 전압, 포지티브 기준전압 및 네거티브 기준전압 중 하나에 선택적으로 연결되도록 하기 위한 제어 신호를 발생시키는 것을 특징으로 하는 기생 커패시턴스 보상 방법.

청구항 17

제11항에 있어서,

상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호가 발생되면, 상기 제1 커패시터열에 대응되는 제어 신호 또는 상기 제2 커패시터열에 대응되는 제어 신호를 택일적으로 기록하는 단계를 더 포함하는 것을 특징으로 하는 기생 커패시턴스 보상 방법.

발명의 설명

기술 분야

[0001] 본 발명은 기생 커패시턴스 보상에 관한 것으로, 특히 기생 커패시턴스를 보상하는 디지털-아날로그 변환 장치 및 그 기생 커패시턴스 보상 방법에 관한 것이다.

배경 기술

[0002] 데이터를 처리함에 있어 처리 속도가 높고, 환경 잡음에 둔감한 특성을 지니는 디지털 신호처리가 아날로그 신호처리에 비해 유리하다. 하지만 사람이 인식하는 신호는 아날로그 형태이기 때문에, 처리된 디지털 신호를 아날로그 신호로 변환하는 작업이 필요하게 된다.

[0003] 디지털-아날로그 변환 장치는 처리된 디지털 신호 또는 특정 디지털 코드(Code)를 아날로그 신호로 변환하는 역할을 한다. 커패시터 기반의 디지털-아날로그 변환 장치는 정적 전력을 소모하지 않고, 동적 전력만을 소모하기 때문에 저 전력 설계에 많이 사용되지만, 공정 변화와 금속의 특성에 따른 기생 커패시턴스로 인해 디지털-아날로그 변환 장치의 선형성을 보장할 수 없다는 문제점이 있었다.

[0004] 따라서, 공정 변화, 미스 매치, 금속 특성에 따른 기생 커패시터의 영향을 감소시킬 수 있는 디지털-아날로그 변환 장치의 필요성이 대두되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 기생 커패시턴스로 인한 디지털-아날로그 변환 장치의 비선형성을 보상하는 디지털-아날로그 변환 장치 및 그 기생 커패시턴스 보상 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 기생 커패시턴스를 보상하는 디지털-아날로그 변환 장치는 제1 입력 전압 및 제2 입력 전압 각각에 기초하여, 제1 출력단 및 제2 출력단을 통해 제1 출력 기준 전압 및 제2 출력 기준 전압을 출력하는 제1 커패시터열 및 제2 커패시터열; 상기 제1 출력 기준 전압과 상기 제2 출력 기준 전압의 크기를 비교하여 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 비교부; 상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 각각의 크기를 고정된 비율만큼 감소시키는 제1 고정 감폭(damping)부 및 제2 고정 감폭부; 및 자신의 정전 용량을 가변시킴으로써 상기 제1 출력단 및 상기 제2 출력단 각각에서 형성되는 기생 커패시턴스를 보상하는 제1 가변 감폭부 및 제2 가변 감폭부를 포함한다.

[0007] 바람직하게는, 상기 제1 가변 감폭부는 상기 기생 커패시턴스가 없는 상태에서 상기 제1 고정 감폭부가 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율과 상기 기생 커패시턴스가 존재하는 상태에서 상기 제1 고정 감폭부와 상기 제1 가변 감폭부가 함께 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율이 동일하게 되도록 함으로써 상기 보상을 수행할 수 있다.

[0008] 바람직하게는, 상기 제1 가변 감폭부는 두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고, 상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각의 일단은 그라운드에 연결되고 타단은 상기 복수의 커패시

터들 각각을 상기 제1 출력단과 선택적으로 연결하는 제1 스위치 또는 상기 복수의 커패시터들 각각을 그라운드와 선택적으로 연결하는 제2 스위치와 연결될 수 있다.

[0009] 바람직하게는, 상기 제1 가변 감폭부는 상기 기생 커패시턴스 값에 기초하여 상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각에 대응되는 상기 제1 스위치 및 상기 제2 스위치를 제어할 수 있다.

[0010] 바람직하게는, 상기 제1 고정 감폭부는 상기 제1 커패시터열에서 가장 큰 정전 용량을 가지는 커패시터보다 더 큰 정전 용량을 가지는 제1 고정 감폭 커패시터를 포함할 수 있다.

[0011] 바람직하게는, 상기 비교부는 상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 중에서 상대적으로 높은 전압 값을 가지는 출력 기준 전압은 강하시키고 상대적으로 낮은 전압 값을 가지는 출력 기준 전압은 상승시키도록 상기 제어 신호를 발생시킬 수 있다.

[0012] 바람직하게는, 상기 비교부는 상기 제1 출력 기준 전압의 크기와 상기 제2 출력 기준 전압의 크기간의 비교 결과에 기초하여, 상기 제1 커패시터열에서 가장 큰 정전 용량을 가지는 커패시터를 제어하기 위한 제어 신호부터 다음으로 작은 정전 용량을 가지는 커패시터에 대한 제어 신호 순서로 제어 신호를 발생시키는 방식으로 상기 제어 신호를 발생시킬 수 있다.

[0013] 바람직하게는, 상기 제1 커패시터열은 두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고, 상기 복수의 커패시터들 각각의 일단은 상기 제1 출력단에 연결되고 타단은 상기 복수의 커패시터들 각각을 커먼모드 전압, 포지티브 기준전압 및 네거티브 기준전압 중 하나에 선택적으로 연결하는 제3 스위치와 연결될 수 있다.

[0014] 바람직하게는, 상기 제1 커패시터열은 상기 제1 커패시터열의 복수의 커패시터들 중에서 가장 작은 정전 용량을 가지는 커패시터와 동일한 정전 용량을 가지는 추가 커패시터를 더 포함하고, 상기 추가 커패시터의 일단은 상기 제1 출력단에 연결되고 타단은 그라운드에 연결될 수 있다.

[0015] 바람직하게는, 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치는 상기 비교부가 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키면, 상기 제1 커패시터열에 대응되는 제어 신호 또는 상기 제2 커패시터열에 대응되는 제어 신호를 택일적으로 기록하는 레지스터를 더 포함할 수 있다.

[0016] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치에서의 기생 커패시턴스를 보상 방법은 제1 커패시터열 및 제2 커패시터열이 제1 입력 전압 및 제2 입력 전압 각각에 기초하여, 제1 출력단 및 제2 출력단을 통해 제1 출력 기준 전압 및 제2 출력 기준 전압을 출력하는 단계; 비교부가 상기 제1 출력 기준 전압과 상기 제2 출력 기준 전압의 크기를 비교하여 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 단계; 제1 고정 감폭부 및 제2 고정 감폭부가 상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 각각의 크기를 고정된 비율만큼 감소시키는 단계; 및 제1 가변 감폭부 및 제2 가변 감폭부가 자신의 정전 용량을 가변시킴으로써 상기 제1 출력단 및 상기 제2 출력단 각각에서 형성되는 기생 커패시턴스를 보상하는 단계를 포함한다.

[0017] 바람직하게는, 상기 제1 출력단에서 형성되는 기생 커패시턴스를 보상하는 단계는 상기 제1 가변 감폭부가 상기 기생 커패시턴스가 없는 상태에서 상기 제1 고정 감폭부가 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율과 상기 기생 커패시턴스가 존재하는 상태에서 상기 제1 고정 감폭부와 상기 제1 가변 감폭부가 함께 감소시키는 상기 제1 출력 기준 전압 크기의 감소 비율이 동일하게 되도록 함으로써 상기 보상을 수행할 수 있다.

[0018] 바람직하게는, 상기 제1 가변 감폭부가 두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고, 상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각의 일단은 그라운드에 연결되고 타단은 상기 복수의 커패시터들 각각을 상기 제1 출력단과 선택적으로 연결하는 제1 스위치 또는 상기 복수의 커패시터들 각각을 그라운드와 선택적으로 연결하는 제2 스위치와 연결될 때, 상기 제1 출력단에서 형성되는 기생 커패시턴스를 보상하는 단계는 상기 기생 커패시턴스 값에 기초하여 상기 제1 가변 감폭부의 상기 복수의 커패시터들 각각에 대응되는 상기 제1 스위치 및 상기 제2 스위치를 제어함으로써 상기 보상을 수행할 수 있다.

[0019] 바람직하게는, 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 단계는 상기 제1 출력 기준 전압 및 상기 제2 출력 기준 전압 중에서 상대적으로 높은 전압 값을 가지는 출력 기준 전압은 강하시키고 상대적으로 낮은 전압 값을 가지는 출력 기준 전압은 상승시키도록 상기 제어 신호를 발생시킬 수 있다.

[0020] 바람직하게는, 상기 제1 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는

단계는 상기 제1 출력 기준 전압의 크기와 상기 제2 출력 기준 전압의 크기간의 비교 결과에 기초하여, 상기 제1 커패시터열에서 가장 큰 정전 용량을 가지는 커패시터를 제어하기 위한 제어 신호부터 다음으로 작은 정전 용량을 가지는 커패시터에 대한 제어 신호 순서로 제어 신호를 발생시키는 방식으로 상기 제어 신호를 발생시킬 수 있다.

[0021] 바람직하게는, 상기 제1 커패시터열이 두 배씩 커지는 정전 용량을 가지는 복수의 커패시터들을 포함하고 상기 복수의 커패시터들 각각의 일단이 상기 제1 출력단에 연결될 때, 상기 제1 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키는 단계는 상기 제1 커패시터열의 상기 복수의 커패시터들 각각의 타단이 커먼모드 전압, 포지티브 기준전압 및 네거티브 기준전압 중 하나에 선택적으로 연결되도록 하기 위한 제어 신호를 발생시킬 수 있다.

[0022] 바람직하게는, 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치에서의 기생 커패시턴스 보상 방법은 상기 제1 커패시터열 및 상기 제2 커패시터열에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호가 발생되면, 상기 제1 커패시터열에 대응되는 제어 신호 또는 상기 제2 커패시터열에 대응되는 제어 신호를 택일적으로 기록하는 단계를 더 포함할 수 있다.

발명의 효과

[0023] 본 발명의 일 실시예는 공정 변화, 미스 매치, 금속 특성에 따른 기생 커패시터의 영향을 감소시킴으로써, 기생 커패시턴스로 인한 디지털-아날로그 변환 장치의 비선형성을 최소화하는 효과가 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치를 설명하기 위하여 도시한 도면이다.

도 2는 본 발명의 다른 실시예에 따른 디지털-아날로그 변환 장치를 설명하기 위하여 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 제1 가변 감폭부를 설명하기 위하여 도시한 도면이다.

도 4는 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치에서의 기생 커패시턴스 보상 방법을 설명하기 위하여 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0026] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일

반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0030] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치를 설명하기 위하여 도시한 도면이다.

[0032] 도 1을 참조하면, 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치는 제1 커패시터열(110), 제1 고정 감폭부(112), 제1 가변 감폭부(114), 제1 입력 전압(V_{INP}), 제2 커패시터열(120), 제2 고정 감폭부(122), 제2 가변 감폭부(124), 제2 입력 전압(V_{INN})을 포함한다.

[0033] 이때, 제1 커패시터열(110), 제1 고정 감폭부(112) 및 제1 가변 감폭부(114) 각각은 병렬로 연결되고, 제2 커패시터열(120), 제2 고정 감폭부(122), 제2 가변 감폭부(124) 각각은 병렬로 연결된다고 가정한다.

[0034] 제1 커패시터열(110)은 제1 입력단(V_{INP})을 통해 입력되는 제1 입력 전압에 기초하여 제1 커패시터열(110)에 연결된 제1 출력단(V_{DAC1})을 통해 제1 출력 기준 전압을 출력한다.

[0035] 제2 커패시터열(120)은 제2 입력단(V_{INN})을 통해 입력되는 제2 입력 전압에 기초하여 제2 커패시터열(120)에 연결된 제2 출력단(V_{DAC2})을 통해 제2 출력 기준 전압을 출력한다.

[0036] 비교부(130)는 제1 출력 기준 전압과 제2 출력 기준 전압의 크기를 비교하여 제1 커패시터열(110) 및 제2 커패시터열(120)에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시킨다.

[0037] 보다 구체적으로는, 비교부(130)는 제1 출력 기준 전압 및 제2 출력 기준 전압 중에서 상대적으로 높은 전압 값을 가지는 출력 기준 전압은 강하시키고 상대적으로 낮은 전압 값을 가지는 출력 기준 전압은 상승시키도록 제어 신호를 발생시킬 수 있다.

[0038] 예컨대, 비교부(130)는 제1 출력 기준 전압의 크기가 제2 출력 기준 전압의 크기보다 크다고 판단되면 제어 신호 0을 발생시켜 제1 커패시터열(110)에 제어 신호 0을 전송함으로써 제1 출력 기준 전압을 강하시키고, 다음으로 제어 신호 1을 발생시켜 제2 커패시터열(120)에 제어 신호 1을 전송함으로써 제2 출력 기준 전압을 상승시킬 수 있다.

[0039] 제1 고정 감폭(damping)(112)부는 제1 출력 기준 전압의 크기를 고정된 비율만큼 감소시킨다.

[0040] 제2 고정 감폭부(122)는 제2 출력 기준 전압의 크기를 고정된 비율만큼 감소시킨다.

[0041] 제1 가변 감폭부(114)는 자신의 정전 용량을 가변시킴으로써 제1 출력단(V_{DAC1})에 형성되는 기생 커패시턴스를 보상한다.

[0042] 이때, 제1 가변 감폭부(114)는 기생 커패시턴스가 없는 상태에서 제1 고정 감폭부(112)가 감소시키는 제1 출력 기준 전압 크기의 감소 비율과 기생 커패시턴스가 존재하는 상태에서 제1 고정 감폭부(112)와 제1 가변 감폭부(114)가 함께 감소시키는 제1 출력 기준 전압 크기의 감소 비율이 동일하게 되도록 자신의 정전 용량을 가변시킴으로써 보상을 수행하게 된다.

[0043] 제2 가변 감폭부(124)는 제2 출력단(V_{DAC2})에 형성되는 기생 커패시턴스를 보상하는데, 제1 가변 감폭부(114)와 동일한 동작을 수행하게 된다.

[0044] 이와 같이 본 발명의 일 실시예는 제1 가변 감폭부(114) 및 제2 가변 감폭부(124)의 정전 용량을 가변시킴으로써 기생 커패시턴스를 보상할 수 있는 효과가 있다.

[0045] 도 2는 본 발명의 다른 실시예에 따른 디지털-아날로그 변환 장치를 설명하기 위하여 도시한 도면이다.

[0046] 도 1의 디지털-아날로그 변환 장치 중에서 제2 커패시터열(120), 제2 고정 감폭부(122), 제2 가변 감폭부(124)의 동작은 제1 커패시터열(110), 제1 고정 감폭부(112), 제1 가변 감폭부(114)와 동일하므로, 도 2에서는 설명의 편의를 위하여 제1 커패시터열(110), 제1 고정 감폭부(112), 제1 가변 감폭부(114)만을 도시하였다.

[0047] 도 2에서는 도 1과는 달리 제1 입력 전압(V_{INP})을 디지털-아날로그 변환 장치에게 선택적으로 인가하기 위한 스위치(116)가 더 도시되어 있는데, 이를 통해 디지털-아날로그 변환 장치에게 제1 입력 전원을 선택적으로 인가

할 수 있게 된다.

- [0048] 도 2를 참조하면, 제1 커패시터열(110)은 C1 내지 C6의 6개의 커패시터들로 구성되는데 C1에서 C6로 갈수록 두 배씩 커지는 정전 용량을 가지게 된다. 즉, C6가 C1에 비해 32배 큰 정전 용량을 가진다.
- [0049] 또한, 커패시터들(C1 내지 C6) 각각의 일단은 제1 출력단(V_{DAC1})에 연결되고, 타단은 커먼모드 전압(V_{CM}), 포지티브 기준전압(V_{REFP}) 및 네거티브 기준전압(V_{REFN}) 중 하나에 선택적으로 연결하는 스위치와 연결되어 있다.
- [0050] 바람직하게는, 커먼모드 전압(V_{CM})은 0.6V, 포지티브 기준전압(V_{REFP})은 1.2V, 네거티브 기준전압(V_{REFN})은 0V일 수 있다.
- [0051] 도 2를 참조하여, 제1 커패시터열(110) 및 비교부(130)의 동작에 대한 예시를 설명하면 다음과 같다.
- [0052] 첫번째 단계에서, 제1 커패시터열(110)의 모든 커패시터들(C1 내지 C6)은 커먼모드 전압(V_{CM})에 연결되어 있다.
- [0053] 두번째 단계에서, 제1 출력 기준 전압이 제2 출력 기준 전압보다 큰 값을 가지는 경우라면 비교부(130)는 제1 커패시터열(110)의 커패시터 C6에 연결된 스위치에 제어 신호 0을 전송하여 C6가 네거티브 기준전압(V_{REFN})에 연결되게 함으로써, 제1 출력 기준 전압을 강하시킨다.
- [0054] 세번째 단계에서, 제1 출력 기준 전압이 제2 출력 기준 전압보다 작은 값을 가지는 경우라면 비교부(130)는 제1 커패시터열(110)의 커패시터 C5에 연결된 스위치에 제어 신호 1을 전송하여 C5가 포지티브 기준전압(V_{REFP})에 연결되게 함으로써, 제1 출력 기준 전압을 상승시킨다.
- [0055] 네번째 내지 여섯번째 단계에서, 비교부(130)는 제1 출력 기준 전압과 제2 출력 기준 전압의 크기를 비교하여 제1 커패시터열(110)의 커패시터 C5, C4, C3, C2, C1의 순서대로 각각의 커패시터의 스위치에게 제어 신호를 전송하게 된다.
- [0056] 정리하면, 비교부(130)는 제1 출력 기준 전압의 크기와 제2 출력 기준 전압의 크기간의 비교 결과에 기초하여, 제1 커패시터열(110)에서 가장 큰 정전 용량을 가지는 커패시터를 제어하기 위한 제어 신호부터 다음으로 작은 정전 용량을 가지는 커패시터에 대한 제어 신호 순서로 제어 신호를 발생시키는 방식으로 제어 신호를 발생시킬 수 있다.
- [0057] 이 과정에서, 제1 고정 감폭부(112)와 제1 가변 감폭부(114)는 제 1 출력 기준 전압의 전압 값에 영향을 미치게 된다. 즉, 디지털-아날로그 변환 장치에 제1 고정 감폭부(112)와 제1 가변 감폭부(114)가 탑재됨으로써, 제1 고정 감폭부(112)와 제1 가변 감폭부(114)가 디지털-아날로그 변환 장치에 존재하지 않을 때에 비해, 제1 출력 기준 전압이 소정 비율만큼 낮아지게 된다.
- [0058] 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치는 비교부(130)가 제1 커패시터열(110) 및 제2 커패시터열(120)에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시키면, 제1 커패시터열(110)에 대응되는 제어 신호 또는 제2 커패시터열(120)에 대응되는 제어 신호를 택일적으로 기록하는 레지스터(미도시)를 더 포함할 수 있다.
- [0059] 예컨대, 비교부(130)가 제1 커패시터열(110)의 커패시터들 C6 내지 C1에 대응하여 순차적으로 1, 0, 1, 0, 0, 1의 제어 신호를 발생시켰다면, 제2 커패시터열(120)에 대해서는 0, 1, 0, 1, 1, 0의 제어 신호를 발생시켰을 것이다. 이때, 레지스터는 제1 커패시터열(110)에 대응되는 제어 신호를 직렬화하여 101001을 기록할 수도 있고, 제2 커패시터열(120)에 대응되는 제어 신호를 직렬화하여 010110을 기록할 수도 있다. 만일, 레지스터가 제1 커패시터열(110)에 대응되는 제어 신호를 직렬화하여 101001을 기록하였다면, 그 기록된 제어 신호는 제1 커패시터열(110)에 입력된 아날로그 신호인 제1 입력 전압에 대응되는 디지털 신호가 된다.
- [0060] 다른 실시예에서는, 도 2의 제1 커패시터열(110)에 C1과 동일한 정전용량을 가지는 추가 커패시터가 더 추가될 수 있다. 이 추가 커패시터의 일단은 제1 출력단(V_{DAC1})에 연결되고 타단은 그라운드에 연결될 수 있다. 이와 같이, 추가 커패시터를 제1 커패시터열(110)에 추가하게 되면 제1 커패시터열(110)에 포함된 커패시터들 전체의 정전 용량의 합이 2의 지수배가 되어 바이너리 연산에 최적화가 될 수 있다.
- [0061] 제1 고정 감폭 커패시터(112)는 제1 커패시터열(110)에서 가장 큰 정전 용량을 가지는 C6 커패시터보다 더 큰 정전 용량을 가지는 제1 고정 감폭 커패시터 C7으로 구성된다.
- [0062] 이때, 제1 고정 감폭 커패시터의 정전 용량은 제1 입력 전압에 연결되는 증폭기의 게인에 의해 결정될 수 있다.

즉, 디지털-아날로그 변환 장치는 증폭기의 출력 전압을 제1 입력 전압으로서 입력받을 수 있는데, 제1 고정 감폭 커패시터는 증폭기의 게인이 충분히 크지 않을 경우에 그 부족한 증폭기 게인을 보상하기 위해 디지털-아날로그 변환 장치에 설치될 수 있다. 이 경우에 증폭기 게인의 부족한 정도에 따라 제1 고정 감폭 커패시터의 정전 용량이 결정되는 것이다.

[0063] 제1 가변 감폭부(114)는 전술한바와 같이 자신의 정전용량을 가변시킴으로써 기생 커패시턴스를 보상하는 기능을 한다. 제1 가변 감폭부(114)의 구체적인 동작에 대해서는 도 3을 참조하여 설명한다.

[0064] 도 3은 본 발명의 일 실시예에 따른 제1 가변 감폭부를 설명하기 위하여 도시한 도면이다.

[0065] 도 3을 참조하면, 제1 가변 감폭부(114)는 C8 내지 C11의 4개의 커패시터로 구성되는데, C8에서 C11로 갈수록 두 배씩 커지는 정전용량을 가진다. 즉, C11은 C8의 8배에 해당하는 정전 용량을 가지게 된다.

[0066] 이때, 커패시터들(C8 내지 C11)의 일단은 그라운드에 연결된다. 또한, 커패시터들(C8 내지 C11)의 타단은 커패시터들(C8 내지 C11)을 제1 출력단(V_{DAC1})과 선택적으로 연결하는 제1 스위치(SW2, SW4, SW6, SW8)와 연결되거나 복수의 커패시터들 각각을 그라운드와 선택적으로 연결하는 제2 스위치(SW1, SW3, SW5, SW7)와 연결된다.

[0067] 도 3을 참조하여, 제1 가변 감폭부(114)의 동작의 예시에 대해 설명하면 다음과 같다.

[0068] 제1 가변 감폭부(114)에 0001의 제어 신호가 입력되면 SW1, SW4, SW6, SW8은 열리고, SW2, SW3, SW5, SW7은 닫혀서 커패시터 C8이 제1 출력단(V_{DAC1})과 연결된다. 이와 같이, 제1 가변 감폭부(114)에 입력되는 4비트의 제어 신호에 따라서 C8 내지 C11 4개의 커패시터 중 하나 이상의 커패시터가 제1 출력단(V_{DAC1})에 연결될 수 있다. 이를 통해, 제1 가변 감폭부(114)는 제1 가변 감폭부(114)가 가지는 정전 용량을 가변시킬 수 있게 된다.

[0069] 즉, 제1 가변 감폭부(114)는 기생 커패시턴스 값에 기초하여 제1 가변 감폭부(114)의 제1 스위치(SW2, SW4, SW6, SW8) 및 제2 스위치(SW1, SW3, SW5, SW7) 각각을 제어함으로써 기생 커패시턴스를 최소화하게 된다.

[0070] 도 3에서는 제1 가변 감폭부(114)가 4비트의 제어 신호에 의해 제어되는 경우에 대해 설명하였지만, 본 발명의 일 실시예는 이에 한정되지 않고, 제1 가변 감폭부(114)는 4비트보다 작은 비트의 제어 신호 또는 4비트보다 큰 비트의 제어 신호에 의해 제어될 수 있다.

[0071] 도 4는 본 발명의 일 실시예에 따른 디지털-아날로그 변환 장치에서의 기생 커패시턴스를 보상 방법을 설명하기 위하여 도시한 흐름도이다.

[0072] 단계 410에서는, 제1 커패시터열(110) 및 제2 커패시터열(120)이 제1 입력 전압 및 제2 입력 전압 각각에 기초하여, 제1 출력단 및 제2 출력단을 통해 제1 출력 기준 전압 및 제2 출력 기준 전압을 출력한다.

[0073] 단계 420에서는, 비교부(130)가 제1 출력 기준 전압과 제2 출력 기준 전압의 크기를 비교하여 제1 커패시터열(110) 및 제2 커패시터열(120)에 포함된 커패시터들 각각을 순차적으로 제어하는 제어 신호를 발생시킨다.

[0074] 단계 430에서는, 제1 고정 감폭부(112) 및 제2 고정 감폭부(122)가 제1 출력 기준 전압 및 제2 출력 기준 전압 각각의 크기를 고정된 비율만큼 감소시킨다.

[0075] 단계 440에서는, 제1 가변 감폭부(114) 및 제2 가변 감폭부(124)가 자신의 정전 용량을 변화시킴으로써 제1 출력단 및 제2 출력단 각각에서 형성되는 기생 커패시턴스를 보상한다.

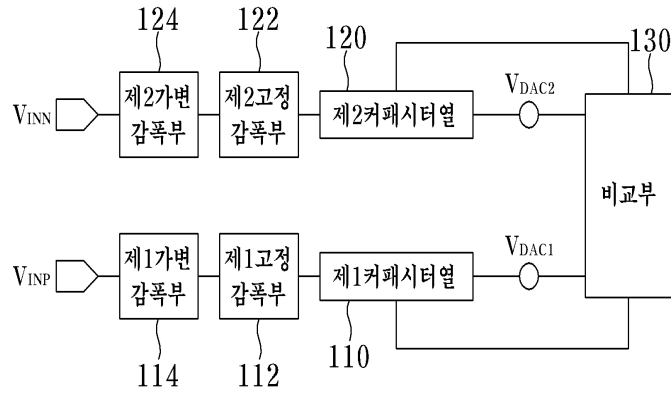
[0076] 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다.

[0077] 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등)를 포함한다.

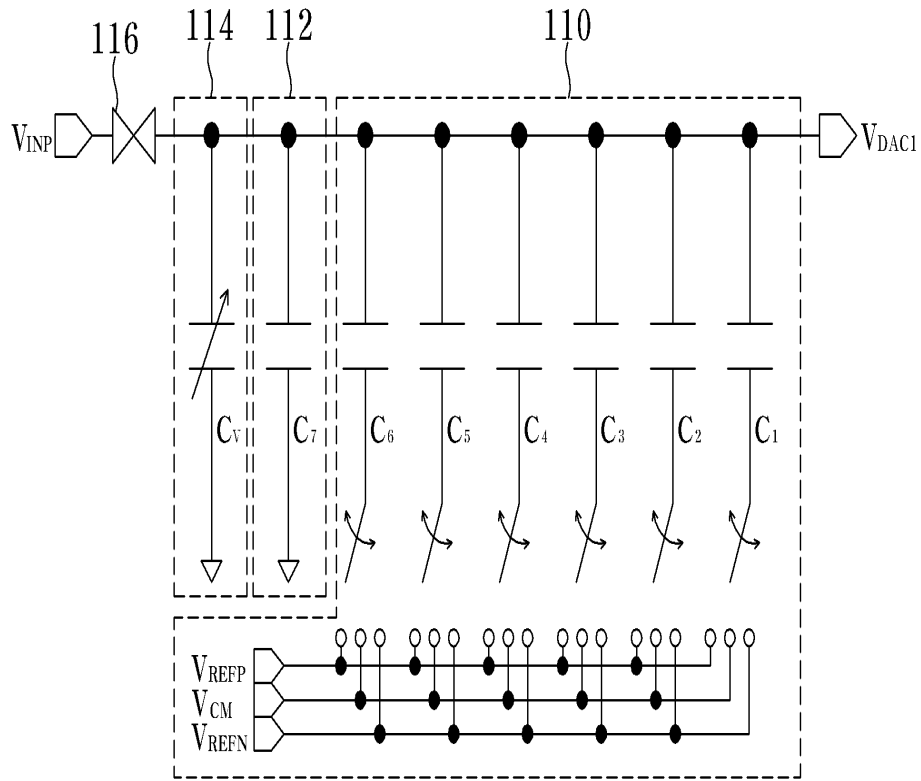
[0078] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

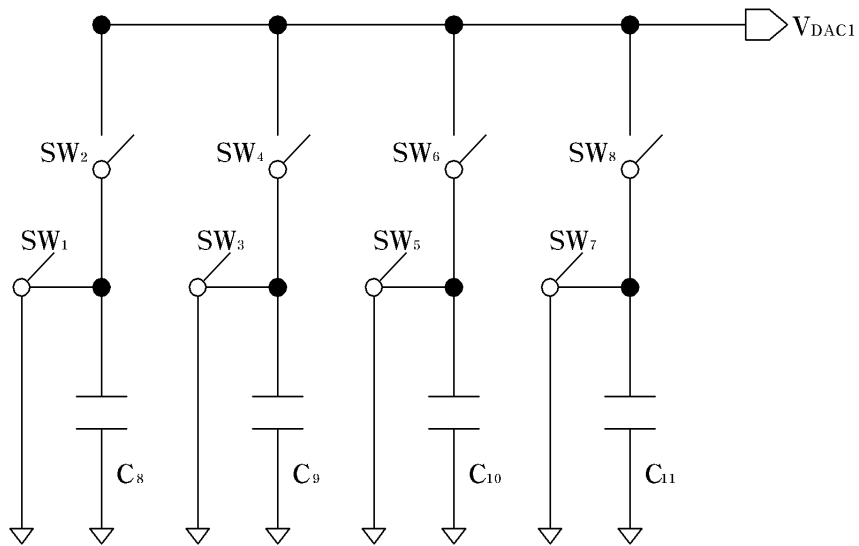
도면1



도면2



도면3



도면4

