

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



[12] 实用新型专利说明书

专利号 ZL 200420115915.9

[45] 授权公告日 2006 年 8 月 9 日

[11] 授权公告号 CN 2805096Y

[22] 申请日 2004.11.26

[21] 申请号 200420115915.9

[30] 优先权

[32] 2004. 4. 29 [33] US [31] 10/834,474

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区新竹市力行
六路八号

[72] 设计人 陈建豪 陈佳麟 李资良 陈世昌
徐祖望

[74] 专利代理机构 北京林达刘知识产权代理事务所
代理人 刘新宇

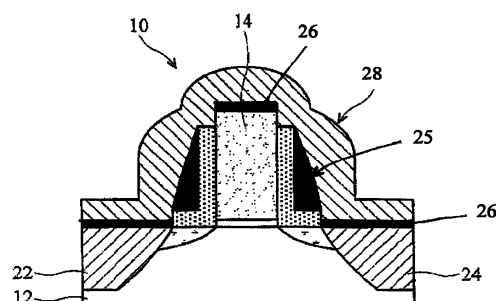
权利要求书 2 页 说明书 7 页 附图 5 页

[54] 实用新型名称

半导体元件

[57] 摘要

本实用新型提供一种半导体元件。该半导体元件包括：基底；位于该基底上的栅极；源极与漏极形成在栅极两侧的基底中；以及具有第一层与第二层的薄间隙壁形成于栅极侧壁，其中第一层与第二层具有在使用相同刻蚀剂时具有相当的刻蚀速率，这里相当的刻蚀速率表示该两刻蚀速率的差距在 $\pm 10\%$ 之间，且其至少为每分钟 10 埃。本实用新型提供的半导体元件，其间隙壁的厚度既能保持接触刻蚀停止层的作用，又能有效控制短沟道效应。



1、一种半导体元件，其特征在于包括：
一个基底；
一个栅极位于该基底上；
一个源极与漏极形成在该栅极两侧的该基底中；以及
具有一个衬层和一个含氮层的一个间隙壁形成于该栅极侧壁，其中该衬层与该含氮层具有相当的氢氟酸刻蚀速率。

2、根据权利要求1所述的半导体元件，其特征在于所述含氮层包括掺杂质，该掺杂质是碳、氧、氟、砷、硼、氯其中之一或其组合。

3、根据权利要求1所述的半导体元件，其特征在于所述衬层包括氧化物。

4、根据权利要求1所述的半导体元件，其特征在于还包括一个接触蚀刻停止层。

5、根据权利要求1所述的半导体元件，其特征在于还包括一个轻掺杂漏极区于所述栅极两侧且通过所述衬层偏离所述栅极。

6、根据权利要求1所述的半导体元件，其特征在于还包括一个硅化物层。

7、一种半导体元件，其特征在于包括：
一个基底；
一个栅极位于该基底上；
一个源极与漏极形成在该栅极两侧的该基底中；以及
具有第一层与第二层的一个薄间隙壁形成于该栅极侧壁，其中该第一层与第二层在使用相同刻蚀剂时的湿刻蚀速率的差距在 $\pm 10\%$ 之间，该湿刻蚀速率至少为每分钟10埃。

8、根据权利要求7所述的半导体元件，其特征在于所述第二层包括掺杂质，该掺杂质是砷、硼、氯其中之一或其组合。

9、根据权利要求7所述的半导体元件，其特征在于所述第二层包括掺杂质，该掺杂质是碳、氧、氟其中之一或其组合。

10、根据权利要求7所述的半导体元件，其特征在于所述第一层由低介电常数材料组成，其介电常数不大于3.7。

11、根据权利要求7所述的半导体元件，其特征在于所述第一层由碳化物、氮化物其中之一或其组合组成。

12、根据权利要求7所述的半导体元件，其特征在于还包括一个接触蚀刻停止层。

13、根据权利要求7所述的半导体元件，其特征在于还包括一个轻掺杂漏极区于所述栅极两侧且通过所述衬层偏离所述栅极。

半导体元件

技术领域

本实用新型涉及一种半导体元件，特别是涉及一种具有间隙壁的半导体元件。

背景技术

半导体元件的性能与载流子迁移率有关。例如，在金属氧化物半导体（MOS）元件中，元件沟道的载流子迁移率越高，在沟道中的电流就越快，则元件的执行速度就越快。

载流子迁移率是由半导体元件的特性（如晶格常数）所决定的。例如，半导体基底中的应力可改变晶格常数，以使迁移率改变，而增加对基底应力的方法之一就是使用接触刻蚀停止层。此外，栅极电极侧壁间隙壁（spacer）的厚度也可影响应力对基底的效应，较厚的间隙壁会降低应变的接触刻蚀停止层所欲造成的影响。然而，又需要较厚的间隙壁在半导体元件的制造中来控制短沟道效应。因此，为得到性能良好的半导体元件，间隙壁厚度的取舍是一个矛盾点。

实用新型内容

有鉴于此，本实用新型的目的在于提供一种半导体元件，使间隙壁的厚度达到最佳，使其既能保持接触刻蚀停止层的作用，又能有效控制短沟道效应。

为了实现上述目的，本实用新型提供一种半导体元件，包括：一个基底；一个栅极位于该基底上；一个源极与漏极形成在该栅极两侧的该基底中；以及具有一个衬层和一个含氮层的一个间隙壁形成于该栅极侧壁，其中该衬层与该含氮层具有相

当的氢氟酸刻蚀速率。

本实用新型所述的半导体元件，所述含氮层包括掺杂质，该掺杂质是碳、氧、氟、砷、硼、氯其中之一或其组合。

本实用新型所述的半导体元件，所述衬层包括氧化物。

本实用新型所述的半导体元件，还包括一个接触蚀刻停止层。

本实用新型所述的半导体元件，还包括一个轻掺杂漏极区于所述栅极两侧且通过所述衬层偏离所述栅极。

本实用新型所述的半导体元件，所述含氮层具有约每分钟10至1000埃的氢氟酸蚀刻率。

本实用新型所述的半导体元件，还包括一个硅化物层。

为了实现上述目的，本实用新型还提供一种半导体元件，包括：一个基底；一个栅极位于该基底上；一个源极与漏极形成在该栅极两侧的该基底中；以及具有第一层与第二层的一个薄间隙壁形成于该栅极侧壁，其中该第一层与第二层在使用相同刻蚀剂时的湿刻蚀速率的差距在 $\pm 10\%$ 之间，该湿刻蚀速率至少为每分钟10埃。

本实用新型所述的半导体元件，所述第二层包括掺杂质，该掺杂质是砷、硼、氯其中之一或其组合。

本实用新型所述的半导体元件，所述第二层包括掺杂质，该掺杂质是碳、氧、氟其中之一或其组合。

本实用新型所述的半导体元件，所述第一层由低介电常数材料组成，其介电常数不大于3.7。

本实用新型所述的半导体元件，所述第一层由碳化物、氮化物其中之一或其组合组成。

本实用新型所述的半导体元件，还包括一个接触蚀刻停止层。

本实用新型所述的半导体元件，还包括一个轻掺杂漏极区于所述栅极两侧且通过所述衬层偏离所述栅极。

本实用新型所述的半导体元件，所述第二层具有约每分钟10至1000埃的氢氟酸蚀刻率。

本实用新型提供的形成半导体元件的方法以及使用该方法形成的半导体元件，在源极与漏极离子注入时具有厚间隙壁的优点，能够控制短沟道效应。在源极与漏极离子注入后，再回刻蚀厚间隙壁，且在形成源极与漏极的退火步骤与 HF 湿刻蚀制程时将间隙壁缩小，以形成薄间隙壁。由于磷酸刻蚀可靠度差且难以控制，而本实用新型的制程无需使用磷酸刻蚀就可形成薄间隙壁轮廓。具有该薄间隙壁的半导体元件，其应力由应变沟道刻蚀停止层所诱发，以影响载流子迁移率，从而得到所需的元件性能。

附图说明

图1A至1G是一系列半导体元件在各制造过程中的简化剖面图。

图2是低压化学气相沉积 HCD 氮化硅在各温度下的 HF 刻蚀速率图。

图3是低压化学气相沉积 TEOS 氧化物在各温度下的 HF 刻蚀速率图。

具体实施方式

为使本实用新型的上述和其他目的、特征和优点能更明显易懂，下文特举出较佳实施例，并结合附图加以详细说明。

图1A至1G是半导体元件10在各制造步骤中的简化剖面图，以说明该元件制造方法的一个实施例。在图1A中，栅极结构14

形成于半导体基底12上。半导体基底12可为硅、应变硅、硅锗 (silicon-germanium, Si_xGe_y)、绝缘覆硅 (SOI) 或其它合适的材料。栅极结构14可以是堆迭的结构, 包括介电层与位于介电层上的多晶硅层。栅极电极还可用其它材料形成, 例如经掺杂的多晶硅、硅锗、金属、硅化物等, 而栅极介电质可为氧化物、氮氧化物、氮化物、高介电常数 (k) 材料、硅酸盐、多层膜堆迭或其它适合的材料或组成。栅极介电质可利用化学气相沉积 (CVD) 形成。栅极结构14可利用光刻技术形成。栅极结构14可为单栅极结构、多栅极结构、鳍型 (Fin) FET 栅极结构或 T 栅极结构。

在图1B中, 间隙壁衬层16形成或沉积于栅极结构14与基底12上, 间隙壁衬层16可为氧化物、氮氧化物、氮化物、高 k 材料或低 k 材料。间隙壁衬层16的厚度约为1至50nm, 且该厚度较佳为2至10nm, 前驱物材料或气体反应物可包括原硅酸四乙酯 (tetraethyl orthosilicate, 简称 TEOS, $\text{Si}(\text{OC}_2\text{H}_5)_4$)、三乙氧基硅烷 (triethoxysilane, 简称 TRIES)、双叔丁基胺基硅烷 (bis tertbutylamino silane, 简称 BTBAS)、六氯乙硅烷 (hexachlorodisilane, 简称 HCD)、 O_2 、 N_2O 、NO 或其它材料。用以形成间隙壁衬层16的沉积方法可为低压化学气相沉积 (LPCVD)、等离子增强式化学气相沉积 (PECVD)、高密度等离子化学气相沉积 (HPCVD)、常压化学气相沉积 (APCVD)、自由基增强式化学气相沉积 (RECVD)、原子层沉积 (ALD)、原子层化学气相沉积 (ALCVD), 或者其它现有或以后研发出来的技术。

在图1C中, 适当材料离子经由间隙壁衬层16注入栅极结构14两侧的基底12中, 以形成轻掺杂漏极 (LDD) 18或袋状结构, 而间隙壁衬层16在此轻掺杂漏极注入中作为一个掩膜。在图1D

中，氮化硅（silicon nitride）间隙壁层20沉积于间隙壁衬层16上，氮化硅层20可通过CVD技术（例如LPCVD或以上列举出的方法）沉积，其前驱反应物可包括HCD、BTBAS、二氯甲硅烷（dichlorosilane，简称DCS， SiH_2Cl_2 ）、乙硅烷（DS）、 SiH_4 、 NH_3 、 C_2H_4 、 N_2 或其它材料，且可通过调整CVD步骤的制程参数使氢氟酸（HF）对氮化硅层20的刻蚀速率高得与HF对间隙壁衬层16的刻蚀速率相当。这里的“相当的刻蚀速率”表示两个刻蚀速率的差距在 $\pm 10\%$ 之间。例如，调整沉积温度、压力、气体流速、前驱物与掺杂浓度等，以使氮化硅层20在室温下用100:1的HF刻蚀的刻蚀速率约为每分钟30至1000埃，且其低沉积温度可小于 630°C ，且可使用0.1至10torr（1torr=133.32Pa）的反应室压力，间隙壁20的氮浓度可为1至70%原子百分比。间隙壁层20还可包括掺杂质，例如碳、氧、氟、氯、硼、砷等。氮化硅层20的刻蚀速率较佳与氧化物间隙壁衬层16相同。接下来，间隙壁层20与间隙壁衬层16两者皆被回刻蚀，以形成厚间隙壁结构21，如图1E所示。例如，该厚间隙壁的厚度约为1至200nm，厚间隙壁结构21可以使用适当的干刻蚀技术形成。

在图1E中，通过注入适当的杂质形成源极与漏极区22与24。此外，半导体元件10可包括凸起的硅锗漏极与源极区或其它合适的结构。在图1F中，厚间隙壁结构21进一步被回刻蚀，以形成厚间隙壁25，接着再对源极与漏极区22与24进行退火处理，且此退火步骤也可在间隙壁回刻蚀制程前进行。此退火步骤可包括快速热退火、激光退火或炉管退火。此退火步骤可使间隙壁层在不使用磷酸刻蚀的情况下缩小且致密化。间隙壁层的收缩率可通过形成间隙壁层时的沉积参数来控制。由于磷酸的刻蚀速率难以控制且不稳定，所以磷酸刻蚀并不好用。因此，本实用新型形成间隙壁的制程无需使用磷酸刻蚀，以避免磷酸

刻蚀缺点的产生。在一个实施例中，在室温下使用49%的 HF 与水的比例为1:100时，间隙壁的刻蚀速率约为每分钟30至1000埃，在退火处理后，间隙壁的刻蚀速率在相同条件下约为每分钟10至500埃。

如图1G所示，硅化物层26形成于源极、漏极与栅极电极上。例如，硅化物层26可为硅化钴 (CoSi_2)、硅化镍 (NiSi_2)、硅化钛 (TiSi_2)、硅化钼 (MoSi_2)、硅化铂 (PtSi)、硅化钨 (WSi_2)、硅化钽 (TaSi_2) 等。硅化物层26的厚度约为3至100nm。此外，接触刻蚀停止层28形成于源极、漏极与栅极上，接触刻蚀停止层28可以是以沉积技术形成的氮化硅。接触刻蚀停止层28可由具有约2至2GPa 应力且厚度约为100至1000埃的高应变氮化硅膜形成。接触刻蚀停止层28可由氧化物、氮化物、氮氧化物、掺杂的氮化物或多层堆迭结构形成，之后，执行金属化制程以形成源极、漏极与栅极接触插塞。

图2是低压化学气相沉积 HCD 氮化硅在各温度下 HF 刻蚀速率图，间隙壁层20的刻蚀速率与间隙壁衬层16的刻蚀速率相当。这里的“相当的刻蚀速率”表示该两刻蚀速率的差距在 $\pm 10\%$ 之间，所以两者皆可由相同刻蚀制程作回刻蚀。刻蚀速率可以通过沉积参数如温度、压力、气体流速与掺杂等调整；间隙壁衬层与间隙壁层的刻蚀速率应可使 HF 湿刻蚀制程达到所需的薄间隙壁轮廓。如图2所示，经碳掺杂或未经碳掺杂的氮化硅在各温度下的刻蚀速率可与图3所示的 TEOS 氧化物在各温度下的刻蚀速率作比较。

因此，本实用新型在源极与漏极离子注入时具有厚间隙壁的优点，例如能够控制短沟道效应。在源极与漏极离子注入后，再回刻蚀厚间隙壁，且在形成源极与漏极的退火步骤与 HF 湿刻蚀制程时将间隙壁缩小，以形成薄间隙壁，其中以 HF 湿刻

蚀制程为间隙壁缩小的主要因素。间隙壁衬层与间隙壁层的刻蚀速率可由制程参数控制，以使间隙壁衬层与间隙壁层可在相同刻蚀制程下作回刻蚀。由于磷酸刻蚀可靠度差且难以控制，而本实用新型的制程无需使用磷酸刻蚀就可形成薄间隙壁轮廓。具有该薄间隙壁的半导体元件，其应力由应变沟道刻蚀停止层所诱发，以影响载流子迁移率，从而得到所需的元件性能。

虽然本实用新型已通过较佳实施例说明如上，但该较佳实施例并非用以限定本实用新型。本领域的技术人员，在不脱离本实用新型的精神和范围内，应有能力对该较佳实施例做出各种更改和补充，因此本实用新型的保护范围以权利要求书的范围为准。

附图中符号的简单说明如下：

- | | |
|-----------|---------------|
| 10: 半导体元件 | 20: 氮化硅间隙壁层 |
| 12: 半导体基底 | 21: 厚间隙壁结构 |
| 14: 栅极结构 | 22、24: 源极与漏极区 |
| 16: 间隙壁衬层 | 25: 厚间隙壁 |
| 18: 轻掺杂漏极 | 26: 硅化物层 |

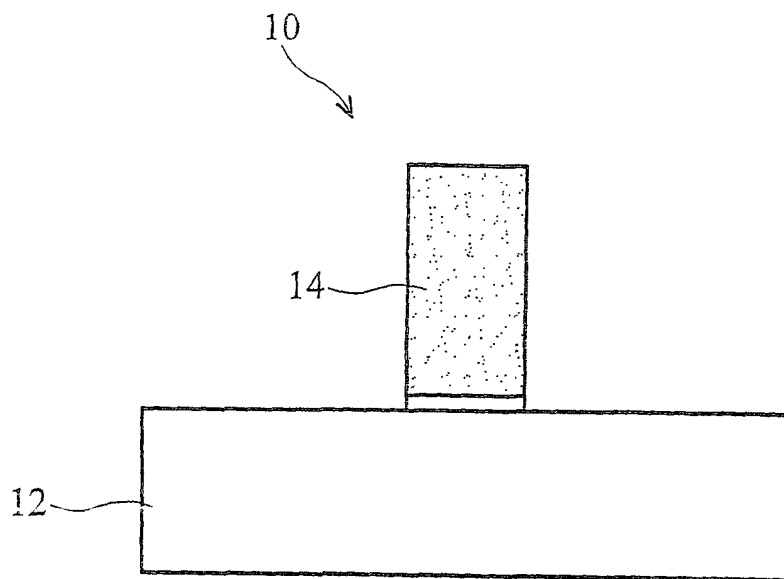


图 1A

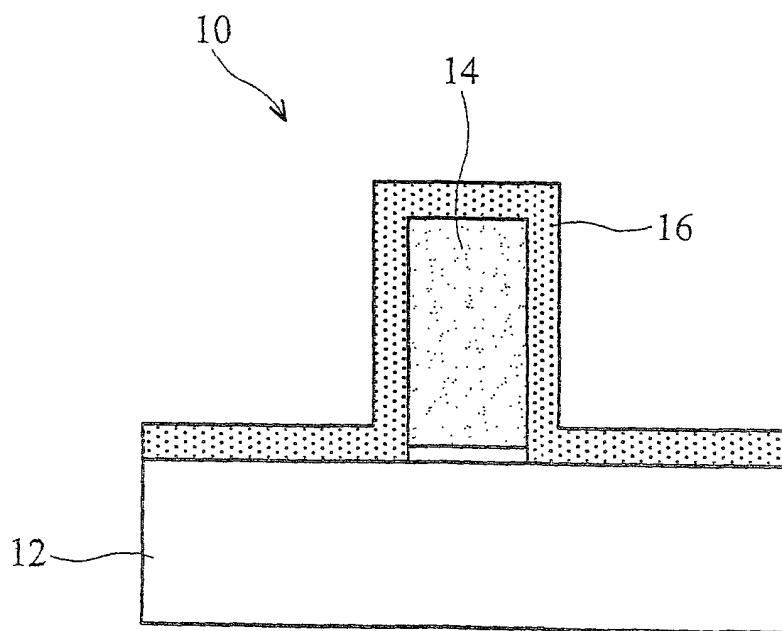


图 1B

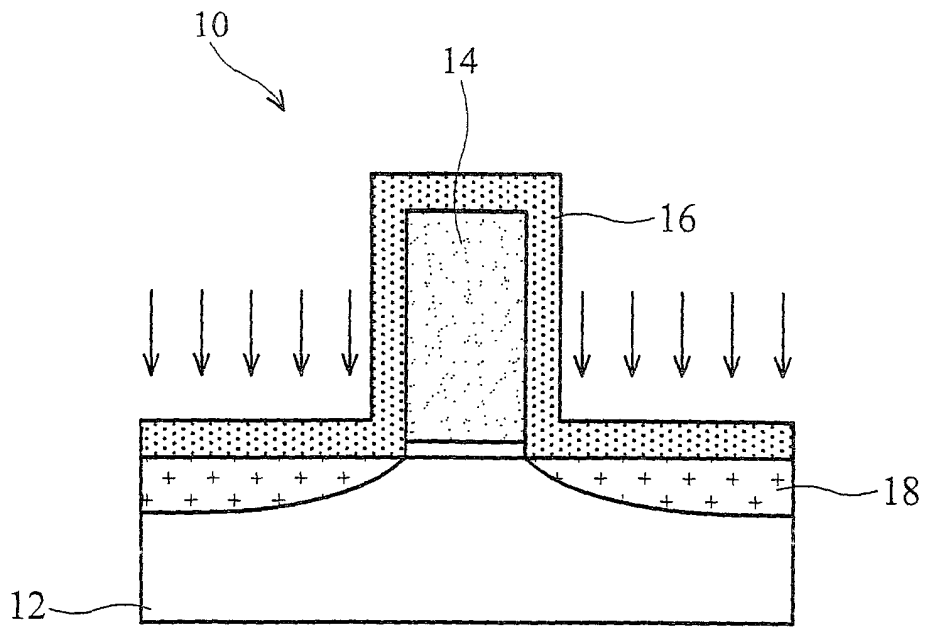


图 1C

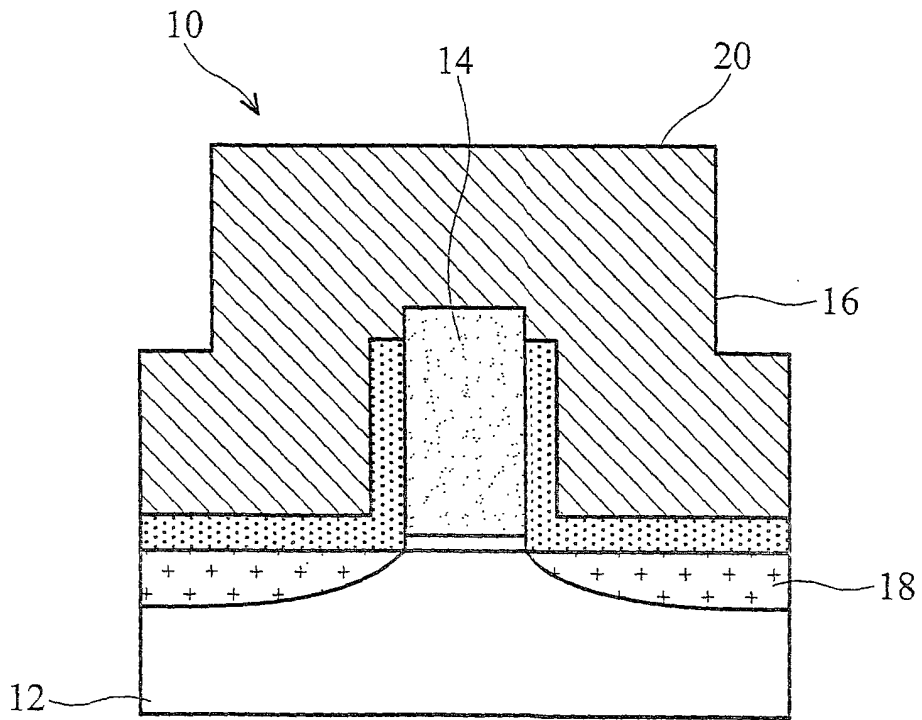


图 1D

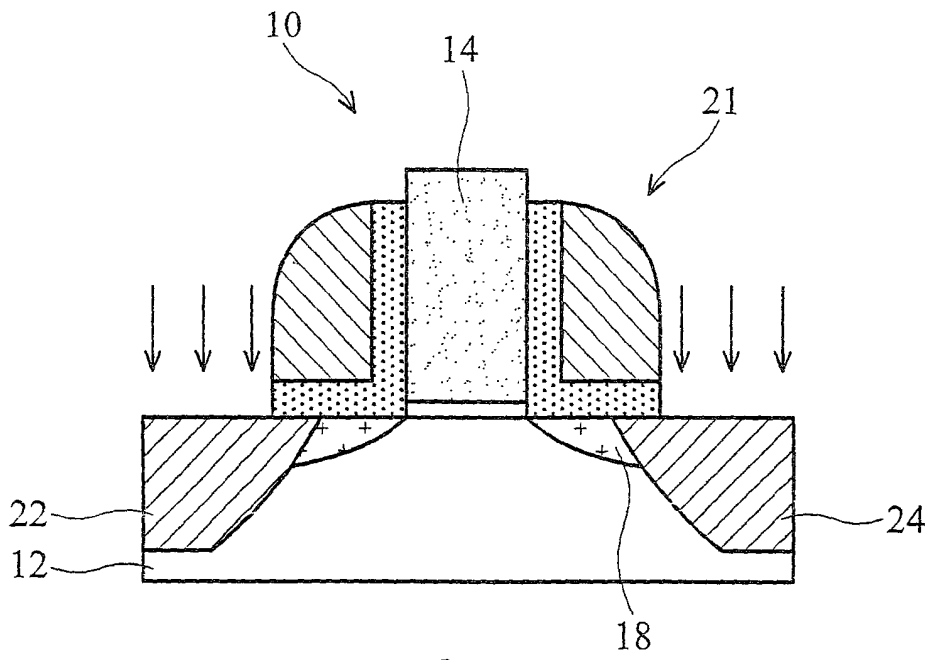


图 1E

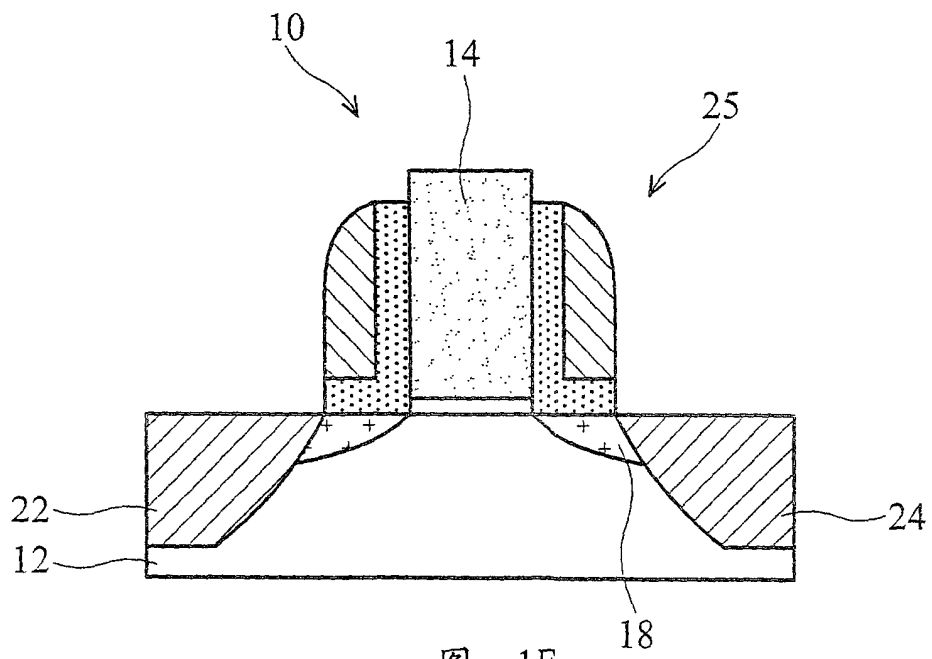


图 1F

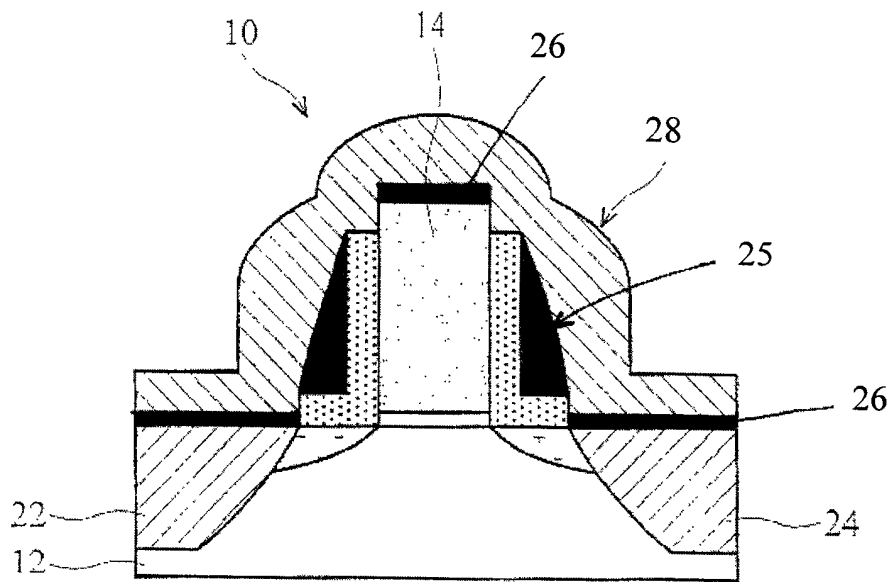


图 1G

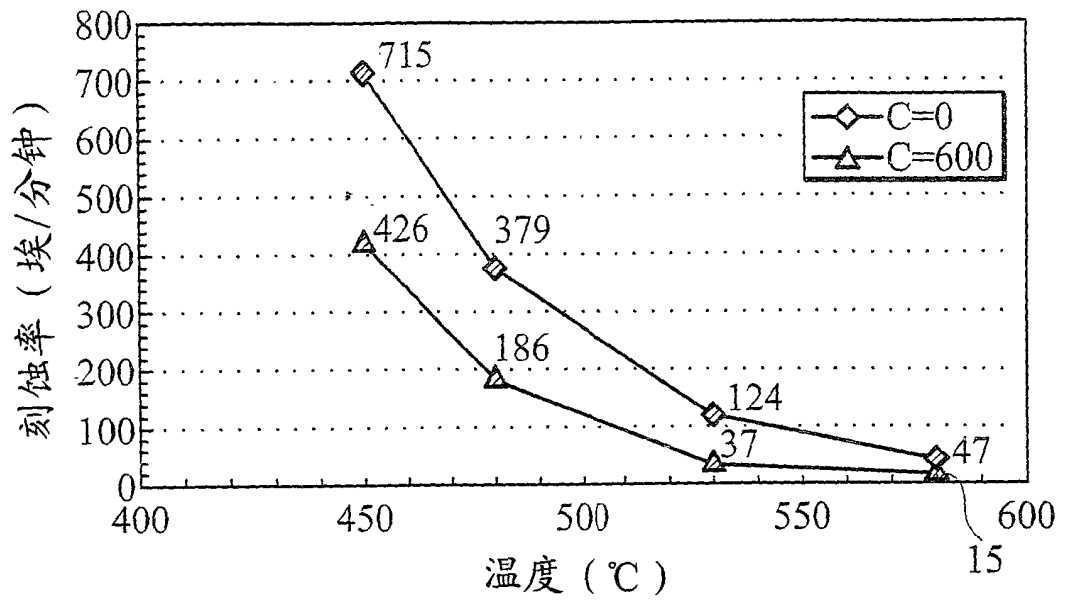


图 2

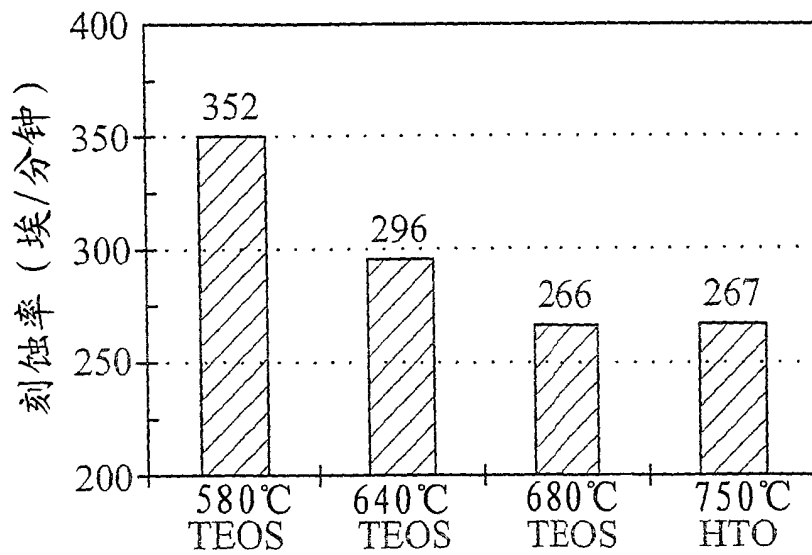


图 3