



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I404288B1

(45) 公告日：中華民國 102 (2013) 年 08 月 01 日

(21) 申請案號：098143423

(22) 申請日：中華民國 98 (2009) 年 12 月 17 日

(51) Int. Cl. : H02H9/00 (2006.01)

H01L27/04 (2006.01)

(30) 優先權：2008/12/18 美國

12/338,056

(71) 申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)
美國

(72) 發明人：洪 理查 J K HONG, RICHARD J. K. (US)

(74) 代理人：黃章典

(56) 參考文獻：

TW 200418165A

US 5946177

US 2006/0176626A1

US 2008/0007882A1

審查人員：林賜敬

申請專利範圍項數：22 項 圖式數：8 共 0 頁

(54) 名稱

具有上升時間偵測器的靜電放電保護電路及放電維持電路及提供靜電放電保護之方法

ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT HAVING RISE TIME DETECTOR AND DISCHARGE SUSTAINING CIRCUITRY AND METHOD OF PROVIDING ELECTROSTATIC DISCHARGE PROTECTION

(57) 摘要

本發明之方法及裝置包括一種靜電放電(ESD)保護電路。此電路包括上升時間相依啟動電路，該上升時間相依啟動電路能夠偵測一輸入信號之一變動率且能夠判定該輸入信號之該變動率是否大於一臨限值。對於一 ESD 事件，該啟動電路產生一觸發信號。另外，該啟動電路與 ESD 耗散持續時間控制電路耦合，該 ESD 耗散持續時間控制電路進一步與一 ESD 耗散電路耦合。此配置使該持續時間控制電路能夠由該觸發信號啟動，該持續時間控制電路藉由產生一啟動信號來作出回應，該啟動信號啟動該 ESD 耗散電路且控制該耗散電路保持作用之時間長度。該 ESD 耗散電路包括重新導向 ESD 能量而遠離受保護內部電路之一分路。該 ESD 耗散持續時間電路進一步經組態以使該能量之分路保持達足以使該 ESD 能量放電而不損壞該受保護電路之一時間週期。

Methods and devices of the invention include an electrostatic discharge (ESD) protection circuit. This circuit includes rise time dependent activation circuitry capable of detecting a slew rate of an input signal and capable of determining whether the slew rate of the input signal is greater than a threshold value. For an ESD event said activation circuitry generates a trigger signal. Additionally, the activation circuitry is coupled with the ESD dissipation duration control circuitry which is further coupled with an ESD dissipation circuit. This arrangement enabling the duration control circuit to be activated by the trigger signal which responds by producing an activation signal that activates the ESD dissipation circuitry and that controls the length of time the dissipation circuit remains active. The ESD dissipation circuitry includes a shunt that redirects the ESD energy away from the protected internal circuit. The ESD dissipation duration circuitry further configured to maintain shunting of the energy for a period of time sufficient to discharge of the ESD energy without damaging the protected circuitry.

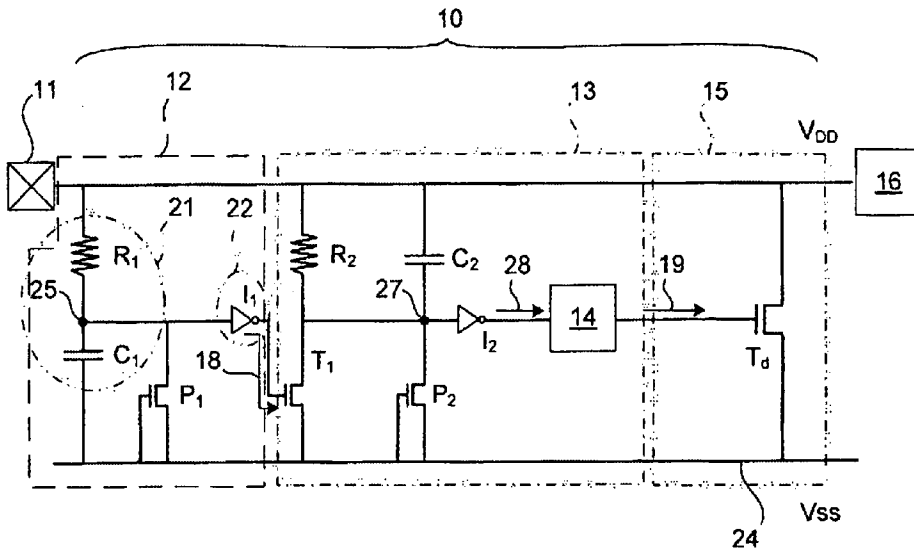


圖2(a)

- 10 . . . ESD 保護電路
- 11 . . . 接針
- 12 . . . 上升時間相依啟動電路
- 13 . . . ESD 耗散持續時間控制電路
- 14 . . . 可選鎖存器電路
- 15 . . . ESD 耗散電路
- 16 . . . 內部電路
- 18 . . . 觸發信號
- 19 . . . 啟動信號
- 21 . . . 變動率偵測器
- 22 . . . 觸發電路
- 24 . . . 低軌道
- 25 . . . 節點
- 27 . . . 節點
- 28 . . . 輸出

發明專利說明書

中文說明書替換頁(102年5月)14日

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：098143423

※ 申請日：98.12.17

※IPC 分類：H02H 9/00 (2006.01)

H01L 27/04 (2006.01)

一、發明名稱：(中文/英文)

具有上升時間偵測器的靜電放電保護電路及放電維持電路及提供靜電放電保護之方法

ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT HAVING
RISE TIME DETECTOR AND DISCHARGE SUSTAINING
CIRCUITRY AND METHOD OF PROVIDING ELECTROSTATIC
DISCHARGE PROTECTION

二、中文發明摘要：

本發明之方法及裝置包括一種靜電放電(ESD)保護電路。此電路包括上升時間相依啟動電路，該上升時間相依啟動電路能夠偵測一輸入信號之一變動率且能夠判定該輸入信號之該變動率是否大於一臨限值。對於一ESD事件，該啟動電路產生一觸發信號。另外，該啟動電路與ESD耗散持續時間控制電路耦合，該ESD耗散持續時間控制電路進一步與一ESD耗散電路耦合。此配置使該持續時間控制電路能夠由該觸發信號啟動，該持續時間控制電路藉由產生一啟動信號來作出回應，該啟動信號啟動該ESD耗散電路且控制該耗散電路保持作用之時間長度。該ESD耗散電路包括重新導向ESD能量而遠離受保護內部電路之一分路。該ESD耗散持續時間電路進一步經組態以使該能量之分路保持達足以使該ESD能量放電而不損壞該受保護電路之一時間週期。

三、英文發明摘要：

Methods and devices of the invention include an electrostatic discharge (ESD) protection circuit. This circuit includes rise time dependent activation circuitry capable of detecting a slew rate of an input signal and capable of determining whether the slew rate of the input signal is greater than a threshold value. For an ESD event said activation circuitry generates a trigger signal. Additionally, the activation circuitry is coupled with the ESD dissipation duration control circuitry which is further coupled with an ESD dissipation circuit. This arrangement enabling the duration control circuit to be activated by the trigger signal which responds by producing an activation signal that activates the ESD dissipation circuitry and that controls the length of time the dissipation circuit remains active. The ESD dissipation circuitry includes a shunt that redirects the ESD energy away from the protected internal circuit. The ESD dissipation duration circuitry further configured to maintain shunting of the energy for a period of time sufficient to discharge of the ESD energy without damaging the protected circuitry.

四、指定代表圖：

(一)本案指定代表圖為：第(2(a))圖。

(二)本代表圖之元件符號簡單說明：

10	ESD保護電路
11	接針
12	上升時間相依啟動電路
13	ESD耗散持續時間控制電路
14	可選鎖存器電路
15	ESD耗散電路
16	內部電路
18	觸發信號
19	啟動信號
21	變動率偵測器
22	觸發電路
24	低軌道
25	節點
27	節點
28	輸出

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於積體電路，且更特定而言係關於用於保護積體電路組件免受諸如因靜電放電而導致的高變動率、過電壓及/或過量電流條件所導致的損壞之電路。

【先前技術】

以下闡述及實例僅作為背景給出。

積體電路易受到由於諸如在靜電放電(ESD)事件期間所產生之過量電荷之施加所致的損壞。舉例而言，積體電路(IC)可在積體電路(晶圓級)之製造、積體電路在封裝之後之處置及/或一印刷電路板在組裝之後之處置期間曝露於靜電電荷。在某些情形中，一積體電路可曝露於因使用電漿蝕刻技術或產生帶電粒子之其他製造過程而產生之電荷。在其他情形中，一經封裝之積體電路可在一人無意地觸碰該電路封裝上所曝露之接針時或在該封裝由於該封裝移動跨越一導電表面而帶靜電時曝露於靜電電荷。

在一ESD事件期間傳送至一積體電路(IC)之電脈衝可對積體電路之敏感組件造成明顯損壞。舉例而言，當在一短時間週期(通常在數十與數百奈秒之間)內在一積體電路之一個或多個接針與另一傳導物件之間傳送過量之電荷時，可損壞該積體電路上之電晶體及其他電裝置。所傳送之電荷(稱作靜電放電)可形成大得足以使電路上之絕緣膜(諸如閘極氧化物)崩潰之電壓或耗散充足能量以在該電路中導致電熱故障(諸如觸點穗化、矽熔化及金屬互連件熔化)。

因此，其他人已嘗試開發用以保護積體電路之方法，其中尤其注意保護場效電晶體(FET)裝置及其他敏感電路免受ESD事件之影響之問題。在某些情形中，將ESD保護裝置連接在一IC之輸入/輸出(I/O)墊與內部電路之間以重新導向在一ESD事件期間產生之能量而遠離該敏感電路。亦可將保護裝置連接至電源墊或連接在電源匯流排之間以防止在ESD事件期間之損壞。迄今為止，此等裝置已無法完全解決現有及不斷地演進之ESD問題。現有裝置可對初始正常電力開啟條件過於敏感，從而使正常電力開啟電壓錯誤地重新導向至接地且在IC中產生不必要且不期望之電壓峰值。此等「偽肯定誤判(false positives)」係極不期望的且干擾內部電路之正常功能。在嘗試校正對「偽肯定誤判」及其他正常電力條件之此過於敏感性方面，其他人已嘗試建立係足夠敏感以區分正常電力開啟與ESD事件之保護電路。已知的此類型電路通常不足夠長時間地保持作用來使ESD事件充分地放電。因此，殘餘的未經放電之ESD能量完全能夠使受保護電路過載及損壞。

在一種先前技術做法中，一ESD保護裝置使用一「突返裝置」或依賴於寄生雙極裝置之裝置，該等寄生雙極裝置包括在大多數半導體積體電路中固有的雙極接面電晶體(BJT)及閘流電晶體。此等雙極裝置可包括彼等在使用場效電晶體(FET)之技術(諸如基於互補金屬氧化物半導體(CMOS)之積體電路)上通常視為寄生裝置之裝置。在一ESD事件期間，雙極裝置可進入一導電狀態以安全地耗散

ESD電荷。雖然此等突返裝置通常用在ESD保護裝置內，但其並非沒有缺點。舉例而言，難以預測/控制以矽製造之實際突返裝置之行為，乃因在一實際實施方案中無法準確地模擬其寄生BJT之行為(由於突返裝置在一基本上未經建模之區域(突返區域)中運作之事實)且其參數可係難以控制。此缺乏可預測性可導致較差之ESD保護效能或過度設計之網路或兩者。因此，此等ESD保護方案可消耗相對大量之矽面積且可影響其所用於的晶片之待機電流預算。

在解決此等問題之其他嘗試中，使用主動分路網路(另稱作「主動切換網路」或「基於軌道之網路」)來實施ESD保護。在此等網路內，ESD電壓傳導穿過一主動切換網路。意欲使此等電路區別積體電路之正常運作與一ESD事件。有利地，可使用習用電路模擬器模擬此等主動網路，從而形成對ESD放電之更為可預測之保護，此可佔用相對較少之面積來達成相同之ESD效能。然而，主動網路電路受到一些嚴重限制且在所有情形中皆可能無法提供足夠ESD保護。如同突返裝置一樣，在製程變化期間亦難以控制主動網路電路之行為。在電路組件中之諸多組件內之製程變化可藉由將各別ESD啟動條件移位至一大致較高或較低位準而影響觸發電路之運作。在某些情形中，該等主動網路電路可由於影響ESD保護電路運作參數之製程變化而無法保護內部電路免受一真實ESD事件之影響。此失敗可允許一潛在有害之靜電電荷供應至一積體電路之內部電路。通常，可使用實驗資料調整此等網路之敏感性。舉例

而言，一特定主動網路電路設計之ESD事件敏感性可在已製造各別積體電路之後測試。若該主動網路電路無法使一ESD事件完全放電，則通常更改該ESD保護電路之製程參數以獲得期望之ESD效能。一旦做出適當改變，即可再次試產積體電路，且一旦製造了該電路，即可在實驗室中重新驗證ESD保護。然後可藉由嘗試錯誤法繼續該過程，直至該主動網路電路具備足以偵測ESD事件之敏感性(即，提供給該積體電路之ESD保護滿足某些ESD要求)。遺憾地，此一過程係耗時且成本高的。此外，由此一過程形成之ESD電路無法重新用於其他晶片(例如，具體不同大小及/或ESD要求)。因此，必須針對每一新電路來設計及測試定製的電路。

其他已知解決方案包括具有一單個RC時間常數之簡單電路，該單個RC時間常數相依於製造商及設計要求而變化。在先前技術中，採用具有短RC時間常數之ESD電路。雖然此等電路對ESD事件係敏感的，但其具有不能使ESD事件充分地放電之缺點且因此不提供期望之ESD保護水平。採用較長RC時間常數之ESD保護電路以經改良之放電能力為特色，但具有不能有效地區分普通運作及系統雜訊與實際ESD事件之缺點，由此嚴重地限制其有用性。

另外，亦已發明出可程式化ESD保護電路。然而，此等電路係大型且複雜的並需要程式化時間，此可顯著增加成本。

因此，需要經改良之ESD保護電路。

【發明內容】

根據本發明之原理，本文揭示ESD保護裝置及方法。

一靜電放電(ESD)保護電路實施例包括與一第一RC時間常數相關聯之一第一RC電路。該電路係連接至一第一電壓軌道，用以回應於該第一軌道上之一靜電放電而產生基於一第一RC之觸發信號。該ESD電路亦具有一分路，該分路經組態以在啟動時使ESD能量分路而遠離一受保護電路。該實施例亦包括用以產生一基於第二RC之啟動信號之一第二RC電路。該第二電路與該第一RC電路及該分路電路耦合且經組態以使得該電路作為一持續時間控制電路運作。因此，其回應於自該第一RC電路接收之該觸發信號而產生該啟動信號。該啟動信號啟動該分路電路且使該分路保持處於一作用狀態中達與該第二RC電路之一第二RC時間常數相關聯之一延長之時間週期。該第二RC時間常數大致長於該第一RC時間常數。某些相關聯實施例可在無添加之鎖存器電路之情況下達成期望之效能。

在另一實施例中，一靜電放電(ESD)保護電路包括上升時間相依啟動電路，該上升時間相依啟動電路用於偵測在一輸入接針處供應之一輸入信號之一變動率，其能夠判定該輸入信號之該變動率是否大於一第一臨限值。當該輸入信號係一ESD事件時，該啟動電路產生一觸發信號。該啟動電路與該ESD耗散持續時間控制電路耦合，從而使該持續時間控制電路能夠回應於該觸發信號而被啟動，該ESD耗散持續時間控制電路亦與一ESD耗散電路耦合。該持續

時間控制電路產生一啟動信號，該啟動信號啟動該ESD耗散電路且控制該耗散電路保持作用之時間長度，從而致使該耗散電路足夠長時間地保持作用以達成該輸入信號之充分放電。耦合至該持續時間控制電路之ESD耗散電路回應於該啟動信號而啟動該耗散電路中之一分路，藉此使與該ESD事件相關聯之能量分路而遠離一受保護內部電路。該ESD耗散持續時間電路進一步經組態以回應於該啟動信號而保持與該ESD事件相關聯之能量之分路直至使該能量之一充足量分路而遠離該內部電路，藉此保護該內部電路免受該ESD事件之影響。

其他實施例包括具有帶有偵測器電路及觸發電路之上升時間相依啟動電路。此偵測器電路與該輸入接針耦合，且經組態以偵測一輸入信號之一變動率並判定其是否具有大於一第一臨限值之一變動率。對於此一信號，該偵測器將其視為一ESD事件且產生一致動信號。與該偵測器電路耦合之該觸發電路藉由產生該觸發信號來回應於該致動信號，該觸發信號由該ESD耗散持續時間控制電路接收，然後該ESD耗散持續時間控制電路啟動並維持該ESD耗散電路以使該事件放電。

該裝置之其他實施例經組態以使得該上升時間相依啟動電路具有一小RC時間常數，從而使得能夠針對高變動率輸入信號而產生觸發信號。且ESD耗散持續時間控制電路經組態以使耗散週期超過該啟動電路之RC時間常數所決定之週期。因此，在某些實施例中，ESD耗散持續時間控

制電路之RC時間常數大於該啟動電路之RC時間常數。在某些實施例中，該觸發信號經組態以回應於具有超過50毫伏/奈秒之變動率之輸入信號。在另一實施例中，該ESD耗散持續時間控制電路使該耗散電路保持處於一作用模式中直至使該輸入信號放電至輸入至該內部電路中之普通運作電力開啟之約1.5倍之一電壓位準。而且，該裝置之實施例可進一步採用該ESD耗散持續時間控制電路中之鎖存器電路。

在另一實施例中，將該ESD保護電路整合至一積體電路封裝中，該積體電路封裝包含具有一電力接針、ESD保護電路及內部電路之一基板。該電力接針與該裝置之內部電路耦合且與該ESD保護電路耦合，以使得在施加至該輸入接針之一輸入信號包含一ESD事件時啟動該ESD保護電路。

在另一實施例中，一IC裝置包括與一內部電路及一靜電放電(ESD)電路耦合之一輸入接針，該靜電放電(ESD)電路經配置以保護該內部電路免受施加於該輸入接針處之過量電壓峰值之影響。此一ESD電路包括觸發電路及分路電路。觸發器具有一小RC時間常數。該觸發器經組態以在一輸入信號超過一變動率臨限值時啟動該分路。該分路電路在由該觸發器啟動時重新導向該輸入信號而遠離該內部電路。該ESD電路進一步包括分路持續時間電路，該分路持續時間電路經組態以使該分路保持處於一經啟動狀態中超過該觸發電路之RC時間常數所指定之時間，藉此使該

分路電路能夠使一ESD事件放電至將不會損壞該內部電路之一程度。

在另一實施例中，該分路持續時間電路包括鎖存器電路，該鎖存器電路增加該ESD保護電路在受保護電路之普通運作中固有之雜訊環境及其他電壓變化中之穩定性。一實施例可經組態以使得當在該電力輸入接針處發生一靜電放電事件時該觸發器啟動該分路，但當該輸入信號係一既定輸入信號時不啟動該分路。IC裝置實施例可經組態以使得該分路持續時間電路使該分路保持處於一經啟動狀態中直至來自該輸入信號之電壓小於該內部電路之正常運作電壓之約1.5倍。

在本發明之一方法實施例中，藉由在一輸入接針處接收一輸入信號且判定該輸入信號是否具有超過一臨限變動率值之一變動率來提供靜電放電保護。將具有超過該臨限值之一變動率之一輸入信號界定為一靜電放電(ESD)事件。回應於該ESD事件而產生一觸發信號，回應於該觸發信號而啟動一分路。該經啟動分路重新導向該輸入信號而遠離內部電路。使該分路保持處於一經啟動狀態中直至已使該ESD事件放電。

在另一實施例中，判定及界定該輸入信號是否包含一ESD事件之方法涉及判定該輸入信號是否超過與一第一RC時間常數相關聯之臨限變動率。回應於此ESD事件，產生一觸發信號，且亦根據一第二RC時間常數使該分路保持處於一經啟動狀態中直至已使該ESD事件放電。該等實施

例可經組態以使得該第一RC時間常數係回應於具有大於裝置之一標準電力開啟變動率之一變動率之輸入信號。適合變動率之實例係大於約50毫伏/奈秒之變動率。當然，此僅係一個實例，且亦可使用更大之變動率臨限值。在此等實施例中，可使該分路保持處於一經啟動狀態中直至來自該ESD事件之剩餘電壓小於該內部電路之普通運作電壓之約1.5倍。

在下文陳述之以下詳細說明中，更詳細地闡述本發明之此等及其他態樣。

【實施方式】

已針對某些實施例及其具體特徵特別地展示並闡述本發明。應將在下文中所陳述之實施例視為說明性而非限制性。熟習此項技術者應容易地明瞭可在形式及細節上做出各種改變及修改而不背離本發明之精神及範疇。

以下詳細說明闡述一ESD保護裝置及其使用方法之各種實施例。特定而言，本發明之實施例經組態以迅速地回應於具有一極高變動率之ESD事件且保持電路保護達一延長之時間週期，從而重新導向極高電壓能夠充分地而遠離受保護電路。

雖然對一ESD事件之抵抗力在很大程度上相依於正受到保護的精密電路，但術語「過量電壓」、「過量電壓」、「ESD能量」、「ESD電荷」、「ESD電壓」一般而言皆闡述一「ESD事件」。將此等ESD事件不嚴格地闡述為大得足以使需要ESD保護之敏感電路遭受損壞之一短電壓脈

衝。

圖1繪示本發明一個實施例之一方塊圖。本發明之一裝置實施例包括與一輸入接針11以運作方式耦合之一內部電路16。內部電路16包含欲受到保護免受一靜電放電事件(「ESD事件」)影響以防止ESD損壞之電路。接針11係一導電觸點，諸如一接合墊或其他導電結構。舉例而言，該接針可經組態用於與一正電源(V_{DD})29或其他外部輸入連接。ESD保護電路10以運作方式耦合於接針11與內部電路16之間。

此處所繪示之ESD保護電路10(12、13、15及視情況14)包括經組態以自接針11接收一輸入信號17之上升時間相依啟動電路12。啟動電路12經組態以區別一非ESD事件與一實際ESD事件。對於包含一ESD事件之一輸入信號17，啟動電路12回應於該ESD事件而產生一觸發信號18。可將觸發信號18傳輸至一ESD耗散持續時間控制電路13，該ESD耗散持續時間控制電路13可經組態以使一相關聯ESD耗散電路15保持處於一作用狀態達一延長之時間週期(一般而言，500奈秒或更長)，從而使該ESD事件能夠在不損壞內部電路16之情況下被放電。申請人指出ESD耗散持續時間控制電路13可補充有一可選鎖存器電路14，該可選鎖存器電路14可增強電路10面對在普通運作條件下產生之雜訊條件之穩定性。此鎖存器電路14在某些組態中可係有利，但其並非係實踐本發明所必需。在啟動時，ESD耗散持續時間控制電路13產生並維持一啟動信號19，該啟動信號19由

ESD耗散電路15接收。作為回應，ESD耗散電路15使該ESD事件之能量分路而遠離內部電路16。通常，將該ESD事件放電至一負電源 V_{SS} 或一接地。此所繪示之實施例係說明性而非係限制性，且其他組態亦係可能的。

普通簡單之ESD保護電路僅包括耦合至一分路之上升時間相依啟動電路(或觸發電路)。當此先前技術電路具有一短RC時間常數時，其對ESD事件極其敏感且一般不受「偽肯定誤判」(即，在已發生非ESD事件時觸發)困擾，但由於短時間常數，此等電路無法使該分路電路足夠長時間地保持開啟來使該ESD能量放電。已證明其他較長RC時間常數電路對非ESD雜訊事件及正常電路運作中固有之簡單電壓峰值過於敏感。由於此等問題，需要經改良之ESD電路。

設計要求係需要對ESD事件具有不斷增加之抵抗力之ESD保護電路。此要求隨著ESD電壓位準上升而愈來愈成問題。此對於極大之ESD事件尤其成問題。舉例而言，一種此類事件可對應於一ESD事件之一人體模型。在闡述一HBM ESD事件之一項實例中，ESD電流可共達3.33安(A)，與經由一1500歐電阻器放電之一100 pF電容器上之5000伏(V)相關聯。此等電流及電壓有可能足以使內部電路之場效電晶體(及其他電路元件)遭受嚴重損壞。如此高之電壓對於現有ESD保護技術極其棘手。發明人尤其提出一ESD保護電路之一實施例，其選擇性地回應於ESD事件且具有延長之耗散週期，從而使ESD事件能夠在不損壞內

部電路之情況下被無害地放電。舉例而言，本發明之實施例可經構造以使一分路保持作用達至少500奈秒。

在一個具體實施方案中，圖2(a)繪示根據本發明原理構造之一ESD電路之一個特定實施例之選定細節。

首先，該ESD保護電路包括上升時間相依啟動電路12(以虛線展示)。該電路組態有一極短RC時間常數。在一個實施方案中，可將該時間常數組態為40奈秒或更少。因此，該啟動電路12能夠在於實際ESD事件與由於普通電路運作所致的電壓變化之間達成良好選擇性之情形下迅速地回應於ESD事件。特定而言，此電路可區分一普通斜升電壓與一ESD事件。

在一個實施例中，上升時間相依啟動電路12組態有一配置為一變動率偵測器21之RC電路。該偵測器21耦合於輸入接針11(及 V_{DD} 軌道)且耦合於觸發電路22。在某些實施例中，變動率偵測器21包含與一(多個)相關聯電容器 C_1 (或其他電容性電路元件)串聯配置之至少一個(但通常複數個)電阻器 R_1 (或其他電阻性元件)。所配置之偵測器電路經組態以偵測輸入接針處之輸入信號之一變動率，當輸入信號之變動率大於一第一臨限值時，偵測器則將該輸入信號識別為一ESD事件。在一個實例中，所偵測之變動率大於系統之普通電力斜升之變動率。在一個實例性系統中，一特定有用臨限值處於或大於50毫伏/奈秒。其他實施例可相依於(舉例而言)斜升之變動率而應用不同之臨限值。因此，節點25處之電壓作為一致動信號輸入至觸發電路

22(通常包含一反相器電路，例如 I_1) 中。

相依於接針11處所發生之事件之類型，反相器電路 I_1 之觸發信號18可變化。然而，注意， R_1C_1 具有一極短時間常數。因此，一「高」觸發信號18緊密跟隨接針11處之電壓且具有一極短持續時間。此短「高」觸發信號18接通 T_1 ，此起始耗散持續時間電路13之運作，且由於該偵測器21之短RC常數，此後不久觸發信號18降低。在本發明之某些實施例中，反相器 I_1 具有在 V_{dd} 電壓之25%至50%之範圍內之一切換電壓。因此，對於一3 V系統，一適合之切換電壓係在約1至1.5 V之範圍內。類似地，對於一5 V系統，一切換臨限值之範圍係約1.5至2.5 V。

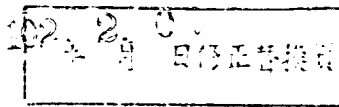
在ESD保護電路10之下一級中的係耗散持續時間控制電路13。持續時間控制電路13包括與上升時間相依啟動電路12之反相器 I_1 耦合之一電晶體電路 T_1 (例如，IGFET、MOSFET等)。電晶體 T_1 與並聯配置之一組電容性元件 C_2 及一(多個)電阻性元件 R_2 以運作方式耦合。且亦與一反相器 I_2 耦合。反相器 I_2 之輸出直接輸入至耗散電路15中或輸入至一可選鎖存器中，該可選鎖存器然後與耗散電路15耦合。

進一步詳細地，節點27配置於並聯之電容器 C_2 及電阻器 R_2 與一第二反相器 I_2 之間。此反相器 I_2 之運作選擇性地產生啟動信號19，在某些情形中，啟動信號19可持續達一延長之時間週期(例如，500奈秒或更長)。此延長之週期係由於13之較長時間常數所致。因此，反相器 I_2 之輸出28(且在

最簡單情形中為19)可使分路電晶體 T_d 導通達一延長之時間週期(例如,足以使ESD能量放電)。值得指出的是,ESD耗散持續時間控制電路13之RC時間常數 τ_2 比上升時間相依啟動電路12之RC時間常數 τ_1 大得多。此使啟動信號19能夠具有一長得多的持續時間,此延長了耗散電路15保持開啟之時間週期。此形成一更長之耗散週期,從而使耗散電路15能夠使ESD能量分路或重新導向而遠離受保護內部電路16。在一典型實例中, τ_2 通常比 τ_1 大約12倍,且可相依於內部電路16之ESD保護需要及可能遭遇之預期ESD事件之性質而長得多。在一個典型實例中, τ_1 係約40奈秒或更少,且 τ_2 係約500奈秒或更多(通常在約500奈秒至2微秒(μs)之範圍內)。因此,具有大於12、15、20或甚至更大之 τ_2/τ_1 比率之ESD保護電路具有根據本發明原理之效用。

參照圖3(a)、3(b)及圖2(a)圖解說明此種電路之一實例性運作模式之一更詳細之闡釋。

圖3(a)係繪製所繪示電路之選定點處之電壓隨時間變化之圖表。在此繪示中,該等電壓與一ESD事件相關聯。舉例而言,所繪示之放電係一人體模型(HBM)放電。本發明之實施例尤其相當適合於使此類型之ESD事件放電。垂直軸301以伏(V)為單位劃分,且水平軸302以奈秒為單位表示時間(t)。將接針11處之ESD事件繪示為隨時間變化之電壓曲線311。舉例而言,此可係在封裝外部所施加之一8000伏(8 kV)(或其他)ESD事件,但本發明之ESD電路對任一ESD事件皆作出類似反應。圖中展示接針11處之初始電



壓峰值及最大電壓311。另外，展示節點25處之電壓。所繪示之ESD事件在少於約40奈秒中達到最大電壓(在此實例中為約4.5 V)。此完全超過針對本發明之某些實施例設計之50毫伏/奈秒臨限值。此等事件可具有更慢或更快之上升時間及更低之最大電壓，但仍具有極度破壞性。然而，發明人認為50毫伏/奈秒臨限值足以應付各種各樣之ESD事件。

亦繪示之曲線312繪製緊密跟隨接針電壓311之節點25處之電壓。如所繪示，此處之電壓略微落後於接針11之電壓，但亦回應於該ESD事件而快速上升。節點25處之電壓用作反相器 I_1 之一輸入。反相器 I_1 經設定以使得在節點25處之電壓超過一預定臨限電壓值時，其「反相」25處之信號。此處，在此實例中，反相器 I_1 經設定以在約1.5 V之一輸入電壓(曲線312)下翻轉。因此，當節點25處之電壓達到1.5 V(參見曲線312)時，反相器 I_1 之觸發信號18切換且變為「低」(參見曲線313)。因此，接針11電壓在低得足以防止對電路16之破壞之約4.5 V下達到峰值。可將此等臨限值設定為任一期望位準，但如上文所指示，此主要由欲受保護之內部電路16之需要決定。該點係反相器 I_1 在使電路10能夠使ESD能量分路而遠離受保護電路16之一電壓處翻轉之點。

為概述，圖中展示接針11電壓(曲線311)、節點25電壓(曲線312)及反相器 I_1 之輸出(藉由曲線313)。因此，在一ESD事件期間，反相器 I_1 之觸發信號18(曲線313)隨11處之

ESD事件(曲線311)而快速上升且特徵在於當反相器 I_1 回應於1.5 V之輸入25(其翻轉反相器 I_1 之狀態)而變為低時在時間323處極其快速地降低。因此，觸發信號18隨著ESD事件開始而變為「高」。此短暫地「導通」電晶體 T_1 ，然後觸發信號18在323處切換成低，此「切斷」 T_1 。當 T_1 「接通」時，節點27變為「低」，如曲線314所示。一旦節點27處之電壓變為「低」，其即由於持續時間控制電路13之長RC時間常數 τ_2 而保持「低」達一延長之時間週期(即使在 T_1 之輸入返回至「低」之後)。舉例而言，節點27電壓在ESD事件期間最初上升(曲線314)，但並未高得足以翻轉反相器 I_2 (經設定以在約(舉例而言)1.5 V處翻轉)，且然後在 T_1 導通時變為「低」(例如，曲線314，在時間323處)。節點27處之電壓保持低達一延長之時間週期(例如，1 μ s或其他預定時間週期，通常大於500奈秒)。另外，當接針11處之ESD能量大致耗散(曲線311)時，且然後節點27處之電壓隨著接針11處之電壓在ESD事件後時間週期期間(此處，舉例而言，在約1 μ s之後，如在324處)穩定下降而追蹤接針11處之電壓(曲線311)。節點27作為反相器 I_2 之一輸入運作，其驅動耗散電路15之分路電晶體 T_d 。反相器 I_2 可經設定以使得任一期望位準係「低」，但在此所繪示之實例中，低係小於1.5 V(參見曲線314)。由於節點27(曲線314)降「低」且保持低達一延長時間之時間週期，因而反相器 I_2 之輸入保持低達一延長之時間週期。因此，反相器 I_2 之輸出28係「高」且由於持續時間控制電路13之長RC時間常數 τ_2 而維持於高達

一 延長之時間週期。

參照圖 3(b) 展示反相器 I_2 之延長之「高」輸出 28。曲線 315 展示輸出 28 跟隨接針 11 處之電壓 (曲線 311)。然後將此「高」輸入至耗散電路 15 之分路電晶體 T_d 中。電晶體 T_d 經組態以使得其足夠長時間地保持接通以耗散 ESD 能量。一般而言，在少至 500 奈秒之時間內即可達成有效耗散，但亦可將該電路設定為達更長之週期。此係由持續時間控制電路 13 之 R_2C_2 時間常數 τ_2 有效地判定。在一典型實例中，電晶體 T_d 之「接通」電壓可經設定以使得其在接收約 0.4 至 0.6 V 之範圍 (相依於應用) 內之一電壓時「接通」，然而，此並非係關鍵的。

此將與非 ESD 電壓事件之電路行為形成對比。在一項此類實例中，參照圖 3(c) 及圖 2(a) 闡述電力開啟時之一標準斜升電壓。

圖 3(c) 係繪製在一正常供電斜升期間之電壓之圖表。該圖表繪製電壓隨時間之變化。在此繪示中，電壓與一標準事件相關聯。舉例而言，所繪示之斜升係在約 100 奈秒至 105 奈秒中達到 5 V。此在接針 11 處提供小於 50 毫伏/奈秒之一上升時間。因此，斜升電壓之變動率小於針對變動率偵測器 21 之運作而設定之臨限值 (例如，50 毫伏/奈秒)。指出可將偵測器 21 之變動率臨限值設定為任一期望位準係重要的。變動率臨限值通常與給定電路之普通斜升電壓之變動率匹配。因此，本發明之實施例對變動率極其敏感且可以處於期望位準之一變動率臨限值來設定。

返回至圖3(c)，垂直軸331以伏(V)為單位劃分，且水平軸332以奈秒為單位表示時間(t)。接針11處之電壓由電壓曲線341反映。另外，圖中展示節點25處之電壓(曲線342)。節點25處之電壓(342)以略落後之方式追蹤接針11之電壓(341)。因此，11處及25處之電壓以一相對可控之速率變為高且保持高。此與在一ESD事件期間之接針11形成對比，在一ESD事件中，該電壓極其迅速地變為「高」，但然後快速降低。因此，21之變動率相依性使電路12能夠選擇性地回應於ESD事件而對於非ESD事件不觸發。因此，與在一ESD事件期間不同，在斜升期間，接針11及節點25達到最大電壓(在此電路中為5 V)且保持高。將來自節點25之此電壓(曲線342)輸入至 I_1 中。因此，在一短上升週期之後，將 I_1 之輸出驅動成低，如曲線343所示。21之變動率臨限值經設定以達成ESD與所繪示之斜升電壓曲線之間的區分。因此，如在曲線343中所展示，反相器 I_1 之觸發信號18上升一小量(小於約500 μV)且然後降低。在任一情形中，電壓(曲線343)皆不足以接通電晶體 T_1 。由於 T_1 保持「關斷」，因而節點27處之電壓跟隨接針11處之電壓以界定曲線344。因此，節點27處之電壓極其類似於接針11之曲線341。節點27作為反相器 I_2 之一輸入運作，在省略鎖存器14之情形中，該反相器 I_2 提供直接輸入至耗散電路15之分路電晶體 T_d 中之輸出28。因此，在斜升期間，反相器 I_2 之輸入(曲線344)上升至高且保持高。因此，反相器 I_2 產生保持相對低之輸出28。此由曲線345展示，其上升一小量(小於

102. 2. 07
年 月 日修正替換頁

500 μV ，其不將反相器 I_2 翻轉至「高」)且然後降低，由此以「低」連續運作。在任一條件中，此輸出 28 皆不接通電晶體 T_d 。因此，28 處之低使電晶體 T_d 保持關斷，且因此接針 11 處之電壓輸入至內部電路 16 中而不分路至低軌道 24。

發明人闡述數個添加之實施例。舉例而言，內部保護電路可用於保護反相器 I_1 、 I_2 及其相關聯電路。在一種做法中，上升時間相依啟動電路 12 可包括一可選保護電路 P_1 ，該可選保護電路 P_1 可用於在節點 25 處之電壓係過高之情況中保護反相器 I_1 免受過載之影響。一旦節點 25 處之電壓超過保護電路 P_1 之擊穿電壓，該電壓即被向下分路至 V_{SS} 線 24。在一個實例中，保護電路 P_1 包含一個或多個電晶體，該一個或多個電晶體經組態以使得保護電路 P_1 具有在 7 V 或更大之範圍中之一擊穿電壓。在一個實例中，一保護電路 P_1 包含具有一 8 V 之擊穿電壓之一 CMOS 電晶體。

另外，持續時間控制電路 13 可包括另一可選保護電路 P_2 ，該可選保護電路 P_2 可用於在節點 25 處之電壓係過高之情況中保護反相器 I_2 免受過載之影響。一旦節點 25 處之電壓超過保護電路 P_2 之擊穿電壓，該電壓即被向下分路至 V_{SS} 線路 24。此保護電路 P_1 可包含一個或多個電晶體，該一個或多個電晶體經組態以使得保護電路 P_1 具有在 7 V 或更大之範圍中之一擊穿電壓。

而且，發明人指出可藉助可選鎖存器電路 14 來增強耗散持續時間電路 13。本發明之某些實施例不需要鎖存器 14，但此等鎖存器可用於提供高度有用之實施方案。專利權所

有人指出可使用一鎖存器 14 來增強在圖 2(a) 中所闡述之前述實施例。在圖 2(b) 中，將可選鎖存器 14 之一實施例展示為併入至該電路中。簡而言之，包括鎖存器 14 以保持在普通運作條件下之穩定性。該鎖存器經組態以使鎖存器輸出 19 保持在「低」，由此使分路電晶體 T_d 在正常運作期間保持關斷。此在「有雜訊的」運作環境中尤其有用。在一個實例性情形中，在正常運作期間，內部電路不時地自電力線 V_{dd} 汲取電力。此可在 V_{dd} 處導致一電壓暫時降低，此降低可模仿一類 ESD 事件。該鎖存器可藉由使用具有一高切換臨限值之反相器 42 來提供穩定性。舉例而言，該切換臨限值可係 V_{dd} 之 60% 至 80%。在本實例中，對於一 3 V 系統，該切換臨限值可係(舉例而言) 2.0 至 2.2 V。此意味著可導致反相器 I_2 之狀態改變以致使其暫時變為「高」(例如，一小電壓變化或達一短時間週期)之電壓改變將不會翻轉反相器 42。因此，反相器 42 保持其狀態(通常為高)，直至一充足電壓改變事件運作以使其改變。然而，對於一「真實」ESD 事件，自 I_2 輸出 28 一大電壓(參見圖 3(b) 之曲線 315)。此輸出足以翻轉設定有一相當高之切換臨限值(例如，在 2.0 至 2.5 伏之範圍內)之鎖存器反相器 42。因此，反相器 42 將針對真正 ESD 事件而不針對在普通運作期間軌道 29 上之電力瞬態波動切換。

在一典型實施例中，該 ESD 保護電路運作耗散電路 15 以使得其保持運作以使該 ESD 能量分路達足以使該 ESD 事件放電而不損壞內部電路 16 之一時間量。舉例而言，該 ESD

保護電路可經組態以將該ESD事件放電至內部電路16之正常運作電壓之約1.5倍之一安全裕量電壓。舉例而言，對於具有一三伏(3 V)正常運作電壓之內部電路，ESD保護電路10運作以將該ESD電壓放電至約4.5 V。在具有一5 V正常運作電壓之一內部電路之情形中，ESD保護電路10運作以將該ESD電壓放電至約7.5 V。當然，此等並非係硬性且不變之限制，而是某些實施例之效能參數之粗略準則。因此，相依於情形，將要求ESD保護電路有不同放電位準及放電速率。一般而言，ESD保護電路10經組態以在約500奈秒內耗散ESD能量。然而，此等裝置10可經組態以在少至200奈秒內耗散該能量。然而，在大多數情形中，該ESD保護電路經組態以相依於該保護電路10元件之精密組態而在約500奈秒至2 μ s(或甚至更長)之一時間範圍中將該ESD能量分路至一安全位準。

申請人提供ESD保護電路10之電路元件之某些代表值。舉例而言，上升時間相依啟動電路之RC時間常數一般經組態以使得 $\tau_1=R_1C_1$ 小於40奈秒。此外，ESD保護電路10經組態以使得 $\tau_2=R_2C_2$ 大於約600奈秒。在此一實施方案中，比率 τ_2/τ_1 係大於約15。當然，該等所提議之數字僅適合於諸多可能實施方案中之一者。在另一常見實施方案中， τ_1 可在50奈秒至100奈秒之範圍中，其中 $\tau_2=R_2C_2$ 在約800奈秒至1200奈秒之範圍中。較長之 τ_2 達成較長之耗散時間。而較短之 τ_1 達成對實際ESD事件之較大敏感性而在正常運作條件下不進行多餘之假觸發。

圖4提供併入有本發明之ESD保護電路之一半導體裝置封裝之一圖解視圖。封裝30包括一基板31，使用熟習此項技術者所習知之半導體處理及製造技術在該基板上形成並連接電路元件。該等電路元件可包括與ESD保護電路10及內部電路耦合之一輸入接針11。通常，藉助經配置以吸收一ESD能量中之一些能量之一大電容器來增強接針11，然後這些能量在一更加延長之時間週期內傳輸至電路16。正是此電壓通常施加至接針11。裝置30通常囊封32於一模具帽或其他囊封結構中。

雖然以上實例提供根據本發明原理構造之數個樣本裝置實施例，但應決不將其解釋為限制本發明之範疇。因此，可根據本發明原理構造諸多值及組態。

圖5闡述用於向一受保護電路提供ESD保護之一方法實施例。該方法包含以下系列作業。在一電路輸入(例如，一輸入接針)處接收一輸入信號(作業401)，該電路輸入耦合至一ESD保護電路及欲受保護以免受ESD事件影響之一內部電路。此一輸入信號可係來自若干源。此一輸入信號可係一標準輸入信號或能夠損壞該內部電路之一ESD事件。作出關於該輸入信號係一ESD事件或某其他事件之一判定(作業403)。一般而言，將具有超過一預定臨限值之一變動率之輸入信號識別為ESD事件。在一個實例中，有用變動率臨限值係在約50毫伏/奈秒至200 mV毫伏奈秒之範圍內之值。一般而言，對於所討論之系統，將臨限值設定為超過標準斜升變動率之一變動率。一旦將一輸入信號識

別為一ESD事件(作業405)，即產生一觸發信號(作業407)。該觸發信號可由本發明之某些實施例之上升時間相依啟動電路產生。此一觸發信號可係一短暫信號，其與一短時間RC時間常數相關聯地迅速耗散，而該短時間RC時間常數與一上升時間相依啟動電路相關聯。因此，該觸發信號脈衝極快速地接通及關斷，藉此避免假觸發。回應於該觸發信號，啟動控制電路。該控制電路啟動分路電路。因此，重新導向該ESD事件所產生之能量而遠離該受保護電路，從而防止對該電路之損壞(作業409)。該重新導向可係至一接地或負電力線。通常，此重新導向可藉由本發明之某些實施例之ESD耗散電路15完成。另外，只要該重新導向將該ESD事件選路成遠離該受保護電路，其即係適合的。可由ESD耗散持續時間控制電路之實施例啟動電路15。另外，使該重新導向保持達一延長之週期，直至已自該ESD事件放電充足能量以防止對該電路之損壞(作業411)。舉例而言，在啟動該分路電路之後，該控制電路使該分路保持在運作中達與該控制電路之一RC時間常數相關聯之一延長之時間週期。由於該控制電路之RC時間常數比該觸發電路之RC時間常數長得多，因而該分路保持在運作中之時間遠長於原本在僅有觸發電路之情形下所保持之時間。此延長之時間週期使得能夠經由該分路電路將充足能量放電以保護該內部電路免受損壞。

此發明性ESD保護電路之一額外優點係其較先前技術之「突返」ESD保護裝置更能容忍製程變化。因此，其行為

更具可預測性且裝置更具可製造性。另外，該等發明性裝置較小。而且，當與所謂的「主動分路網路」(亦稱為「主動切換網路」或「基於軌道之網路」)相比時，該等發明性裝置提供某些優點。如同突返裝置一樣，此等電路之製程變化可導致不可預測之回應，而該回應可導致損壞受保護電路之過多電流或過電壓。而且，本ESD保護電路不需要大多數先前技術保護電路所需要之大量且耗時之測試驗證程序。而且，該發明性電路遠比可程式化ESD保護電路簡單。出於此等及其他原因，現闡述之發明具有諸多勝過先前技術之優點。

因此，所闡述之發明克服短RC時間常數電路中固有之問題(即，不足之耗散時間)且亦克服長RC時間常數電路中固有之問題(即，在正常運作條件下之電路之假觸發)。所闡述之發明使用一極其簡單之電路完成此任務，且選定實施例甚至無需一鎖存器即可提供經改良之ESD效能。

已針對某些較佳實施例及其具體特徵特別地展示並闡述了本發明。然而，應注意，以上所闡述之實施例意欲闡述本發明之原理，而非限制其範疇。因此，如熟習此項技術者容易地明瞭，可在形式及細節上做出各種改變及修改，此並不背離隨附申請專利範圍中所陳述之本發明之精神及範疇。熟習此項技術者將明瞭且可做出其他實施例及所繪示實施例之變化形式，此並不背離以下申請專利範圍中所界定之本發明之精神及範疇。舉例而言，針對一ESD保護裝置揭示了上升時間相依啟動電路及ESD耗散持續時間控

制電路。然而，此等電路可與需要臨限偵測及一持續啟動信號之大致任一電路一起使用，其中該持續啟動信號延長超過藉由該啟動電路之RC時間常數所賦能之時間。此外，除非明確地闡明，否則申請專利範圍中對一單數形式之元件之提及並非意欲意指「一個且僅一個」，而是「一個或多個」。此外，可在無本文中未具體揭示之任一元件之情況下實踐在本文中以說明方式揭示之該等實施例。

【圖式簡單說明】

結合隨附圖式將更容易地理解以上詳細闡述，附圖中：

圖1係展示根據本發明原理之一ESD保護電路之功能組件之一功能方塊圖；

圖2(a)係根據本發明原理之一ESD保護電路之更詳細示意性繪示；

圖2(b)係包括鎖存器電路之一ESD保護電路實施例之一詳細示意性繪示；

圖3(a)至3(c)係根據本發明原理構造之一個實例性ESD保護電路之一電路行為之圖表繪示，以包括在ESD事件條件及標準電力開啟條件下之電路行為；

圖4係根據本發明原理之形成於一半導體封裝上之ESD保護電路之視圖；及

圖5係圖解說明本文中所闡述之ESD保護電路之一個實施例之一運作模式之一流程圖。

應理解，在該等圖式中，類似之參考編號標示類似之結構元件。而且，應理解，該等圖中之繪示未必係按比例繪

製。

【主要元件符號說明】

10	ESD保護電路
11	接針
12	上升時間相依啟動電路
13	ESD耗散持續時間控制電路
14	可選鎖存器電路
15	ESD耗散電路
16	內部電路
17	輸入信號
18	觸發信號
19	啟動信號
21	變動率偵測器
22	觸發電路
24	低軌道
25	節點
27	節點
28	輸出
29	正電源
30	封裝
31	基板
32	囊封結構
I1、I2、41~43	反相器

七、申請專利範圍：

1. 一種靜電放電(ESD)保護電路，其藉由耗散與至少一個輸入接針處之一ESD事件相關聯之能量來保護具有該輸入接針之一內部電路，該ESD保護電路包含：

上升時間相依啟動電路，其用於偵測在該輸入接針處供應之一輸入信號之一變動率(slew rate)，其中當啟動電路判定該輸入信號之該變動率大於一第一臨限值時，則該輸入信號係該ESD事件且根據與該啟動電路之該電路相關聯之一第一RC時間常數產生一短時間週期之一觸發信號，且對於具有小於該第一臨限值之一變動率之輸入信號，則不產生觸發信號；

ESD耗散持續時間控制電路，其耦合至該上升時間相依啟動電路及一ESD耗散電路，該ESD耗散持續時間控制電路回應於自該上升時間相依啟動電路接收之該觸發信號而被啟動以產生一啟動信號，該信號啟動該ESD耗散電路且根據與該ESD耗散持續時間控制電路相關聯之一第二RC時間常數控制該ESD耗散電路保持作用之時間長度，該第二RC時間常數比該第一RC時間常數長，從而致使該ESD耗散電路足夠長時間地保持作用以達成該輸入信號之充分放電，該ESD耗散持續時間控制電路進一步包含一於該輸入接針處所提供之電壓與一接地之間串聯之一電容與一電晶體，俾使該電晶體之源極與閘極係與該接地連接，進而形成一分路保護電路以保護一分路反相器；及

該ESD耗散電路，其耦合至該ESD耗散持續時間控制電路，其中該ESD耗散電路藉由啟動該ESD耗散電路來回應於自該ESD耗散持續時間控制電路提供之該啟動信號，藉此使與該ESD事件相關聯之該能量分路而遠離該內部電路，該ESD耗散電路係經組態而保持該能量之該分路達一時間週期，直至使與該ESD事件相關聯之該能量之一充足量分路而遠離該內部電路，藉此保護該內部電路免受該ESD事件之影響。

2. 如請求項1之ESD保護電路，其中該保護電路經構造而無鎖存器電路。
3. 如請求項1之ESD保護電路，其中該上升時間相依啟動電路之該第一RC時間常數小於約50奈秒；且

其中該ESD耗散持續時間控制電路之該第二RC時間常數大於該第一RC時間常數。

4. 如請求項3之ESD保護電路，其中該上升時間相依啟動電路之該第一RC時間常數小於約40奈秒；且

其中該ESD耗散持續時間控制電路之該第二RC時間常數大於約400奈秒。

5. 如請求項3之ESD保護電路，其中當該輸入信號變動率超過設定為50毫伏/奈秒之該第一臨限值時，該上升時間相依啟動電路產生該觸發信號。
6. 如請求項1之ESD保護電路，其中該ESD耗散持續時間控制電路經組態以使該耗散電路保持處於一作用模式中，直至將該輸入信號放電至該內部電路之普通運作電壓之

約1.5倍之一電壓位準。

7. 如請求項1之ESD保護電路，其中該ESD耗散持續時間控制電路進一步包括鎖存器電路，以保持該ESD電路在經受由於普通運作條件而維持之雜訊時之穩定性。

8. 如請求項1之ESD保護電路，其中該ESD保護電路被整合至一積體電路封裝中，該積體電路封裝包含：

一基板；

該電力接針、ESD保護電路及該內部電路，其皆配置於該基板上；

該電力接針以運作方式與裝置之內部電路耦合且與該ESD保護電路耦合，以使得當施加至該輸入接針之一輸入信號包含一ESD事件時啟動該ESD保護電路。

9. 如請求項8之ESD保護電路，其中該電力接針進一步耦合至一電容器，該電容器吸收該初始ESD事件且將該ESD能量緩慢地耗散至該ESD保護電路中。

10. 一種IC裝置，其包含：

一輸入接針；

一內部電路，其與該輸入接針耦合；及

一ESD電路，其以運作方式與該輸入接針及該內部電路耦合且經配置以保護該內部電路免受過量電壓峰值之影響，該ESD電路包含：

觸發電路、分路持續時間電路及分路電路，該觸發電路具有一小第一RC時間常數，當該接針處之一輸入信號之一變動率超過一第一臨限值時，該觸發電路產生一

啟動該分路持續時間電路之觸發信號；

該分路持續時間電路經配置以產生一啟動信號，當該輸入信號之該變動率超過該第一臨限值時，該分路持續時間電路由該觸發信號啟動；

該分路電路經配置以接收該啟動信號，並於接收該啟動信號時重新導向該輸入信號而遠離該內部電路；及

其中該分路持續時間電路具有一較大之第二RC時間常數，該分路持續時間電路經組態以使該分路持續時間電路保持處於一經啟動狀態中超過該觸發電路之該第一RC時間常數所指定之時間，藉此使該分路持續時間電路能夠使該分路電路保持作用達足以使一ESD事件放電至將不會損壞該內部電路之一程度之一時間週期，該分路持續時間電路進一步包含一於該輸入接針處所提供之電壓間串聯配置之一電容與一電晶體，該電容與該電晶體係經配置俾使該電晶體之源極與閘極係與一接地連接，進而形成一分路保護電路以保護該分路持續時間電路之一分路反相器。

11. 如請求項10之IC裝置，其中該分路持續時間電路包括鎖存器電路，該鎖存器電路經組態以增加該ESD電路在經受普通運作條件之雜訊時之穩定性。
12. 如請求項10之IC裝置，其中該觸發電路經組態以在該電力輸入接針處發生一ESD事件時啟動該分路持續時間電路，但在該輸入信號係一既定輸入信號時不啟動該分路持續時間電路。

13. 如請求項12之IC裝置，其中該既定輸入信號係電力開啟時之一電壓湧入。
14. 如請求項10之IC裝置，其中該分路持續時間電路使該分路保持處於一經啟動狀態中直至來自該輸入信號之電壓減小至該內部電路之正常運作電壓之約1.5倍之一位準。
15. 一種為一電路裝置提供ESD保護之方法，該裝置包括與一輸入接針耦合之一內部電路，該方法包含如下作業：
 - 在一輸入接針處接收一輸入信號；
 - 判定該輸入信號是否具有超過界定一ESD事件之一臨限值之一變動率；
 - 對於具有超過該臨限值之一變動率之一輸入信號：
 - 回應於該ESD事件而產生一觸發信號；
 - 回應於該觸發信號而啟動一分路，該經啟動分路重新導向該輸入信號而遠離該內部電路；及
 - 使該分路保持處於一經啟動狀態中直至已使該ESD事件放電；且
 - 對於具有不超過該臨限值之一變動率之一輸入信號：
 - 使該分路保持處於一非作用狀態中，以使得其不重新導向該輸入信號而遠離該內部電路。
16. 如請求項15之方法，其中以下作業
 - 根據經選擇以識別ESD事件之一第一RC時間常數進行判定該輸入信號之該變動率是否超過該臨限值；
 - 根據該第一RC時間常數進行回應於該ESD事件而產生一觸發信號；及

根據使該分路能夠繼續直至使該ESD事件充分耗散之一第二RC時間常數進行使該分路保持處於一經啟動狀態中直至已使該ESD事件放電。

17. 如請求項16之方法，其中該第一RC時間常數係回應於具有大於該裝置之一標準電力開啟變動率之一變動率之該等輸入信號。
18. 如請求項15之方法，其中該第一RC時間常數係回應於具有大於50毫伏/奈秒之一變動率之該等輸入信號。
19. 如請求項15之方法，其中該使該分路保持處於一經啟動狀態中包含：使該分路保持處於一經啟動狀態中，直至使該ESD能量耗散至其中剩餘電壓小於該內部電路之普通運作電壓之約1.5倍之一位準。
20. 如請求項16之方法，其中該第一RC時間常數小於約40奈秒，且該第二RC時間常數大於約500奈秒。
21. 一種ESD保護電路，該ESD保護電路包含：
 - 一與一第一RC時間常數相關聯之第一RC電路，該第一RC電路係連接至一第一軌道，用以回應於該第一軌道上之一ESD而產生一基於第一RC之觸發信號；
 - 一分路電路，該分路電路經組態以在回應於一ESD事件時啟動以使ESD能量分路而遠離一受保護電路；及
 - 一第二RC電路，其可產生一基於第二RC之啟動信號，該第二RC電路與該第一RC電路及該分路電路耦合且經組態以使得該第二RC電路作為一持續時間控制電路運作，該持續時間控制電路回應於自該第一RC電路接收

之該觸發信號而產生該基於第二RC之啟動信號，該基於第二RC之啟動信號啟動該分路電路且使該分路電路保持處於一作用狀態中達與該第二RC電路之一第二RC時間常數相關聯之一延長之時間週期，其中該第二RC時間常數實質上長於該第一RC時間常數，從而致使該第二RC電路足夠長時間地保持作用以安全地放電該靜電放電之能量，

該第二RC電路進一步包含一於該第一軌道與一接地之間串聯之一電容與一電晶體，該電晶體經配置作為一反相器保護電路，該反相器保護電路經配置以在一與該分路電路相關聯之反相器達到反相器崩潰電壓之前保護該反相器。

22. 如請求項21之ESD保護電路，其經組態而不包含鎖存器電路。

八、圖式：

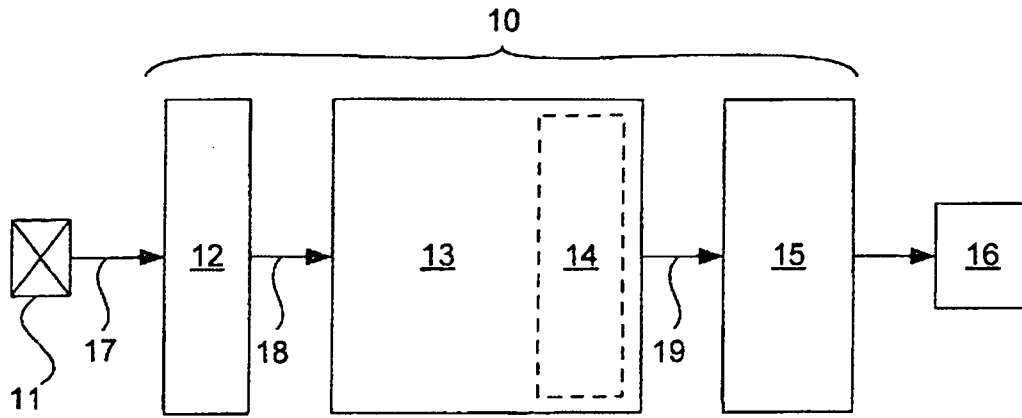


圖 1

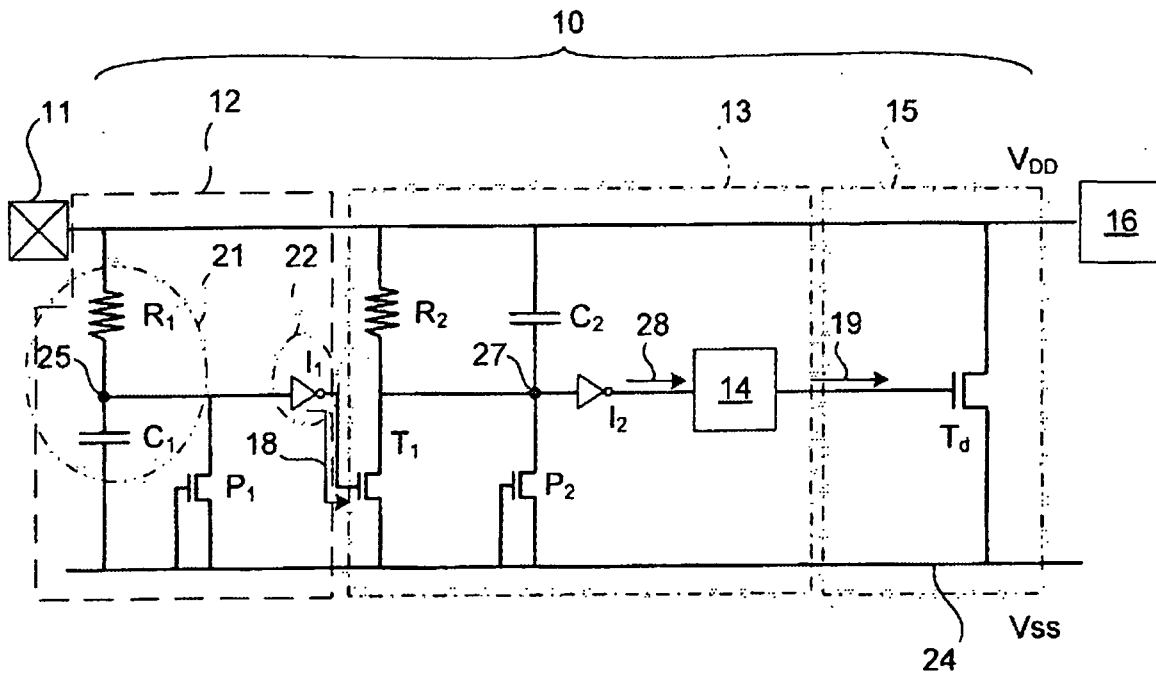


圖 2(a)

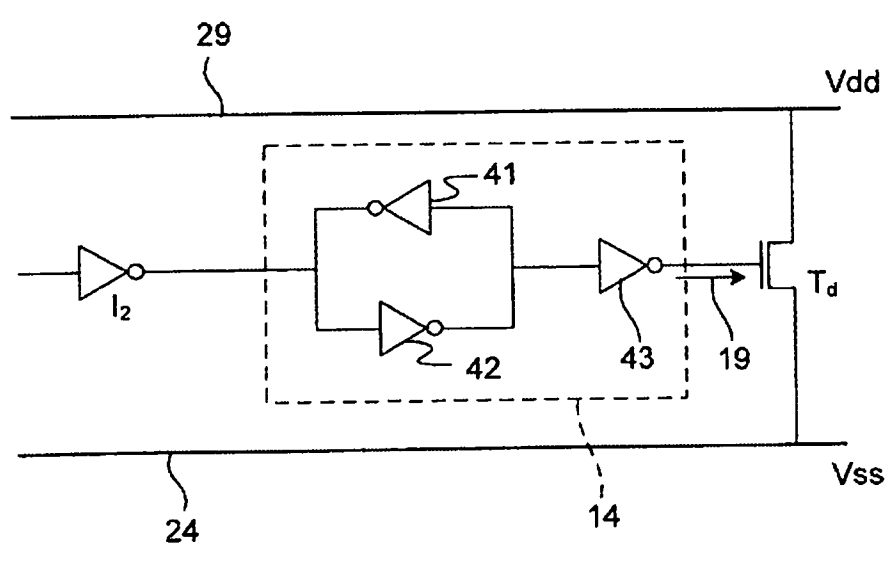


圖 2(b)

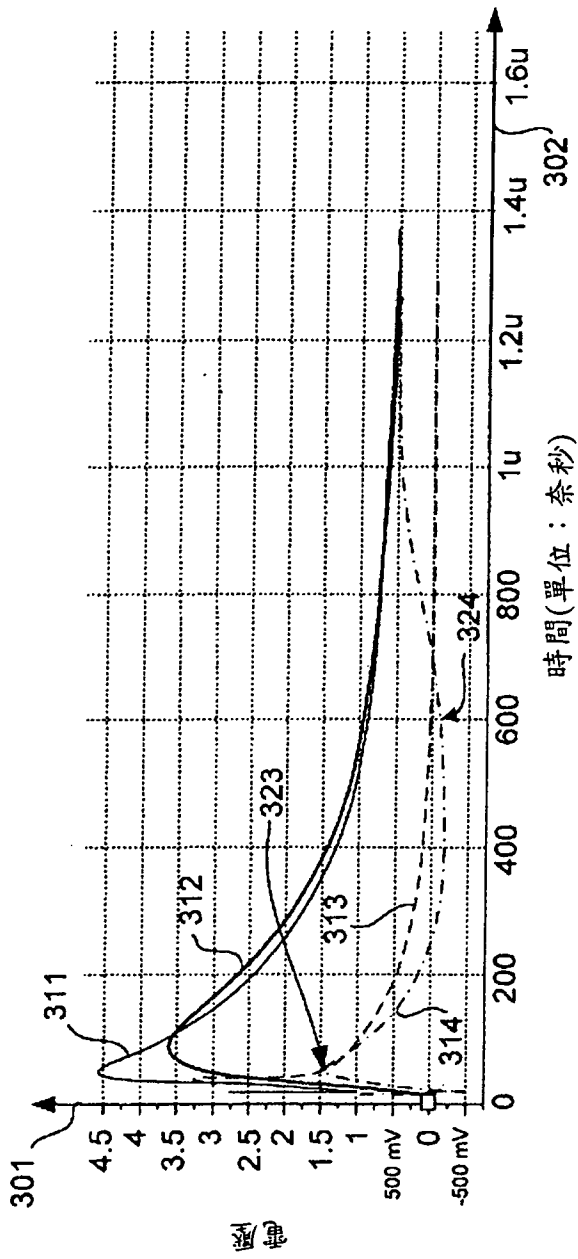


圖 3(a)

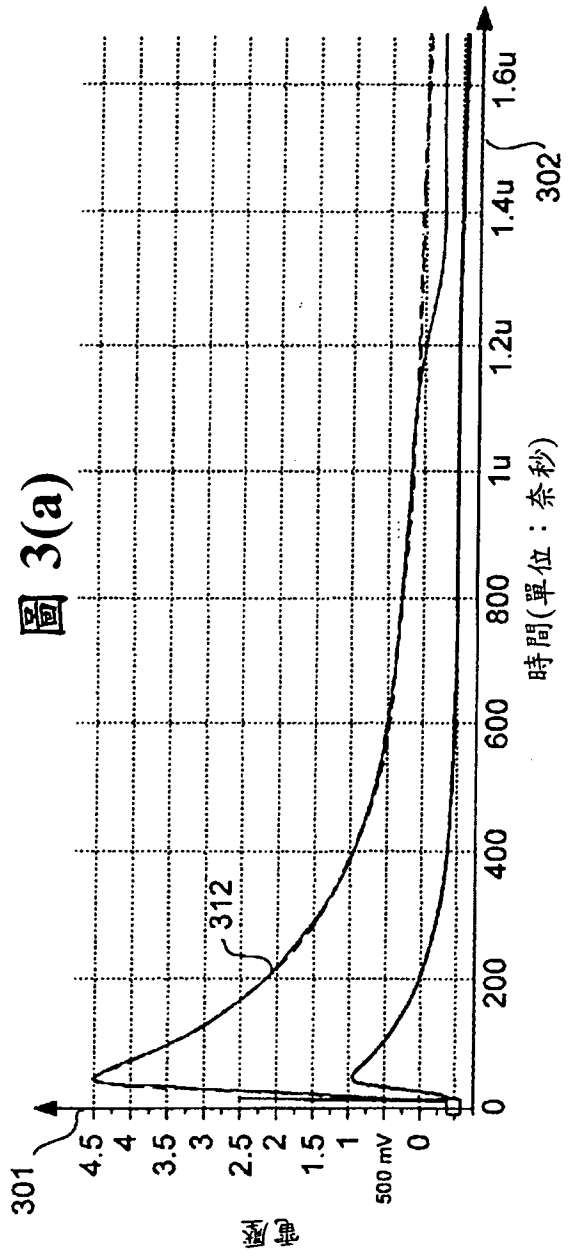


圖 3(b)

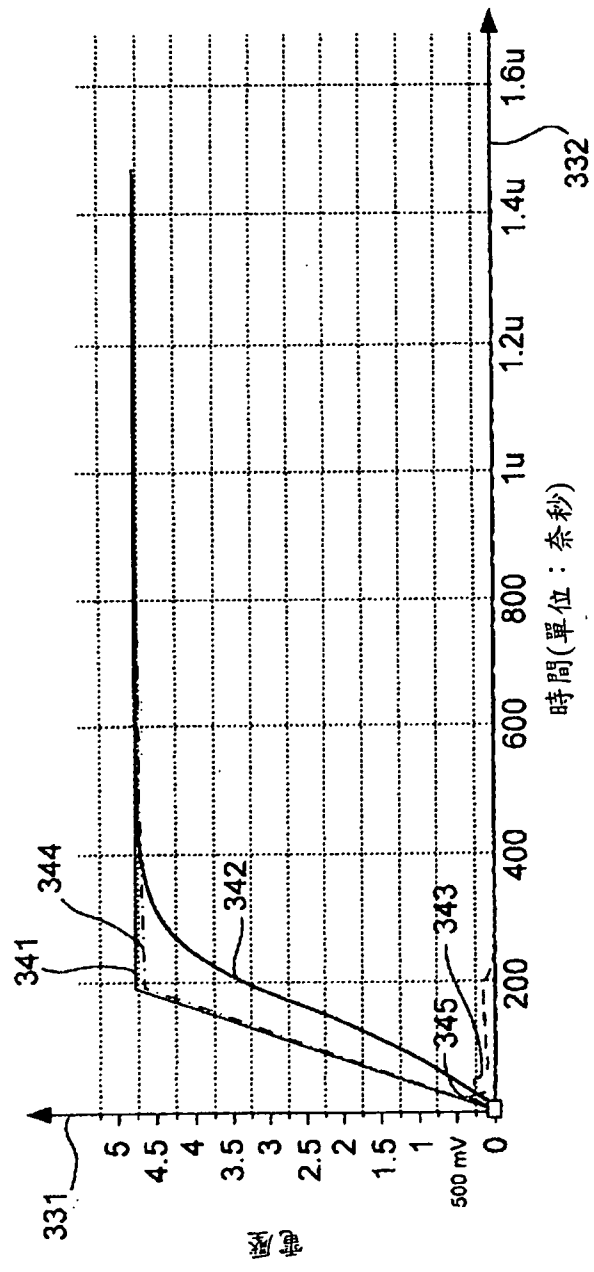


圖 3(c)

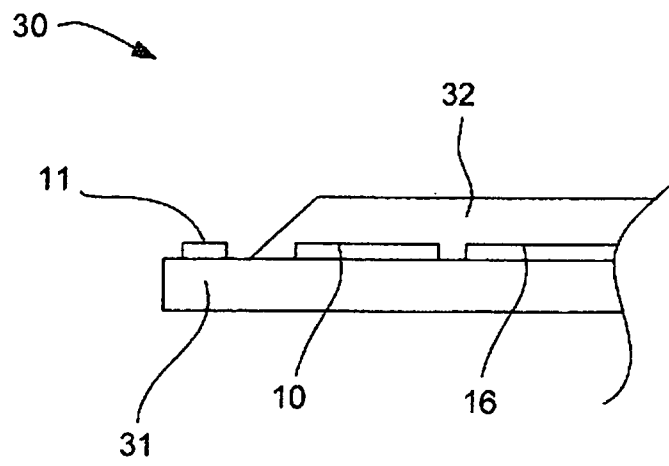


圖4

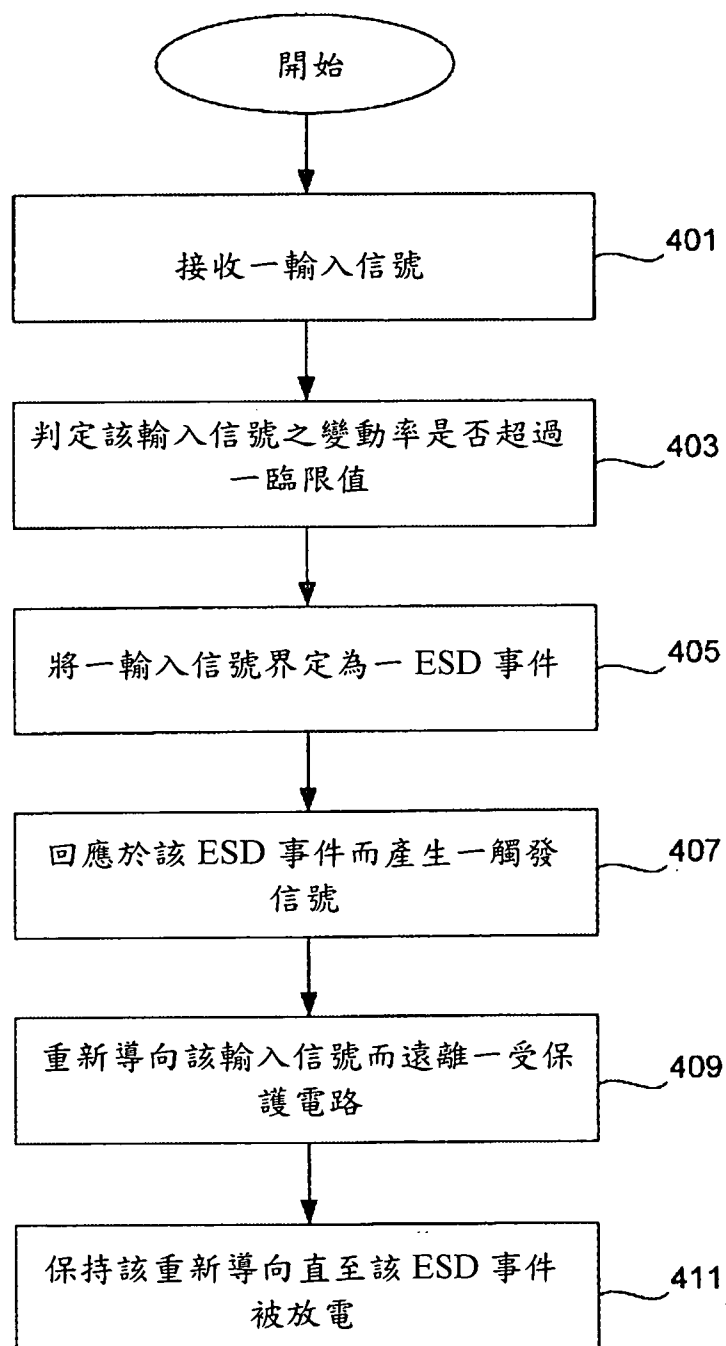


圖5