

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4294748号
(P4294748)

(45) 発行日 平成21年7月15日(2009.7.15)

(24) 登録日 平成21年4月17日(2009.4.17)

(51) Int.Cl.	F I
HO 1 L 29/74 (2006.01)	HO 1 L 29/74 G
HO 2 H 7/20 (2006.01)	HO 2 H 7/20 F
HO 2 H 9/04 (2006.01)	HO 2 H 9/04 B
HO 5 F 3/02 (2006.01)	HO 5 F 3/02 L

請求項の数 9 外国語出願 (全 14 頁)

(21) 出願番号	特願平9-370152	(73) 特許権者	590000879
(22) 出願日	平成9年12月22日(1997.12.22)		テキサス インスツルメンツ インコーポ レイテッド
(65) 公開番号	特開平10-313110		アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 135 〇〇
(43) 公開日	平成10年11月24日(1998.11.24)	(74) 代理人	100066692
審査請求日	平成16年10月18日(2004.10.18)		弁理士 浅村 皓
(31) 優先権主張番号	033542	(74) 代理人	100072040
(32) 優先日	平成8年12月20日(1996.12.20)		弁理士 浅村 肇
(33) 優先権主張国	米国 (US)	(74) 代理人	100091339
前置審査			弁理士 清水 邦明
		(74) 代理人	100094673
			弁理士 林 拓三

最終頁に続く

(54) 【発明の名称】 トリガー電圧が低く、保持電圧が調整可能な、ESD保護のための積層SCR

(57) 【特許請求の範囲】

【請求項1】

過剰電圧が、信号線を通して被保護回路に印加されることを防止するための、保護回路であって：

前記信号線に接続されるアノード；

接地参照電位に接続されるカソード；

前記アノードに接続されるソース、および、前記信号線の電圧から分離されるトリガー電圧に接続されるゲートを有するPチャンネル・トランジスタ；

ベース、前記アノード線および前記Pチャンネル・トランジスタのソースの双方に接続されるエミッタを有し、また更に前記Pチャンネル・トランジスタのドレインに接続されるコレクタを有するPNPトランジスタ；

前記カソードに接続されるエミッタ、前記PNPトランジスタのコレクタ、および前記Pチャンネル・トランジスタのドレインに接続されるベース、および、前記PNPトランジスタのベースに接続されるコレクタを有するNPNトランジスタ；

前記アノードと、前記PNPトランジスタのベースおよび前記NPNトランジスタのコレクタとの間に接続される第1の抵抗；

前記カソードと、前記PNPトランジスタのコレクタ、前記Pチャンネル・トランジスタのドレインおよび前記NPNトランジスタのベースとの間に接続される第2の抵抗であって、前記PNPおよびNPNトランジスタおよび前記第1および第2の抵抗で、SCRとしての構成がなされる、第2の抵抗；からなり、かつ

10

20

前記 P チャンネル・トランジスタは、前記第 2 の抵抗を流し、前記 NPN トランジスタのベースの電圧を増大させ、それによって、前記 NPN トランジスタをオンにして、前記 PNP トランジスタのベースを低く引っ張り、前記 PNP トランジスタをオンにして、前記 SCR をラッチする保護回路。

【請求項 2】

前記 P チャンネル・トランジスタのゲートが、前記被保護回路の動作電圧端子に接続されている、請求項 1 に記載の保護回路。

【請求項 3】

前記保護回路は、P 型基板を有する集積回路の一部として形成され、かつ、P 形基板内に配置された N タンクにふくまれ、前記集積回路の他の部分から電気的に分離している、請求項 1 に記載の保護回路。

10

【請求項 4】

前記 P チャンネル・トランジスタ、前記 PNP トランジスタ、前記 NPN トランジスタおよび前記第 1 および第 2 の抵抗が、第 1 の SCR をなし、更に：

前記第 1 の SCR と直列に接続されて、P チャンネルトランジスタ、PNP トランジスタ、NPN トランジスタおよび第 1 および第 2 の抵抗を有する第 2 の SCR を有し、前記第 1 および第 2 の SCR の各々は、前記保護回路の組み合わせられた保持電圧が、前記第 1 および第 2 の SCR の各々の保持電圧の合計にほぼ等しくなるよう関連する保持電圧を有する、請求項 1 に記載の保護回路。

20

【請求項 5】

前記保護回路のトリガー電圧が、前記第 1 および第 2 の SCR のうちのひとつのトリガー電圧に、ほぼ等しくなるように、前記第 1 および第 2 の SCR が構成されている、請求項 4 に記載の保護回路。

【請求項 6】

前記第 1 および第 2 の SCR の少なくともひとつが、P 型基板を有する集積回路の一部として形成され、かつ、P 型基板内に配置された N タンク内に含まれて集積回路の他の部分から分離されている、請求項 4 に記載の保護回路。

【請求項 7】

前記 P チャンネル・トランジスタのゲートが、前記被保護回路の動作電圧端子に接続されており；

前記保護回路は、P 型基板を有する集積回路の一部として形成されており、かつ、P 形基板内に配置された N タンク内に含まれ、前記集積回路の他の部分から、前記保護回路を電気的に分離しており；かつ

前記保護回路のトリガー電圧が、前記第 1 および第 2 の SCR の一方のトリガー電圧にほぼ等しくなるように、前記第 1 および第 2 の SCR が構成されている請求項 4 に記載の保護回路。

30

【請求項 8】

過剰な電圧が、信号線を通して被保護回路に印加されるのを防止するための、カソードおよびアノードを有する保護 SCR 回路であって、その SCR 保護回路は：

P 形基板中に形成される N タンク；
前記 N タンク内に配置される P タンク；
前記 P タンク内に配置される第 1 の P + 領域；
前記 P タンク内に配置される第 1 の N + 領域；
第 2 の P + 領域であって、前記 P タンクおよび前記 N タンクの双方内に部分的に配置されるように、前記 P タンクおよび前記 N タンクに橋渡しの関係で配置される第 2 の P + 領域；

40

前記 N タンク内に配置され、チャンネル領域を形成するために、前記第 2 の P + 領域から離されている第 3 の P + 領域；

50

前記チャンネル領域の上に配置され、ゲート酸化物の層によってそこから分離され、Pチャンネル・トランジスタの形を定めるゲートであって、前記アノードから分離されているトリガー電圧に接続可能であるゲート；

前記Nタンク内に配置される第2のN+領域；

前記第1のP+領域および前記第1のN+領域に接続され、前記SCR保護回路のカソードを形成する第1のパッド；

前記第3のP+領域および前記第2のN+領域に接続され、前記SCR保護回路のアノードを形成する第2のパッド；からなり、

前記第2のN+領域および前記Pタンクの間、前記第3のP+領域の最も近くにおいて、前記Nタンクの抵抗部分が延びていて、前記第3のP+領域と前記Nタンクとの間に、そこを流れる第1の所定レベルの電流に対応して、前記ゲートに印加される供給電圧に対して正バイアスの電圧を印可し；かつ

前記第1のN+領域と前記Nタンクとの間、および前記第1のP+領域と前記第2のP+領域との間に、前記Pタンクの抵抗部分が延びていて、前記第1のN+領域と前記Nタンクとの間に、そこを通る第2の所定レベルの電流にตอบสนองして、前記ゲートに印加される供給電圧に対して負バイアスの電圧を印可する

保護SCR回路。

【請求項9】

前記ゲートが、前記保護回路の動作電圧端子に接続されている、請求項8に記載の保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般には、静電放電保護回路に関し、より詳しくは、信号線を接地短絡するための集積回路内に含まれる静電放電保護回路に関する。

【0002】

【発明の背景】

集積回路は、集積回路のリードに人が触るといったときに発生する、静電放電(ESD)が起こる結果、遭遇される高電圧に、特に敏感である。先行技術のシリコン制御整流素子(SCR)が、ESDの高電圧を、選択的に接地放電するために提供されている。ESDの発生に先立って、SCRは非導電状態にある。一旦ESDの高電圧の発生に遭遇すると、SCRは、導電状態に変わり、電流を接地短絡して、その電圧が安全なレベルに放電されるまで、この導電性状態を維持する。

【0003】

従来技術のSCRでは、保持電圧が、被保護回路が動作する動作電圧よりも低いことによって、問題が生じる。すなわち、先行技術のSCRは、ESDの発生または大きな信号ノイズによってトリガーされ、動作電圧が、保護されている特別な回路に印可されている限り、動作状態にラッチされたままである。集積回路が動作するとき発生するスプリアスのノイズが、先行技術において現在なされているように、敏感なSCR回路を起動させてしまうので、問題が発生する。これは、SCRを破損し得る。また、被保護回路は、動作電圧がその被保護回路から取り除かれて、SCRが、ラッチされていない非導電状態に戻ることができるようになるまで使うことができない。

【0004】

集積回路のサイズの低減に伴って更なる問題が生じ、すなわち、それは、回路のスケールが低減する結果、ESDの発生から受ける損傷に対しての感度および電気感受性が、より大きくなるというものである。これは、とりわけ、現在、3.3ボルトの電圧レベルで動作するMOSFET回路に当てはまる。MOSFET回路は、ESDの発生によって、容易に損傷を受ける。ESDの発生に対してそのような回路を保護するために、鋭敏なSCR回路が、用いられなければならない。SCRのトリガー電圧が高いために、保護される信号線に、抵抗が配置されなければならない。この抵抗は、また、時定数を加え、その信

10

20

30

40

50

号線の応答時間の遅れ、および高周波数でのデジタル信号の歪みを引き起こす。

【 0 0 0 5 】

【 発明の概要 】

ここで開示され、特許請求される本発明は、集積回路に印可される電圧に応答して、異なるトリガー電圧レベルに自動的に調整される、トリガー電圧を有するSCRからなるものである。そのトリガー電圧を決定するために、Pチャンネル・トランジスタが提供される。保護される集積回路に、動作電圧が印可されないときは、そのPチャンネル・トランジスタのしきい値電圧が、SCRがトリガーされる電圧を決定する。保護される集積回路に動作電圧が印可されるときは、その動作電圧は、そのPチャンネル・トランジスタのゲートに印可され、その集積回路の動作電圧およびそのPチャンネル・トランジスタのしきい値電圧が、SCRのトリガー電圧を決定する。そして、PNPおよびNPNのトランジスタのペアがラッチされて、被保護信号経路を接地短絡する。SCRは、その信号経路に印可される電圧が、SCRのしきい値電圧よりも低くなるまで、ラッチしたままである。

10

【 0 0 0 6 】

本発明の別の目的によると、複数のSCRが積層され、または、直列に接続されて、SCRの累積保持電圧が、信号経路に印可される動作電圧よりも大きなものとされる。SCRは、直列に積層され、その直列のSCR全体の保持電圧が、おおよそ、SCRの個々の保持電圧の合計に等しく、かつ、トリガー電圧よりも大きくなる。

【 0 0 0 7 】

【 実施例 】

20

今、図1を参照すると、被保護回路12を有する、従来技術の集積回路10の概略図が示されている。回路12は、Nチャンネル・トランジスタ14に接続されるダイオードによって保護されるが、そのトランジスタが有するドレインは、トランジスタ12のゲートに接続され、また、そのソースは接地されていて、トランジスタ14の降伏電圧を超過する電圧によって、それが導通するようになっている。トランジスタ12のゲートと入力パッド20との間に、抵抗16が接続されている。SCR18は、パッド20から接地へと接続されている。SCR18は、パッド20に接続されているアノード21を含んでおり、そのアノード21は、抵抗22の一方の側、およびPNPトランジスタ24のエミッタに接続されている。トランジスタ24のベースは、ノード26に接続されている。抵抗22の他方の側は、ノード26に接続されている。Nチャンネル・トランジスタ28のドレインおよびNPNトランジスタ30のコレクタの双方が、ノード26に接続されている。トランジスタ30のベースは、ノード32に接続されており、それは、トランジスタ24のコレクタ、および抵抗34の一方の側に接続されている。抵抗34の他方の側は、ノード36に接続されており、これは、カソードであって、接地されている。トランジスタ30のエミッタ、およびNチャンネル・トランジスタ28のゲートおよびソースは、ノード36に接続されている。

30

【 0 0 0 8 】

今、図2を参照すると、図1に描写されるSCR18の回路を提供する、集積回路40の断面図が示されている。集積回路40は、P形基板42を含むが、その中には、Nウェル44が形成される。Nウェル44内には、N+領域46およびP+領域48が形成されている。N+領域46およびP+領域48は、ともに、端子パッド50に接続されており、それは、図1のアノード21と等価のものを提供する。N+領域52が提供され、図示のように、それは、Nウェル44および基板42の接合部を横切って配置されるものとなっている。N+領域54は、基板42中に、N+領域52から離されて形成されている。Nチャンネル・トランジスタが提供されるように、ゲート56を、N+領域52およびN+領域54の間に延びる基板42の部分に隣接して配置しているが、これらのN+領域は、そのソース/ドレイン領域を形成している。P+領域58が、基板42中に形成され、端子パッド60に接続されている。N+領域54およびゲート56もまた、直接、端子パッド60に接続されている。端子パッド60は、図1のノード36を提供する。

40

【 0 0 0 9 】

50

図1および図2を更に参照すると、抵抗器 R_N の抵抗22が、Nウェル44の、N+領域46から、Nウェル44と基板42との界面へと延びる部分によって提供される。N+領域46は、N+領域52から離れており、Nウェル44の、N+領域46とN+領域52との間に延びる部分が、抵抗器 R_N の抵抗22を提供するものとなっている。端子パッド50もまた、P+領域48に接続されている。基板42の、Nウェル44との接合部からP+領域58へと延びる領域は、抵抗器 R_P なる抵抗34を提供する。PNPトランジスタ24は、P+領域48によって提供されるエミッタ、Nウェル44により提供されるベース、および、P-基板42により提供されるコレクタを有する。N+領域52は、Nチャンネル・トランジスタ28のドレインを提供する。Nチャンネル・トランジスタ28のゲートおよびソースは、それぞれ、ゲート56およびN+領域54によって提供される。NPNトランジスタ30は、Nウェル44により提供されるそのコレクタ、基板42により提供されるそのベース、および、N+領域54によって提供されるそのエミッタを有する。

10

【0010】

動作においては、保護回路18は、ノード26での電圧が高まって、トランジスタ28の降伏電圧を超えるまで、アノード21およびカソード36の間に電流を流さない。その降伏電圧は、好ましくは、3.3ボルトの動作技術については、7から10ボルトの範囲にあり、5ボルトの動作技術においては、10.0から15.0ボルトの範囲にある。一旦トランジスタ28の降伏電圧を超えてしまうと、電流が、抵抗22を通過して、ノード26へ、また、トランジスタ28のドレインからソースへと流れる。抵抗22を通過する電流は、PNPトランジスタ24のベースの電圧を低下させる。一旦、トランジスタ24のダイオード電圧が、順バイアスで超えてしまうと、それは、アノード21から、ノード32へと電流を流す。抵抗34を通過してノード36を流れる電流は、トランジスタ30のベースの電圧を上昇させ、トランジスタ30をオンにする。トランジスタ30を通過する電流によって、抵抗22を電流が流れるものとなり、更に、ノード26の電圧を下げて、トランジスタ28の降伏電圧より低くする。こうして、トランジスタ24および30は、抵抗22および34のいずれかに掛かる電圧が、SCR18の保持電圧より下がるまで、導電モードでラッチする。

20

【0011】

SCR18の先行技術の保護回路は、唯一のトリガー電圧を有しており、それは、トランジスタ28の降伏電圧によって決定される。先行技術SCR18の保持電圧は、典型的には、被保護回路12の供給電圧よりも低いものであり、その結果、SCR18は、動作電圧が、保護される信号線から取り除かれるまで、導電モードでラッチするものとなる。例えば、3.3ボルト技術について、保持電圧は、約1.5ボルトである。

30

【0012】

図3は、集積回路62の概略図を示しており、それは、MOSトランジスタの形の、被保護回路64、およびパッド72と接地との間に接続されるNチャンネル・トランジスタ66とを有している。保護回路が、パッド72および接地の間に接続されるSCR68によって提供される。SCR68は、動作電圧端子パッド70を有しており、それは、別の電圧レベルに接続することもできるが、集積回路62へ供給される電源である V_{DD} へ接続されている。SCR68なる回路は、更に、アノード73を含んでおり、それは、抵抗74の一方の側、PNPトランジスタ76のエミッタ、および、Pチャンネル・トランジスタ78のソースに接続されている。トランジスタ78のゲートは、直接、端子パッド70に接続されているが、それは、 V_{DD} に接続されている。抵抗74の他方の側は、ノード80に接続されている。ノード80は、トランジスタ76のベース、およびNPNトランジスタ82のコレクタに接続されている。トランジスタ82のベースは、直接、ノード84に接続されている。トランジスタ76のコレクタ、およびトランジスタ78のドレインもまた、直接、ノード84に接続されている。抵抗86は、ノード84およびノード88の間に接続されている。ノード88は、SCR68のカソードを提供し、それは、接地されている。NPNトランジスタ82のエミッタもまた、ノード88に接続されている。

40

50

【 0 0 1 3 】

今、図4を参照すると、図3に描写されている、SCR68なる回路を提供する集積回路90の断面図が示されている。集積回路90は、P形基板92を含む。高電圧Nタンク(HV-nタンク)98が、基板92に形成されている。また、基板92には、P+領域94が形成され、それは、基板端子パッド96に接続されて、基板92への電気接続を提供している。低電圧Pタンク(LV-pタンク)100が、HV-nタンク98に形成されている。P+領域102が、LV-pタンク100中に形成されている。N+領域104もまた、LV-pタンク100中に形成されている。P+領域102およびN+領域104は、双方ともカソード106に接続されている。P+領域108は、HV-nタンク98とLV-pタンク100との間に延びている。P+領域110が、P+領域108から離れて、HV-nタンク98に形成され、Pチャンネル・トランジスタのソース/ドレイン領域を提供し、それらは、チャンネル領域によって分離されるが、その上に、ゲート電極112が配置され、ゲート酸化層でそこから分離されている。ゲート112は、端子パッド114に接続されている。N+領域116が、HV-nタンク98中に形成され、P+領域110とともに、アノード118に接続されている。HV-nタンク98の抵抗率は、それが、LV-pタンク100とN+領域116との間の、その部分に、 R_N なる抵抗器を提供するようなものであるということに注意すること。さらには、LV-pタンク100の抵抗率は、それが、P+領域102と、P+領域108およびHV-nタンク98の双方との間に延びるその部分に、抵抗器 R_P を提供するようなものである。HV-nタンク98はまた、SCR68を、基板92から分離するものである。

10

20

【 0 0 1 4 】

今、図3および図4を参照すると、図3のアノード73は、図4の端子パッド118に対応して、SCR68のアノードを提供している。HV-nタンク98の、N+領域116からLV-pタンク100へと延びる部分は、それが、抵抗器 R_N の抵抗74を提供するような抵抗率を有する。トランジスタ76のエミッタ、ベースおよびコレクタは、それぞれ、P+領域110、HV-nタンク98およびLV-pタンク100によって提供されている。P+領域108および110、およびゲート112は、ともに、トランジスタ78を提供する。端子パッド114は、ゲート112を V_{DD} へと接続し、端子パッド70に対応する。トランジスタ78において、P+領域110はソースに対応し、P+領域108はドレインに対応する。トランジスタ82のコレクタ、ベースおよびエミッタは、それぞれ、HV-nタンク98、LV-pタンク100およびN+領域104によって提供される。LV-pタンク100の、P+領域108およびHV-nタンク98からP+領域102へと延びる部分は、抵抗器 R_P の抵抗86を提供する。ノード106は、ノード88に対応し、SCR68のカソードを提供する。

30

【 0 0 1 5 】

SCR68は、ESDの発生に対して回路64を保護する。抵抗16は、図1のSCR18と被保護回路12との間には含まれているが、図3に描写される回路内には含まれていないということに注意すること。

【 0 0 1 6 】

動作においては、考慮すべき条件が、2つ、すなわち、パワーダウン動作とパワーアップ動作がある。パワーダウン動作においては、パッド70の電圧 V_{DD} が実質的に接地される。その電圧が接地されているので、SCR68のアノード73に接続されている、トランジスタ78のドレインで、そのひとつのしきい値電圧 V_T を超えるいかなる正の電圧も、トランジスタ78をオンにし、電流を抵抗86に流す。この電圧が、トランジスタ82をオンにするのに十分であるとき、電流が抵抗74を流れて、ノード80を引き下げて、トランジスタ76をオンにし、こうしてSCR68をラッチする。その代わりに、パワーアップ条件においては、パッド72が、 V_{DD} に上昇され、それは、好ましい実施例においては、3.3ボルト(または、他の応用例では5.0ボルト)である。入力端子パッド72の電圧が、トランジスタ78のゲートに掛かる供給電圧を超える、ひとつのしきい値電圧 V_T なる電圧まで上昇するとき、トランジスタ78が伝導し、電流が抵抗86に流れ

40

50

る。これによって、トランジスタ 82 がオンし、ノード 80 を低く引き、トランジスタ 76 をオンにし、そして、SCR 68 を動作させて、パッド 70 の電圧を低く引っ張る。アノード 73 の電圧が一旦低く引かれると、トランジスタ 78 のソースが、ゲート電圧 V_{DD} を超える、ひとつの VT 未満に落ちるために、トランジスタ 78 がオフとなる。アノードの電圧が、保持電圧未満のレベルに落ちるとき、ラッチが再びオフとなる。好ましい実施例では、この電圧は、約 1.2 ボルトである。したがって、ゲートがパッド 70 の供給電圧に接続されるトランジスタ 78 を用いることで、より低いトリガー電圧が実現され、直列に接続される抵抗が必要ではない。さらには、SCR を、高電圧タンク中で分離することにより、基板電流注入が低減される。これは、高電圧タンクと P 型の材料である基板との間に、逆バイアスされた PN 接合があるという事実によるものである。高電圧タンクは、ノード 80 において、PNP トランジスタのベースを提供するので、この基板電流注入は、SCR の動作をもたらさう。

10

【0017】

今、図 5 を参照すると、SCR 126 および SCR 128 の直列結合からなる、保護回路 124 が図示されている。SCR 128 は、図 3 の SCR 68 に類似する。SCR 128 の回路は、動作電圧端子パッド 130 を含むが、それは、保護回路 124 が中に含まれる集積回路の、動作電圧 V_{DD} に接続されている。アノードが、端子パッド 132 によりアノードとして提供される。抵抗 134 が、端子パッド 132 からノード 140 へと接続する。PNP バイポーラ・トランジスタ 136 は、アノード 132 に接続されるそのエミッタ、ノード 144 に接続されるそのコレクタ、およびノード 140 に接続されるそのベースを有する。P チャンネル・トランジスタ 138 は、アノード 132 に接続されるそのソース、およびノード 144 に接続されるそのドレインを有する。トランジスタ 138 のゲートは、端子パッド 130 に接続されるが、それは、動作電圧 V_{DD} に接続される。NPN トランジスタ 142 は、ノード 140 に接続されるそのコレクタ、ノード 144 に接続されるそのベース、およびノード 148 に接続されるそのエミッタを有する。抵抗器 R_P の抵抗 146 は、ノード 144 とノード 148 との間に接続される。抵抗器 R_N の抵抗 134 は、端子パッド 132 とノード 140 との間に接続される。

20

【0018】

SCR 128 のノード 148 は、SCR 126 のノード 150 に接続される。抵抗器 R_N ' の抵抗 152 は、ノード 150 とノード 156 との間に接続される。PNP トランジスタ 154 は、ノード 150 に接続されるそのエミッタ、ノード 156 に接続されるそのベース、およびノード 162 に接続されるそのコレクタを有する。NPN トランジスタ 160 は、ノード 156 に接続されるそのコレクタ、ノード 162 に接続されるそのベース、およびノード 166 に接続されるそのエミッタを有する。抵抗器 R_P ' の抵抗 164 は、ノード 162 とノード 166 との間に接続される。N チャンネル・トランジスタ 158 は、ノード 156 に接続されるそのドレインおよびゲート、およびノード 166 に接続されるそのソースを有する。抵抗器 R_P ' の抵抗 164 は、ノード 162 とノード 166 との間に接続される。

30

【0019】

今、図 6 を参照すると、図 5 に描写されている保護回路 124 を提供する集積回路 170 の断面図が図示されている。集積回路 170 は、P 形基板 172 を含む。高電圧 N タンク (HV - n タンク) 174 が、基板 172 に形成されている。低電圧 P タンク (LV - p タンク) 176 が、HV - n タンク 174 中に形成されている。HV - n タンク 174 中に、N+ 領域 180 および P+ 領域 182 が形成され、それら双方は、端子パッド 184 に接続され、それは、アノードを提供する。P+ 領域 186 は、HV - n タンク 174 と LV - p タンク 176 との間の接合部を横切って形成される。P+ 領域 182、P+ 領域 186 およびゲート電極 188 が、一緒になって、HV - n タンク 174 中に、P チャンネル・トランジスタの形を定める。ゲート電極 188 は、端子パッド 190 に接続される。N+ 領域 192 および P+ 領域 194 が、LV - p タンク 176 中に形成される。N+ 領域 192 および P+ 領域 194 は、双方ともノード 196 に接続され、それは、ノード

40

50

198に接続されている。

【0020】

低電圧Nタンク(LV-nタンク)領域200が、基板172中に形成されている。N+領域202およびP+領域204が、LV-nタンク200中に形成されている。N+領域202およびP+領域204は、双方ともノード198に接続されている。N+領域206が、基板172とLV-nタンク領域200との間の接合部を横切って形成されている。N+領域208が、基板172中に形成されており、ゲート電極210およびN+領域206とともに、Nチャンネル・トランジスタを提供する。ゲート電極210は、端子パッド212に接続されており、それは続いて、N+領域206に結び付けられている。P+領域214が、基板172中に形成されている。P+領域214およびN+領域208は、ノード216に接続されている。

10

【0021】

今、図5および図6を参照すると、集積回路170の端子パッド184は、SCR128の端子パッド132に対応し、保護回路124のアノードを提供している。PNPトランジスタ136が、P+領域182、HV-nタンク174およびLV-pタンク176によって提供されている。Pチャンネル・トランジスタ138が、P+領域182、ゲート電極188およびP+領域186によって提供されている。抵抗器 R_N の抵抗134は、HV-nタンク174の、N+領域180からLV-pタンク176に延びる部分によって提供されている。NPNトランジスタ142は、HV-nタンク174、LV-pタンク176およびN+領域192によって提供されている。抵抗器 R_P の抵抗146は、LV-pタンク176の、HV-nタンク174からP+領域194に延びる部分によって提供されている。図6のノード196は、図5のノード148に対応する。HV-nタンク174および基板172の間のダイオード接合は、基板172からSCR128を分離する。

20

【0022】

SCR126は、集積回路170の端子パッド198に対応するノード150を有している。PNPトランジスタ154は、P+領域204、LV-nタンク200および基板172によって、それぞれ提供される、エミッタ、ベースおよびコレクタを有する。抵抗器 R_N' の抵抗152は、LV-nタンク200の、N+領域202から、LV-nタンク200と基板172との間の接合部に延びる部分によって提供される。Nチャンネル・トランジスタ158のドレイン、ゲートおよびソースは、それぞれ、N+領域206、ゲート電極210およびN+領域208に対応する。NPNトランジスタ160のコレクタ、ベースおよびエミッタが、それぞれ、LV-nタンク200、基板172およびN+領域208に対応する。抵抗器 R_P' の抵抗164は、基板172の、LV-nタンク200からP+領域214に延びる部分に対応する。集積回路170の端子パッド216は、SCR126のノード166に対応する。

30

【0023】

動作において、保護回路124が、図3のSCR68について描写されたように保護されるべき入力パッドに取り付けられる。集積回路170の動作電圧 V_{DD} は、それを動作電圧とは異なる別の電圧に接続することもできるが、好ましくは、保護回路124の動作電圧端子パッド130に接続される。端子パッド132は、ESDの発生での高電圧による損傷に対して、保護されるべき回路の信号線に接続される。パワーダウン状態において、端子パッド130に、電圧 V_{DD} が印可されないとき、SCR128は、トランジスタ138のしきい値電圧 V_T を超える電圧によってトリガーされる。集積回路172に電圧 V_{DD} が印可されるとき、端子パッド130に電圧 V_{DD} が印可される。続いて、SCR128が、ひとつのしきい値電圧 V_T によって、端子パッド130に印可される電圧 V_{DD} を超える、端子パッド132に印可される電圧によってトリガーされる。すると、Pチャンネル・トランジスタ138を通過して、ノード144へと、および続いて抵抗146を通過して、ノード148へと、電流が流れる。

40

【0024】

50

アノード132の電圧が、トランジスタ138のゲートの電圧を、2つ以上のしきい値電圧によって超えるとき、抵抗146を通過して電流が流れる。第2のSCR126は、ノード148と接地との間に接続されているので、抵抗152を通過してノード156へ、さらにはトランジスタ158を通過して、電流が流れる。これにより、トランジスタ154のベースが低く引かれ、トランジスタ154がオンになり、電流が、抵抗164を通過して流れる。ノード162が上昇し、トランジスタ160をオンとし、そして、それによって、SCR126をラッチさせ、ノード148を接地へと引っぱる。これにより、今度は、トランジスタ142がオンとなるようなレベルで、抵抗146を通過して電流が流れ、ノード140を低く引いて、トランジスタ136をオンとし、そして、SCR128にラッチを起こさせる。

10

【0025】

SCR128および126の2つが直列に接続されているので、その制御は、SCR128のトリガー電圧によって提供され、すなわち、トリガー電圧は、供給電圧またはパッド130に接続されるいかなる電圧をも超える、ひとつのしきい値である。しかしながら、保持電圧は、SCR128の保持電圧およびSCR126の保持電圧の2つの合計である。そのように、保持電圧は、電力供給電圧を超えることができる。例えば、3.3ボルト技術の部分では、2つの積層されたSCRを有し、各々が約1.75ボルトの保持電圧を備え、結合保持電圧が、3.5ボルトとなって、電力供給電圧よりも大きなものとなる。さらには、保持電圧は、電力供給電圧プラス V_T の、トリガー電圧よりも大きなものとなるように設計することができる。保持電圧は、NPNおよびPNPトランジスタの関

20

【0026】

今、図7、図8および図9を参照すると、それぞれ、SCR128、SCR126および保護回路124の、電流 - 電圧のグラフが図示されている。曲線220により、SCR128のトリガー電圧(V_{TR})が、点122にあるものとして示される。SCR128の保持電圧(V_h)は、点224で示される。曲線226には、SCR126のトリガー電圧(V_{TR})が、点228として示されており、SCR126の保持電圧(V_h)が、点230として示されている。最後に、曲線232には、保護回路124のトリガー電圧(V_{TR})および保持電圧(V_h)が、それぞれ、点234および236として示されている。前述のように、保護回路124は、SCR126と直列に接続されるSCR128を含んで

30

なる。保護回路124の V_{TR} は、SCR128の V_{TR} にほぼ等しく、それは、図7において、点222で示されている。保護回路124の V_h は、点236で示されており、図8における点230で示されるSCR126の V_h と、図7の点224で示されるSCR128の V_h との合計にほぼ等しい。このように、直列に接続されている、SCR126および128の保持電圧は、累積される。

【0027】

図10は、図3および図5のそれぞれの、SCR68およびSCR128のような、複数の分離された低電圧SCR(ILVSCR)を含む保護回路238を描写する概略ブロック図である。ILVSCR240は、ILVSCR242と直列に接続されている。端子パッド244および246は、それらが中に含まれる集積回路の、動作電源電圧 V_{DD} に、接続されている。端子パッド244および246は、それぞれ、図3および図5の端子パッド70および130に対応する。ILVSCR240の端子パッド248は、ESDから保護されるべき信号線に、直接、接続されるであろう。ILVSCR240のカソードは、図3のノード88に対応するが、図5のアノード132に対応する、ILVSCR242のアノードに接続されるであろう。他のILVSCRも、直列に含まれても良い。このように、保護回路238は、SCR68または128のいずれかのような、単一SCRのトリガー電圧に等しいトリガー電圧を有しており、SCR240および242の保持電圧の合計に等しい保持電圧を有するであろう。このように、ILVSCR240および242は、他のSCRと一緒に、保護回路238の保持電圧が累積されるように、直列に積層できる。

40

50

【 0 0 2 8 】

要するに、E S Dの発生の高電圧に対して、保護をするための保護回路が提供されている。その保護回路は、可変的であって、本発明の被保護回路が中に含まれている集積回路に印可される動作電圧によって、自動的に決定されるトリガー電圧を有する。保護回路の保持電圧は、複数のS C Rを、選択的に直列に接続することによって増大される。このように、回路に印可される動作電圧に応答して、トリガー電圧が可変的であり、保持電圧が選択的に決定されうる保護回路が提供される。

【 0 0 2 9 】

本発明のいくつかの実施例が詳細に説明されているけれども、特許請求の範囲によって定義されるような本発明の精神および範囲から逸脱することなく、種々の変更、置き換えおよび代替が行われうるということを理解するべきである。

10

【 図面の簡単な説明 】

本発明およびその利点をより完全に理解するために、添付の図面と関係する本明細書の記述を参照するが、それらの図面においては：

【 図 1 】 E S D保護を提供するために集積回路内に含まれる、従来技術のS C Rの概略図を示す。

【 図 2 】 図 1 に描写されるS C Rを提供する、先行技術の集積回路の断面図を示す。

【 図 3 】 本発明のS C Rを含んでなるE S D保護回路の概略図を示す。

【 図 4 】 概略的に図 3 に描写される、E S D保護回路を含む、集積回路の断面図を示す。

【 図 5 】 本発明の別の実施例のE S D保護回路であって、直列に接続される2つのS C Rからなるものの概略図を示す。

20

【 図 6 】 図 5 のE S D保護回路を含む集積回路の断面図を示す。

【 図 7 】 図 1 - 6 の、種々のE S D保護回路の電流 - 電圧曲線を図示する。

【 図 8 】 図 1 - 6 の、種々のE S D保護回路の電流 - 電圧曲線を図示する。

【 図 9 】 図 1 - 6 の、種々のE S D保護回路の電流 - 電圧曲線を図示する。

【 図 1 0 】 本発明の別の実施例のE S D保護回路であって、図 3 および図 4 に描写される型のS C Rが、積層されて保護回路を提供するものを示す。

【 符号の説明 】

6 2 , 9 0 , 1 7 0 集積回路

6 4 被保護回路

30

6 6 , 1 5 8 Nチャンネル・トランジスタ

6 8 , 1 2 6 , 1 2 8 S C R

6 9 信号経路

7 0 , 7 2 , 1 3 0 , 1 8 4 , 1 9 0 , 2 4 4 , 2 4 6 パッド

7 3 , 1 3 2 アノード

7 4 , 1 3 4 , 1 4 6 , 1 6 4 抵抗

7 6 , 1 3 6 P N Pトランジスタ

7 8 , 1 3 8 Pチャンネル・トランジスタ

8 2 , 1 4 2 N P Nトランジスタ

9 2 , 1 7 2 基板

40

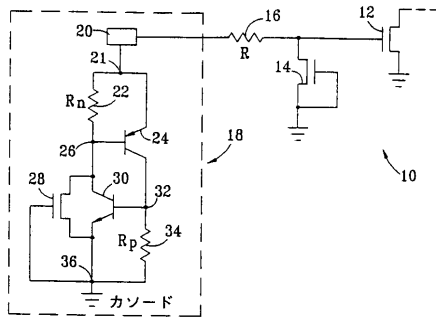
9 8 , 1 7 4 高電圧Nタンク

1 0 0 , 1 7 6 低電圧Pタンク

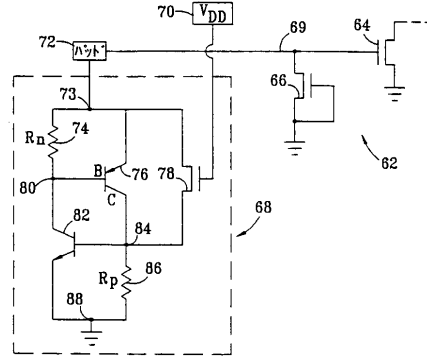
1 2 4 , 2 3 8 保護回路

2 0 0 低電圧Nタンク

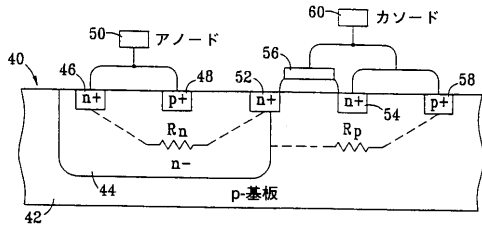
【図1】



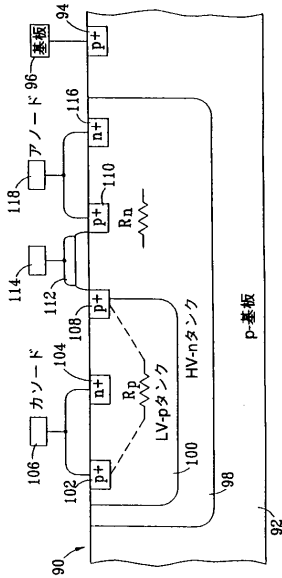
【図3】



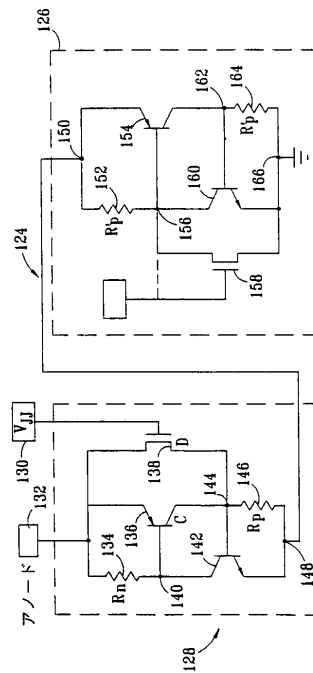
【図2】



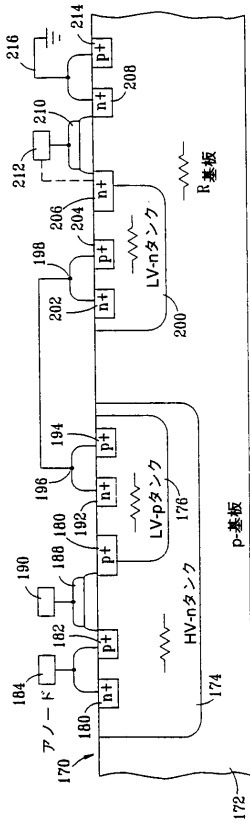
【図4】



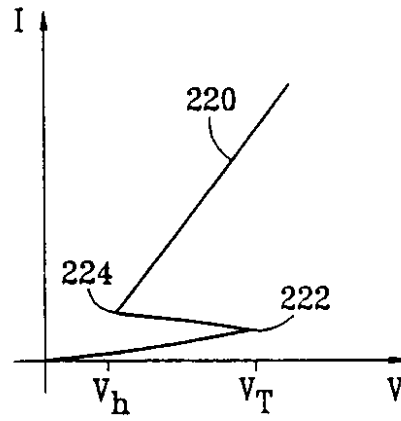
【図5】



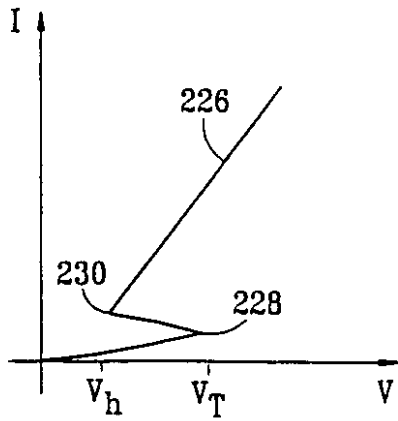
【図6】



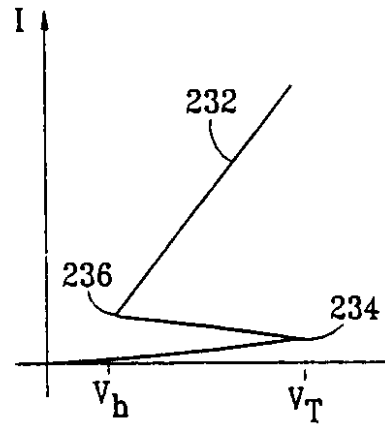
【図7】



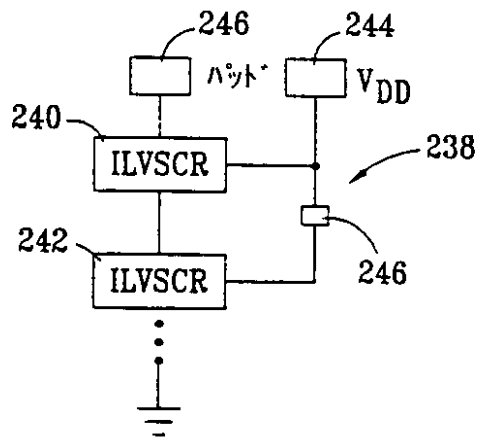
【図8】



【図9】



【図10】



フロントページの続き

- (72)発明者 ジュリアン ジライング チェン
アメリカ合衆国 テキサス州ダラス, パインランド ドライブ 5759, ナンバー 1066
- (72)発明者 トマス エイ. プロトソス
アメリカ合衆国 テキサス州リチャードソン, アシュランド ドライブ 1201
- (72)発明者 ウェイン ティ. チェン
アメリカ合衆国 テキサス州プラノ, パイク コート 4201

審査官 小野田 誠

(58)調査した分野(Int.Cl., D B名)

H01L 29/74

H02H 7/20

H02H 9/04

H05F 3/02