(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 578 070**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **85 17780**

(51) Int Cl⁴ : G 06 F 13/00, 15/16; B 60 R 16/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 2 décembre 1985.

(30) **Priorité :** DE, 22 février 1985, n° P 35 06 118.9.

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 35 du 29 août 1986.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *Société dite : ROBERT BOSCH GMBH.* — DE.

(72) **Inventeur(s) :** Wolfgang Botzenhardt, Siegfried Dais, Uwe Kiencke et Martin Litschel.

(73) **Titulaire(s) :**

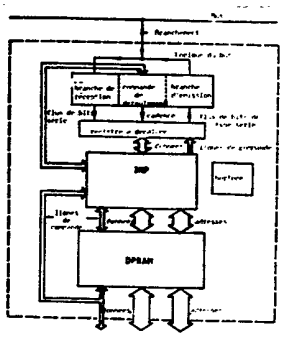
(74) **Mandataire(s) :** Cabinet Bert, de Keravenant et Herrburger.

(54) Procédé pour faire fonctionner une installation de traitement de données pour des véhicules à moteur.

(57) *a.* Procédé pour faire fonctionner une installation de traitement de données pour des véhicules à moteur.

b. Procédé caractérisé en ce que les messages s'identifient d'eux-mêmes pour leur contenu et leur signification par un identificateur.

c. L'invention concerne un procédé pour faire fonctionner une installation de traitement de données pour des véhicules à moteur.



FR 2 578 070 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

" Procédé pour faire fonctionner une installation de traitement de données pour des véhicules à moteur ".

1. Etat de la technique :

Au cours des dernières années, on a amélioré considérablement le fonctionnement des véhicules à moteur par des commandes électroniques. Par une électronique numérique du moteur, on a pu par exemple réduire la consommation en carburant et diminuer l'émission de produits nocifs. Le système anti-blocage permet de réduire la course de freinage en freinage total en maintenant simultanément la possibilité de diriger le véhicule.

D'autres améliorations du fonctionnement peuvent s'obtenir à l'avenir sur les véhicules à moteur notamment du fait que les fonctions de commande ne travaillent plus séparément pour elles-mêmes mais peuvent être combinées entre elles. Les opérations de passage de vitesse d'une boîte de vitesses, automatique à commande électronique se mettent en oeuvre avec une usure réduite de la garniture d'embrayage et sans à coups perceptibles, si au moment du passage de la vitesse, le couple du moteur est réduit pendant une courte durée par une action correspondante sur la commande électronique du moteur. Pour cela, il est nécessaire que le calculateur transmette pour la commande électronique de la boîte de vitesses, précisément à l'instant approprié, les données correspondantes au calculateur pour la commande électronique du moteur.

Jusqu'à présent cela s'est fait à l'aide d'une série de lignes différentes de transmission des signaux.

Le nombre de telles lignes de transmission de signaux devient trop important dans le cas de systèmes compliqués. C'est pourquoi, il faut dans ce cas une transmission rapide des données entre les calculateurs embarqués dans le véhicule nécessitant très peu de raccords au niveau de la fiche de l'appareil de commande et dans lesquels l'information est transmise sous forme codée.

Pour cela antérieurement on a développé des réseaux locaux pour coupler des microprocesseurs, des minicalculateurs et des périphériques sur les commandes, en particulier toutefois dans les applications à la transmission des informations. Ainsi, l'état de la technique comprend un grand nombre de protocoles de transmission, différents, pour le couplage des microcalculateurs comme par exemple DDB [1], IIC [2], MUART [3], CSMA [4], SDLC [4] et HDLC [4].

[1] VALVO, spécification DDB

[2] VALVO, informations techniques pour l'industrie 811215

[3] INTEL, manuel du microprocesseur et des périphériques 1983

[4] A. Tannenbaum,réseaux d'ordinateurs, Prentice/Hall international, 1981

2. Inconvénients de l'état de la technique :

Dans les protocoles ci-dessus, on ne tient compte que de façon non satisfaisante des exigences relatives à un couplage des appareils de commande dans le véhicule à moteur.

2.1 : Lorsque dans la technologie de la transmission des informations et la technologie des calculateurs, on transmet des paquets de données particulièrement importants, les longueurs caractéristiques des paquets de données sont faibles pour les véhicules

à moteur. Dans une auto, on échange entre les appareils de commande, les capteurs et les organes de réglage de préférence des grandeurs de mesure, des résultats intermédiaires d'algorithmes de calcul et des signaux pour la synchronisation dans le temps. Le développement d'un protocole de transmission convenant pour cette application aboutit nécessairement à d'autres résultats.

2.2 : Les commandes qui fonctionnent dans une auto dans les conditions de temps réel c'est-à-dire les opérations de calcul et les interventions de commande doivent se faire dans des fenêtres de temps, déterminées, en conservant la cadence avec les procédés. Pour le réseau local, il en résulte ainsi la nécessité que la ligne de transmission doit être libérée pour des messages importants après une courte durée latente (qui est de façon caractéristique égale à 200 microsecondes) pour éviter des retards trop importants.

Dans le protocole Ethernet, normalisé, la seule transmission d'un seul message dure au moins 580 microsecondes malgré la fréquence de transmission élevée de 10 MHz. Ce n'est qu'après cette période que le bus est libre pour transmettre d'autres messages. Si alors plusieurs participants au bus commencent simultanément la transmission, on aboutit à une collision de plusieurs messages sur le réseau. Le conflit d'accès est résolu en ce que tout d'abord tous les émetteurs se retirent et ne commencent la transmission qu'après un temps d'attente de durée statistique. Ces moyens ne permettent toutefois pas d'exclure des conflits d'accès au bus, répétés. De cette façon, il est impossible de respecter en sécurité les conditions de temps, strictes qui doivent être respectées par les commandes de véhicules à moteur.

2.3 : Les véhicules à moteur sont équipés suivant le souhait de l'acheteur avec un volume d'équipement différent. La configuration d'un réseau local et le nombre de ses participants doivent pouvoir être modifiés de la façon la plus simple. En particulier, il est important que les calculateurs déjà raccordés au réseau puissent fonctionner avec un programme inchangé si la fonction qu'ils réalisent n'a pas été modifiée. Le système de transmission doit être conçu de façon telle que les combinaisons fonctionnelles existantes entre les appareils de commande n'entraînent aucune autre difficulté qui serait introduite du fait de la dépendance du protocole de bus. Cette condition est satisfaite par tous les composants connus pour les zones de coupe.

Par exemple pour la DDB, dans chaque message, on donne l'adresse de l'émetteur et l'adresse du récepteur. S'il s'ajoute un autre réseau de participants, qui nécessite également des données transmises sur le bus, il faut compléter la nouvelle adresse des abonnés correspondants qui existe déjà. En outre, il faut que les données déjà transmises à d'autres abonnés soient envoyées une nouvelle fois aux nouveaux abonnés. Bien que sur le plan de la structure logique, cela ne soit pas nécessaire, on reçoit un grand nombre de variantes de programme.

2.4 : De nombreux réseaux connus (par exemple sur la base du protocole HDLC/SDLC pour le microprocesseur Intel 8044) travaillent suivant le principe dit maître/esclave, c'est-à-dire qu'un seul participant (le maître) est en droit à ce moment d'accéder au bus. On élimine ainsi les arbitrages qui seraient par exemple nécessaires.

De façon générale, la caractéristique de maître est transmise successivement à tous les

participants au bus. Dans les applications à l'automobile, un tel procédé - toutefois un participant ne peut en effet émettre que si il possède à ce moment le droit à l'émission. De cette façon, on peut par exemple transmettre des temps d'attente longs, inacceptables au cours desquels apparaîssent des esclaves, jusqu'à une ambassade de très grande priorité.

2.5 : Le concept maître/esclave est également défavorable pour les parasites électromagnétiques dont il faut tenir compte de façon connue dans un véhicule à moteur. Ainsi par exemple le droit à l'émission peut se perdre par un parasite ou de façon erronée un autre abonné qui demande par erreur une autorisation d'émission.

Le caractère déterminant de tels cas d'erreur est certes possible en principe mais nécessite beaucoup de temps (durée de mise hors service du bus, temps de calcul du CPU) et les moyens (circuits/programmes) qui doivent être adaptés pour tenir compte des exigences du fonctionnement en temps réel des organes de commande ne peuvent être acceptés aussi simplement.

2.6 : La synchronisation des événements constitue une difficulté dans beaucoup de réseaux connus. Par exemple, si par la transmission d'un message à deux ou plusieurs participants, il faut déclencher en même temps des interventions, le message doit être reçu exactement au même instant par tous. Dans la transmission de messages, qui se fait par ailleurs habituellement de façon successive dans le temps vers les différents récepteurs (liaisons de point à point), la simultanéité de la réception d'un message valide n'existe pas en principe.

2.7 : Dans les réseaux des véhicules, il faut souvent envoyer les

mêmes messages à différents récepteurs. La réception simultanée par tous les participants concernés est considérablement réduite dans de tels cas par l'occupation du réseau. Mais cette façon de procéder n'a pas été soutenue par les composants de point de coupure connus.

2.8 : Les réseaux des véhicules fonctionnent dans un environnement particulièrement parasité. Pour réduire les erreurs inconnues de transmission, il faut pour cela une détection d'erreur particulièrement puissante pour que le cas échéant, on puisse répéter une transmission. De simples algorithmes tels que la transmission supplémentaire de bits de la somme partielle ne permettant de reconnaître que des erreurs isolées et ne sont pas suffisants pour les parasites permanents dans un véhicule.

Même les protocoles plus coûteux connus actuellement ne sont pas en mesure d'assurer une sécurité de transmission suffisante dans un véhicule à moteur sans programme de sécurité supplémentaire sur le plan de l'utilisation (par exemple transmissions multiples). C'est ainsi que dans un protocole HDLC, une erreur sur un seul bit peut aboutir à une erreur non décelable du message bien que ce message soit mis en sécurité par un contrôle CRC d'une longueur de 16 bits.

2.9 : Pour pouvoir entreprendre une répétition en cas d'erreur, il faut que l'émetteur reçoive une information en retour de tous les récepteurs concernant la réception correcte du message. Sous les points 2.6 et 2.7, on a exposé qu'il était particulièrement avantageux que les messages puissent être reçus simultanément par plusieurs participants. Mais les informations en retour ne doivent pas se faire comme dans les protocoles connus sous la forme de messages

isolés, successifs ou encore sous la forme de messages partiels. Un traitement simultané complet des données par l'abonné au bus, sollicité, n'est pas assuré dans ce cas.

2.10 :Les parasites dans un véhicule à moteur n'agissent fréquemment que localement. Du fait de la vitesse de développement **final** des ondes électromagnétiques, il faut par exemple arriver qu'une partie seulement des récepteurs détecte sur un bus des niveaux faussés dans un intervalle de temps déterminé. Pour la réception simultanée d'un message par plusieurs participants, il pourrait ainsi arriver qu'une partie des récepteurs reçoive un message valide et l'autre partie un message erroné. Cela ne doit pas aboutir à ce que dans un tel cas d'erreurs, certains participants traitent déjà le message, car il ne pourrait plus y avoir de fonctionnement synchrone de tous les participants raccordés au bus.

2.11: Les participants raccordés à un réseau local doivent décider s'ils veulent ou non recevoir le message qui vient d'être transmis. Etant donné la forte charge qui résulte pour le calculateur des problèmes de temps réel, il faut que cette décision soit prise nécessairement par le circuit. Les composants de point de coupure, connus actuellement pour les micro-ordinateurs ne prennent de telles décisions de sélection qu'à l'aide de leur adresse de participant, propre A côté des inconvénients déjà exposés sous les points 2.6 et 2.7 pour un tel procédé, le calculateur est en outre fortement sollicité par le classement et la mise en mémoire des messages en fonction de leur contenu. Les calculateurs ne sont déchargés efficacement que si les données reçues par les composants des points de coupure sont inscrites immédiatement en fonction du contenu dans les cellules de mémoire correspondantes.

2.12 : Pour coder les données à transmettre dans un véhicule à moteur, on utilise un nombre différent de bits en fonction de l'application. Indépendamment de la longueur des données, il faut toutefois garantir que ceux-ci soient traités toujours de façon complète par le composant des points de coupure et du calculateur qui y est raccordé. Lorsque par exemple la mise en mémoire des données en fonction du contenu se fait en plusieurs étapes, suivant la longueur des données, il faut assurer que pour une superposition dans le temps de l'accès du calculateur et de la transmission, on ne mélange pas de façon quelconque des données anciennes et des données nouvelles ayant la même signification (caractéristique).

On suppose par exemple qu'une vitesse de rotation codée en deux octets a été transmise et enregistrée dans deux cellules de mémoire par le composant de points de coupure. Il ne doit pas arriver à ce moment que le calculateur lise de façon inconnue le premier octet de la dernière transmission et le second octet de la nouvelle transmission et qu'il les réunit pour en constituer une information non validée de la vitesse de rotation.

2.13 : De nombreux circuits d'émission et de réception sont raccordés à un réseau local. La probabilité de défaillance du réseau augmente comme cela est connu en fonction du nombre des circuits. Il faut pour cela éviter que la défaillance d'un seul participant ne bloque l'ensemble du réseau.

2.14 : Le couplage galvanique de plusieurs dispositifs de commande répartis dans l'espace aboutit fréquemment à une réduction considérable de son fonctionnement par exemple par des courants de compensation.

Le protocole de transmission pour un

réseau local dans un véhicule à moteur doit être conçu de façon à réaliser un découplage galvanique non seulement avec des conducteurs de lumière, coûteux mais également par l'utilisation de conducteurs en cuivre.

2.15 : Dans les applications aux véhicules à moteur, il faut pouvoir transmettre des données qui varient à la fois rapidement et lentement pour éviter que le contenu de l'information des données à variations rapides ne soit plus à jour lors de leur réception, il faut que ces données soient transmises de façon prioritaire par rapport aux autres. C'est pourquoi, les accès au bus, le traitement des conditions de transmission dans l'émetteur et le traitement des données reçues doivent se faire suivant un classement par priorités. Les priorités doivent être associées séparément aux différents messages.

Lorsque la demande de transmission de la température du moteur est déjà faite, mais que la transmission elle-même ne s'est pas encore produite, il faut néanmoins assurer le traitement plus prioritaire du signal de charge, de plus grande priorité mais qui a été signalé seulement ultérieurement en vue de la transmission. Dans le cas des points de coupure connus, la succession du traitement ne peut être fixée que par le calculateur à partir d'un programme. Cette procédure n'est pas possible dans le cas de microcalculateurs qui sont utilisés pour des émissions en temps réel dans des véhicules à moteur, car la charge en temps de calcul serait inacceptable du fait de la fréquence élevée des messages à transmettre.

3. Avantages de l'invention :

L'invention concerne un procédé du type ci-dessus caractérisé en ce que les messages s'iden-

tifient d'eux-mêmes pour leur contenu et leur signification par un identificateur.

Le procédé selon l'invention présente l'avantage vis-à-vis de l'état de la technique, de permettre une transmission rapide et sûre des données entre le calculateur installé dans le véhicule à moteur et les couplages des différents dispositifs de commande ayant des exigences particulières dans un véhicule à moteur.

Ce résultat est obtenu du fait que les messages à transmettre sont identifiés eux-mêmes à l'aide d'un identificateur quant à leur contenu et à leur signification.

Il est particulièrement avantageux d'associer en même temps une priorité à l'identificateur, cet identificateur se trouvant de préférence au début du message à transmettre.

Suivant un autre développement avantageux, les contenus de l'identificateur tels que les adresses, les données, les signaux de capteurs, les grandeurs de réglage les résultats intermédiaires, les ordres de synchronisation, les ordres de déclenchement d'action, la vitesse de rotation, les gradients de vitesse de rotation, la température du moteur, la charge du moteur, les données d'ordre soient par exemple caractérisés par une installation anti-blocage ou une installation anti-glissement.

D'autres développements avantageux et perfectionnements du procédé décrit à la revendication principale n° 1 découlent des sous-revendications ainsi que des dessins et de la description correspondante.

Le procédé selon l'invention présentant les caractéristiques de la revendication principale 7 présente par rapport à l'état de la technique décrit, l'avantage de permettre une transmission rapide et sûre des données entre les calculateurs embarqués à bord du

véhicule à moteur suivant les exigences particulières d'un couplage de dispositifs de commande dans un véhicule à moteur.

Cela s'obtient en ce que le message à transmettre commence par un modèle de bit défini, ce modèle étant inclu dans la reconnaissance d'erreurs et en ce qu'un modèle de bit suit le mot de contrôle de la reconnaissance d'erreursqui est complémentaire au modèle de bit initial.

Il est particulièrement avantageux dans ce cas que le mot de contrôle de la reconnaissance d'erreurss'obtienne par la multiplication d'un polynôme de générateur et du polynôme de la classe résiduelle $(X + 1)$.

D'autres développements et perfectionnements avantageux du procédé énoncé dans la revendication principale n° 7 découlent des sous-revendications ainsi que des dessins et de la description correspondante.

Le procédé selon l'invention présentant les caractéristiques de la revendication principale n° 9 présente par rapport à l'état de la technique décrit, l'avantage d'une transmission rapide et sûre des données entre les calculateurs installés à bord du véhicule à moteur selon les exigences particulières d'un couplage de dispositifs de commande dans un véhicule à moteur.

Cela s'obtient en ce que la ligne qui relie au moins deux calculateurs transmet des états dominants et des états récessifs et en ce qu'un signal d'erreur se compose d'une telle suite d'états dominants qui ne peut être confondue avec la suite d'états se présentant dans la transmission du message.

Il est particulièrement avantageux dans ce cas que le signal d'erreur puisse être émis à un instant quelconque et par chaque participant qui est couplé sur la ligne. De plus, il est avantageux que la

fin du signal d'erreur ou la fin du dernier signal d'erreur soit utilisée pour synchroniser dans le temps tous les participants.

D'autres développements et perfectionnements avantageux du procédé énoncé dans la revendication principale n° 9 découlent des sous-revendications ainsi que du dessin et de la description correspondante.

Le procédé selon l'invention présentant les caractéristiques de la revendication principale n° 16 présente par rapport à l'état de la technique, tel que décrit, l'avantage de permettre une transmission rapide et sûre des données entre les calculateurs embarqués à bord du véhicule à moteur en satisfaisant aux conditions particulières d'un couplage de dispositifs de commande dans un véhicule à moteur.

Ce résultat est obtenu en ce que chaque participant reçoit tous les messages mais ne poursuit le traitement que du message qui le concerne, les messages concernés étant mis en relation chez chaque participant avec les messages reçus à l'aide d'une liste.

Il est particulièrement avantageux dans ce cas que la suite de la liste soit déterminante de priorité pour la poursuite du traitement interne chez le participant. Un autre avantage réside dans le fait que les informations contenues dans les messages puissent être transmises à des emplacements de mémoire en fonction de la liste qui existe chez chaque participant et dont dispose le participant pour la poursuite du traitement.

D'autres développements et perfectionnements avantageux du procédé de la revendication principale n° 16 découlent des sous-revendications ainsi que du dessin et de la description correspondante.

Le procédé selon l'invention présentant les caractéristiques de la revendication principale 25 présente par rapport à l'état de la technique décrit,

l'avantage d'une transmission de données rapide et sûre entre les calculateurs embarqués dans le véhicule à moteur en satisfaisant aux conditions particulières d'un couplage de dispositifs de commande.

Ce résultat est obtenu en ce que chaque participant attribue une priorité au message à transmettre par l'intermédiaire d'une liste et il détermine à chaque instant suivant la liste, la priorité des messages prêts à être transmis chez le participant.

Ainsi, il est particulièrement avantageux que la liste contienne d'autres informations en particulier relatives à l'état de transmission et aux conditions de transmission. De plus, il est avantageux de détecter des transmissions entachées d'erreurs et de les enregistrer ainsi que de répéter la transmission en cas d'erreurs.

Suivant un autre développement avantageux de l'invention, il s'agit d'associer à chaque participant, une partie maximale déterminée de la capacité de transmission de la ligne. Une autre possibilité avantageuse consiste en ce qu'après l'arrivée d'un nombre déterminé de signaux d'erreur d'un participant déterminé, ce participant se coupe de la ligne sur le plan de l'émission des signaux.

D'autres développements et perfectionnements avantageux du procédé énoncé dans la revendication principale 25 découlent des sous-revendications ainsi que du dessin et de la description correspondante.

Le procédé selon l'invention présentant les caractéristiques de la revendication principale 33 offre par rapport à l'état de la technique décrit, l'avantage d'une transmission rapide et sûre des données entre les calculateurs installés à bord du véhicule à moteur selon les conditions particulières d'un couple de dispositifs de commande dans un véhicule à moteur.

Ce résultat est obtenu en ce que dans le procédé de l'invention pour la transmission d'informations à deux valeurs, une valeur d'informations est transmise par un niveau de signal constant et l'autre valeur d'informations est transmise avec un niveau de signal alterné.

Il est particulièrement avantageux dans ce cas d'utiliser également le niveau de signal alterné pour la reconnaissance des erreurs.

D'autres développements et perfectionnements avantageux du procédé énoncé à la revendication principale 33 découlent des sous-revendications ainsi que du dessin et de la description correspondante.

4. Exemple de réalisation :

4.1 : Liste des différentes figures des dessins :

- la figure 1 montre un exemple de réalisation d'une structure linéaire de bus.
- la figure 2 montre un exemple d'une commande asymétrique à couplage galvanique du bus.
- la figure 3 représente un exemple d'une commande symétrique à couplage galvanique du bus.
- la figure 4 montre un exemple d'une commande symétrique coupée sur le plan galvanique avec le moyen de transmission.
- la figure 5 montre un exemple de réalisation pour une étoile à fibres optiques.
- la figure 6 montre un exemple de réalisation pour un bus à fibres optiques.
- la figure 7 montre la structure d'un message.
- la figure 8 montre la structure d'un champ de commande.
- la figure 9 montre la structure d'un champ CRC.
- la figure 10 montre la structure

d'un signal d'erreur.

- la figure 11 montre un schéma-bloc du composant de point de coupure.

4.2 Réalisation physique :

Le tableau 1 montre les topologies possibles du bus, des types de couplages et de lignes en fonction du support de transmission choisi.

Tableau 1 :

Support de transmission	Topologie de bus	Couplage	Type de conducteurs
conducteur électrique	Bus linéaire Etoile	galvanique inductif couplage optique	paire de conducteurs en torsion paire de conducteurs câble coaxial
fibres optiques	Bus linéaire Etoile avec coupleur central	Convertisseur opto-électronique	fibres de verre fibres de matière synthétique

Type de transmission : multiplex dans le temps
transmission à bande passante

Type d'accès : principe maître multiple
attribution de bus par détermination

Extension dans l'espace : dépend de la fréquence de transmission.

Le système de bus représenté peut se réaliser de façon précise si deux états avec des priorités dominantes et récessives sont possibles sur le support de transmission.

A titre d'exemple :

	Impédance parallèle	Energie	Porte ET
dominante	faiblement ohmique	existe	0
récessive	fortement ohmique	n'existe pas	1

Exemple d'impédance :

commutateur fermé / ouvert

transistor conducteur / bloqué

Exemple d'énergie :

tension appliquée / coupée

lumière appliquée / coupée.

La figure 1 montre la réalisation du système à bus linéaire. Le système se compose d'un bus traversant (paire de conducteurs ou de fibres optiques) et des lignes de raccordement reliées aux différents participants.

La figure 2 montre un mode de réalisation à couplage galvanique sur le bus. Les circuits d'entraînement sont des commutateurs commandés constitués par des transistors (couplage à collecteur ouvert). Le bus est constitué par une ligne à deux conducteurs ou par un câble coaxial. La commande se fait de façon asymétrique. A l'extrémité du bus, on applique une tension d'alimentation par l'intermédiaire de résistances. L'état dominant du bus est appliqué lorsqu'au moins un conducteur d'un circuit d'entraînement est débloqué.

La figure 3 montre un mode de réalisation dans lequel le circuit d'entraînement d'émetteur est constitué par deux transistors d'entraînement, complémentaires qui sont commandés de façon à être simultanément conducteurs ou bloqués. La ligne est ainsi comman-

dée de façon symétrique. L'avantage de ce montage est celui d'une plus grande insensibilité aux parasites et d'un rayonnement parasite plus faible.

Dans les exemples de réalisation décrits ci-dessus, le bus est relié de façon galvanique aux différents postes. Il peut en résulter des problèmes dûs à l'environnement parasité de façon électromagnétique ou électrique lorsque les postes sont couplés par d'autres conducteurs (par exemple les alimentations en courant). Les exemples suivants ne présentent pas cet inconvénient.

La figure 4 montre un mode de réalisation dans lequel on utilise un transducteur pour assurer la coupure galvanique. On obtient l'indépendance du courant continu par un codage biphase. L'état récessif du bus s'obtient par la coupure de tous les transducteurs par rapport à leurs circuits d'entraînement (commutation du circuit d'entraînement à l'état fortement ohmique). L'état dominant du bus s'obtient par la coupure d'une impulsion positive ou négative sur au moins l'un des transducteurs. La synchronisation de la polarité des impulsions se fait en fixant la polarité du bit de départ.

Un autre mode de réalisation à couplage galvanique séparé s'obtient par l'utilisation de photocoupleurs. Cela est particulièrement simple si on utilise des coupleurs optiques ayant des sorties à collecteur ouvert.

La figure 5 montre à titre d'exemple un mode de réalisation comportant des fibres optiques suivant un système en étoile avec un coupleur optique central. Le couplage peut être réalisé de façon passive ou avec des convertisseurs opto-électroniques.

Etat dominant du bus :

Au moins une diode d'émission est éclairée.

Etat récessif du bus :

Toutes les diodes d'émission ne sont pas éclairées.

La figure 6 montre à titre d'exemple d'un mode de réalisation à fibres optiques, un système à bus linéaire. Les lignes de raccordement sont reliées à la ligne centrale du bus de façon que pour le couplage et le découplage de la lumière, il ne soit pas nécessaire d'utiliser des convertisseurs passifs ou opto-électroniques coûteux. Un exemple consiste à réunir le conducteur central du bus et le conducteur de liaison.

Etat dominant du bus :

Au moins une diode d'émission est éclairée.

Etat récessif du bus :

Aucune des diodes d'émission n'est éclairée.

4.3. Protocole de transmission :

Un message se compose des champs de bit DEBUT DE TRAME, IDENTIFICATEUR, CHAMP DE COMMANDE, CHAMP DE DONNEES, CHAMP CRC, CHAMP ACK, FIN DE TRAME et INTERMISSION (voir figure 6).

REMARQUES :

Dans cette description, on utilise les termes HAUT et BAS dans le sens des niveaux logiques.

Alors que l'effet du niveau HAUT est récessif pour le bus, le niveau BAS est dominant. Il en résulte que tous les participants au bus reçoivent le niveau BAS dans la mesure où au moins l'un des différents participants au bus envoie un niveau BAS.

DEBUT DE TRAME :

Ce signal marque le début du massage et se compose d'un seul bit BAS.

Un participant au bus n'est autorisé

à commencer un message qu'à l'état BUS-LIBRE (voir paragraphe 4.5) c'est-à-dire lorsque le bus est libre. Tous les récepteurs se synchronisent sur le flanc avant engendré par le signal DEBUT DE TRAME.

IDENTIFICATEUR :

Il caractérise le contenu du champ de données (CHAMP DE DONNEES) dans le sens d'un nom et d'une priorité.

L'IDENTIFICATEUR n'a pas nécessairement la signification d'une adresse qui détermine un seul récepteur parmi un grand nombre de participants au bus. Le fait qu'un message reçu correctement soit traité ou non ultérieurement par les participants au bus est exclusivement déterminé par le FILTRE D'ACCEPTATION (voir paragraphe 4.7.1.1.3) de chaque participant au bus. Sur le plan d'un émetteur, il n'y a de ce fait qu'une différence entre une transmission point par point et l'appel simultané d'un ou de tous les participants au bus.

Lors d'un accès simultané de plusieurs émetteurs au bus, pendant la phase d'arbitrage, on détermine à l'aide de la priorité celui des émetteurs qui a le droit de poursuivre la transmission du message (voir paragraphe 4.4).

Dans le présent exemple de réalisation, l'IDENTIFICATEUR a une longueur de huit bits. (IFL = LONGUEUR DU CHAMP DE L'IDENTIFICATION = 8).

CHAMP DE COMMANDE :

Il englobe les champs de bit DEMANDE DE TRANSMISSION A DISTANCE, CODE D'OCTET DE DONNEES et les bits réservés pour les futures extensions.

DEMANDE DE TRANSMISSION A DISTANCE indique si le message correspondant doit transmettre des données ou si cela doit être demandé. Le CODE D'OCTET DE DONNEES contient les informations sur la longueur du champ de données.

Dans le présent exemple de réalisation, le CHAMP DE COMMANDE a une longueur de huit bits. (CFL = LONGUEUR DU CHAMP DE COMMANDE = 8).

CHAMP DE DONNEES :

Il contient l'information à transmettre, dont la signification est fixée par l'IDENTIFICATEUR. La longueur de ce champ (ETAT DE COMPTAGE DES OCTETS DES DONNEES) est variable et peut comporter par exemple un, deux, quatre ou huit octets.

ETAT DE COMPTAGE DES OCTETS DE DONNEES = 2 ** CODE DES OCTETS DE DONNEES.

DFL = LONGUEUR DU CHAMP DE DONNEES = 8 * ETAT DE COMPTAGE DES OCTETS DE DONNEES.

CHAMP CRC :

Ce champ de bits contient le mot de contrôle (SEQUENCE CRC) généré par le polynôme-générateur ; il est terminé par un DELIMITEUR CRC (figure 9).

Le polynôme-générateur est choisi pour des messages de petites longueurs (moins de 120 bits à garantir), ce qui permet d'arriver à une plus grande distance de Hamming que pour la mise en sécurité de messages plus longs avec le même nombre de bits de contrôle.

Dans le présent exemple de réalisation, la SEQUENCE CRC a une longueur de 15 bits. (CRCL = LONGUEUR DE SEQUENCE CRC = 15).

Par le mot de contrôle, on garantit les champs DEBUT DE TRAME, IDENTIFICATEUR, CHAMP DE CONTROLE, CHAMP DE DONNEES et SEQUENCE CRC (sans DELIMITEUR CRC).

DELIMITEUR CRC :

Le DELIMITEUR CRC se compose d'un bit HAUT ; il suit le mot de contrôle CRC et termine le CHAMP CRC.

Des codes cycliques ne permettent pas de détecter de telles erreurs qui reviennent au

décalage cyclique de l'ensemble du mot de code (bits à garantir et bits de garantie). En effet, un décalage cyclique donne de nouveau un mot de code validé.

Si par contre le bit DEBUT DE TRAME qui est par définition de niveau BAS est inclu dans le mot de code, chaque rotation du mot de code peut se reconnaître du fait que le CHAMP CRC n'est pas terminé par un niveau HAUT.

CHAMP ACK :

Tous les récepteurs informent l'émetteur de la réception d'un message correct, en ce qu'ils transmettent comme premier bit dans cette fenêtre, un bit BAS. Comme second bit, on transmet un bit HAUT (DELIMITEUR ACK). De cette manière et de cette façon, l'émetteur peut savoir si au moins l'un des participants au bus a reçu le message sans erreur.

Tous les participants qui ont reçu un message sans erreur l'indiquent par un DRAPEAU d'ERREUR.

Lorsque l'émetteur ne reçoit aucune confirmation de la réception correcte de son message par au moins un récepteur, il émet lui-même un signal d'erreur.

FIN DE TRAME :

Il se compose d'une suite ininterrompue de bits de niveau HAUT et se trouve à la fin de chaque message.

La longueur du signal FIN DE TRAME doit être choisie de façon que tous les récepteurs qui attendent des données à cet endroit du fait d'une transmission erronée de l'information de longueur, constatent déjà pour l'avant-dernier bit de FIN DE TRAME, une erreur d'échelon (voir CODAGE). Indépendamment des erreurs de transmission précédentes, chaque participant au bus peut ainsi reconnaître la fin d'un message. Si pendant le signal FIN DE TRAME, on détecte au moins un bit BAS (par exemple un bit de DRAPEAU D'ERREUR) sur le bus, cela est

considéré par l'avant-dernier bus actif comme réaction au message qu'il vient de transmettre. Il en résulte une association sans équivoque des signaux d'erreur même si l'état d'erreur n'a été reconnu qu'avec la transmission de l'avant-dernier bit d'un message par un récepteur.

Dans l'exemple de réalisation précédent, le signal FIN DE MESSAGE a longueur de sept bits : (OEFL = LONGUEUR DU SIGNAL FIN DE MESSAGE = 7).

INTERMISSION :

Il se compose d'une suite ininterrompue de bits de niveau HAUT. Pendant ce temps, aucun des participants au bus ne doit commencer la transmission d'un nouveau message.

Pendant INTERMISSION, chaque récepteur a la possibilité d'émettre un signal de surcharge (absence d'états prêts à recevoir) en envoyant un signal DRAPEAU D'ERREUR, de sorte que l'émission du message suivant est retardée jusqu'à ce que de nouveau tous les récepteurs soient prêts.

Un signal d'erreur qui arrive dans INTERMISSION est traité exactement comme tout autre signal d'erreur arrivant dans un autre champ de bits. Il n'a pas de répétition du message précédent par l'émetteur correspondant.

Dans le présent exemple de réalisation, le signal INTERMISSION a une longueur de trois bits. (IML = LONGUEUR DU SIGNAL INTERMISSION = 3).

BUS LIBRE :

Le bus est libre si après le déroulement du signal INTERMISSION, il continue d'être au niveau HAUT. L'état de BUS LIBRE peut être d'une durée quelconque. La réception d'un bit BAS est interprétée comme signal de DEBUT DE TRAME.

Un signal d'erreur se compose des champs de bits DRAPEAU D'ERREUR et DELIMITEUR D'ERREUR

(voir figure 10).

DRAPEAU D'ERREUR :

Ce signal se compose d'une suite ininterrompue de bits d'état BAS.

La longueur de la suite doit être déterminée de façon à contrevenir à la règle du gavage de bits, qui est appliquée à tous les champs de bits des signaux DEBUT DE TRAME, jusqu'à DELIMITEUR CRC. Les autres participants au bus réagissent à cela en envoyant eux-mêmes un signal d'erreur.

Dans le présent exemple de réalisation, le signal DRAPEAU D'ERREUR a une longueur de six bits.

(EFL = LONGUEUR DU DRAPEAU D'ERREUR = 6).

DELIMITEUR D'ERREUR :

Tout signal d'erreur est terminé par une suite ininterrompue de bits de niveau HAUT.

L'opération d'émission du DELIMITEUR D'ERREUR commence après que tous les autres participants aient terminé la transmission du DRAPEAU D'ERREUR (passage de BAS jusqu'à HAUT sur le bus).

Dans le présent exemple de réalisation, le signal DELIMITEUR D'ERREUR a une longueur de sept bits.

(EDL = LONGUEUR DU SIGNAL DELIMITEUR D'ERREUR = 7).

4.4 Organisation du bus :

L'organisation du trafic sur le bus repose sur les cinq règles suivantes :

(1) ACCES AU BUS :

Les participants au bus ne doivent commencer la transmission d'un message qu'à l'état BUS LIBRE.

. Tous les récepteurs doivent être synchronisés sur le flanc amont du signal DEBUT DE TRAME.

(2) ARBITRAGE :

Lorsque deux ou plusieurs participants au bus commencent une transmission simultanément, le conflit d'accès est résolu par un mécanisme d'arbitrage effectué sur le plan des bits.

Pendant l'arbitrage, chaque émetteur compare le niveau de bit qu'il inscrit lui-même dans le bus, à celui qu'il détecte réellement sur le bus. Tous les émetteurs qui ne trouvent pas le niveau de bus qu'ils ont eux-mêmes envoyé doivent arrêter leur transmission sans même émettre un autre bit. Par cette convention, l'opération d'arbitrage peut s'effectuer sans qu'une quelconque information ne soit dérangée sur le bus. L'émetteur dont le message présente l'IDENTIFICATEUR de plus grande priorité obtient l'accès. Il transmet le message commencé et cela jusqu'à la fin.

(3) CODAGE :

Les segments de message DEBUT DE CHAMP, IDENTIFICATEUR, CHAMP DE CONTROLE, CHAMP DE DONNEES et CHAMP CRC, sont codés selon le procédé du gavage de bits. Si dans le flux de données à transmettre, il y a cinq bits identiques dans la suite ininterrompue, l'émetteur adjoint automatiquement un bit de valeur inverse au flux de bits.

(4) DECODAGE :

Les segments de message DEBUT DE CHAMP, IDENTIFICATEUR, CHAMP DE CONTROLE, CHAMP DE DONNEES et CHAMP CRC, sont codés selon le procédé de gavage de bits. Lorsqu'un participant au bus reçoit cinq niveaux de bits identiques suivant une succession ininterrompue, il élimine le bit de gavage suivant du flux de bits. La valeur du bit de gavage doit être inverse de celle du bit précédent (contrôle d'erreur).

(5) SIGNAL D'ERREUR :

Chaque participant au bus qui constate une autre erreur de transmission en informe les autres participants au bus en envoyant six bits d'état BAS successifs (DRAPEAU D'ERREUR).

Le signal d'erreur se produit immédiatement après qu'une erreur ait été reconnue c'est-à-dire en commençant par le bit qui suit l'état d'erreur. Ce n'est qu'à la détection d'une erreur CRC que le signal d'erreur est envoyé avec un retard de trois cadences. On garantit ainsi que le CHAMP ACK ne reçoit pas de surscription du signal d'erreur déclenché par une erreur CRC.

Le signal d'erreur est terminé par un passage de l'état BAS à l'état HAUT après au moins six bits d'état BAS sur le bus (voir le diagramme d'état pour le traitement des erreurs).

(6) SURCHARGE :

En cas de surcharge (le message reçu n'a pas encore été traité), chaque participant au bus peut envoyer un signal DRAPEAU D'ERREUR pendant le signal INTERMISSION, pour en informer tous les participants (voir INTERMISSION).

4.5 Chronogrammes :

4.5.1. Explications concernant les graphes d'état :

Chaque cadre rectangulaire représente un état du système. Les transferts entre les différents états qui dépendent des variables d'entrée et des variables d'état sont représentés par des lignes de jonction droites. Les passages d'état se font toujours lors du flanc actif de la cadence de bus. Le même flanc de cadence applique les données de sortie à la ligne de bus. Le niveau réel du bus est seulement détecté avant le flanc

actif suivant du bus.

Après un état BUS LIBRE, la cadence du bus est synchronisée sur la transition de niveau de bus suivante passant de l'état HAUT à l'état BAS.

Les variables d'entrée et d'état peuvent être ordonnées et être réunies en un vecteur de décision.

Le vecteur de décision a la forme suivante :

(MONITEUR DE BUS, ENTRAINEMENT DE BUS, COMPLET,(ENCOMBREMENT) COMPTAGE, DEMANDE TX, ERREUR CRC, SURCHARGE).

Cela signifie :

MONITEUR DE BUS :

Variable d'entrée qui représente le niveau logique détecté sur la ligne de bus.

MONITEUR DE BUS = 0 correspondant au niveau de bus dominant (BAS)

MONITEUR DE BUS = 1 correspondant au niveau de bus récessif (HAUT).

ENTRAINEMENT DE BUS :

Variable d'état qui indique le niveau logique qui est envoyé dans cet état.

ENTRAINEMENT DE BUS = 0 niveau d'émission dominant (BAS)

ENTRAINEMENT DE BUS = 1 niveau d'émission récessif (HAUT).

COMPLET (ENCOMBREMENT) :

Variable d'entrée qui indique que le niveau du bus a été constant pendant les dernières cinq cadences de détection (cinq fois l'état BAS, ou cinq fois l'état HAUT). Le niveau indiqué par le MONITEUR DE BUS est la valeur la plus à jour de cette chaîne de cinq niveaux.

ENCOMBREMENT = 0 le niveau de bus a changé

ENCOMBREMENT = 1 le niveau de bus est constant.

ETAT DE COMPTAGE :

Variable d'état qui indique si le compteur interne (CNTR) a terminé sont comptage. Ce compteur n'est pas nécessaire pour tous les états. Le cas échéant, le compteur est mis à l'état correspondant lors de la transition (transfert).

ETAT DE COMPTAGE = 0 : le compteur n'a pas terminé son comptage (CNTR <> 0)

ETAT DE COMPTAGE = 1 : le compteur a terminé son comptage (CNTR = 0).

DEMANDE TX :

Variable d'entrée qui indique qu'un message est disponible prêt à être envoyé de sorte qu'il faut participer à la procédure suivant d'attribution de bus.

DEMANDE TX = 0 : il n'y a pas d'ordre d'émission

DEMANDE TX = 1 : il y a un ordre d'émission.

ERREUR CRC :

Variable d'état qui indique que le message reçu comportait une erreur de transmission. La variable est mise à l'état après la réception du dernier bit de la SEQUENCE CRC.

ERREUR CRC = 0 : réception sans erreur

erreur CRC = 1 : erreur de transmission

SURCHARGE :

Cette variable d'état indique que le dernier message reçu a pu être traité par la logique du point de coupure ou que celle-ci était en surcharge.

SURCHARGE = 0 : surcharge de la logique de réception

SURCHARGE = 1 : surcharge logique prête.

Le vecteur de décision indique sans équivoque l'état selon lequel on procède. Le graphe d'état peut ainsi être décrit à l'aide des vecteurs de décision. Si pour un élément déterminé, on indique un "X" dans le vecteur d'état, cela signifie que la variable correspondante n'est pas déterminante pour la décision (la variable

peut être "0" ou "1").

4.5.2. Exemple de description de l'état BUS LIBRE :

L'état BUS LIBRE est l'état régulier de la suite de l'état TEST INTERMISSION. Dans l'état BUS LIBRE, le niveau d'émission récessif HAUT est toujours appliqué à la ligne du bus.

Transition dans les états successifs :

1) Vecteur de décision (1,1,1,x,0,x,x) :
Ce vecteur de décision signifie ce qui suit : le niveau de bus HAUT, le niveau d'émission HAUT, le bus a été à l'état HAUT au moins pendant cinq cadences, le compteur n'est pas déterminant, il n'y a aucune demande d'émission, l'erreur de transmission et la surcharge ne sont pas déterminantes. Comme on n'a détecté aucune action du bus et qu'il n'y a aucune condition d'émission, l'état de la suite est de nouveau BUS LIBRE.

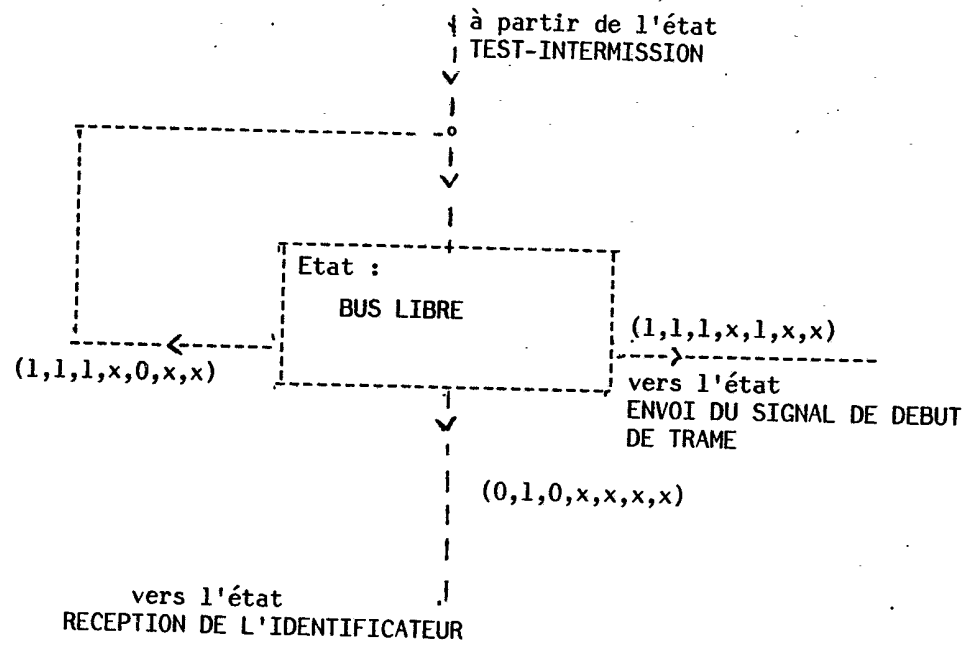
2) Vecteur de décision (1,1,1,x,1,x,x) :
Pour toutes les variables par ailleurs égales comme dans 1), on a maintenant une demande d'émission. Comme la ligne de bus est libre, l'émission peut commencer tout de suite. L'état de la suite est ainsi TRANSMISSION DU SIGNAL DE DEBUT DE TRAME.

3) Vecteur de décision (0,1,0,x,x,x,x) :
On a détecté le niveau BAS sur la ligne de bus. Cela signifie qu'au moins un autre participant au bus a commencé à transmettre un message. Le bit BAS ainsi détecté est le signal DEBUT DE TRAME. L'état de la suite est RECEPTION DE L'IDENTIFICATEUR.

4) Tous les autres vecteurs de décision signifient un incident du circuit ou une défaillance du circuit dans le composant du point de coupure.

Les mêmes remarques s'appliquent à tous les autres états du système qui seront décrits dans les graphes d'état MODE DE RECEPTION, MODE D'EMISSION et TRAITEMENT DE L'ERREUR.

A côté des vecteurs de décision qui se répercutent sur la ligne de bus à cause de parasites, on n'abordera que les vecteurs qui peuvent arriver lorsque le circuit fonctionne correctement. Les autres vecteurs peuvent être utilisés pour simplifier le dispositif de commande ou pour augmenter la sécurité du système dans un état ERREUR DU CIRCUIT.



4.5.3 : Diagramme d'état MODE DE RECEPTION :

Partant de l'état BUS LIBRE, en reconnaissant le signal DEBUT DE TRAME sur le bus, on arrive à l'état RECEPTION DE L'IDENTIFICATEUR. Lors du passage d'état, le compteur CNTR est préréglé à EFL = 8 (SIGNAL DE LONGUEUR DU CHAMP D'IDENTIFICATEUR). IFL indique la convention concernant les bits de reconnaissance (voir 4.3, IDENTIFICATEUR).

Pour la réception de chaque bit de reconnaissance, on parcourt une fois la boucle de l'état RECEPTION-IDENTIFICATEUR et on décrémente le compteur. Lorsqu'un bit d'encombrement apparaît dans l'IDENTIFICATEUR, du fait de ENCOMBREMENT = 1, on a le passage à l'état IGNORE-ID-ENCOMBREMENT B. On y extrait le bit d'encombrement. Si l'on a toujours ENCOMBREMENT = 1, cela doit correspondre à une situation exceptionnelle (parasite sur le bus, signal d'erreur d'un autre participant, calme inattendu du bus) ; en réaction à cela, on passe à l'état TRAITEMENT D'ERREUR. Si par contre, on a ENCOMBREMENT = 0, on peut revenir à l'état RECEPTION-IDENTIFICATEUR.

Après la fin du comptage par le compteur, le système (se trouvant soit à l'état RECEPTION IDENTIFICATEUR ou IGNORE-ID-ENCOMBREMENT B) à l'état RECEPTION-CHAMP DE CONTROLE. Cela correspond au préréglage du compteur à l'état CFL = 8 (LONGUEUR DU CHAMP DE CONTROLE).

A la fin de la réception de tous les bits du CHAMP DE CONTROLE, on reçoit le CHAMP DES DONNEES à l'état RECEPTION-CHAMP DES DONNEES. Comme particularité dans ce cas, on remarque que le compteur n'est pas préréglé par une constante mais par la variable DFL (LONGUEUR DU CHAMP DE DONNEES). DFL peut avoir pour valeurs 8, 16, 32 ou 64.

Puis à l'état RECEPTION-SEQUENCE CRC, on reçoit le mot de contrôle CRC (SEQUENCE CRC). Pour cela, le compteur CNTR est préréglé à l'état CRCL = 15 (LONGUEUR SEQUENCE CRC). Après la réception du dernier bit CRC, on met la variable d'état ERREUR CRC (ERREUR CRC = 0 signifie aucune erreur ; ERREUR CRC = 1 signifie une erreur.

Le mot de contrôle CRC doit toujours être terminé par un bit (DELIMITEUR CRC) de niveau HAUT.

Cela est vérifié à l'état RECEPTION-DELIMITEUR CRC. En cas de niveau de bus erroné, on passe à l'état TRAITEMENT ERREUR.

Au cours du cycle de cadences de bus suivant, il faut que les récepteurs confirment la réception du message. Cela se fait à l'état ENVOI ACCUSE DE RECEPTION par l'envoi d'un niveau BAS pour indiquer une réception sans erreur ou par l'envoi d'un niveau HAUT pour indiquer une erreur. Lors de la détection du niveau de bus HAUT, au cas où le niveau dominant BAS a été envoyé, on passe à l'état TRAITEMENT ERREUR.

Le premier bit d'accusé de réception est suivi par le DELIMITEUR ACK, qui doit toujours être au niveau HAUT. Ce niveau est fourni par tous les récepteurs à l'état ENVOI DELIMITEUR ACK. A la réception du niveau BAS, on passe à l'état TRAITEMENT ERREUR.

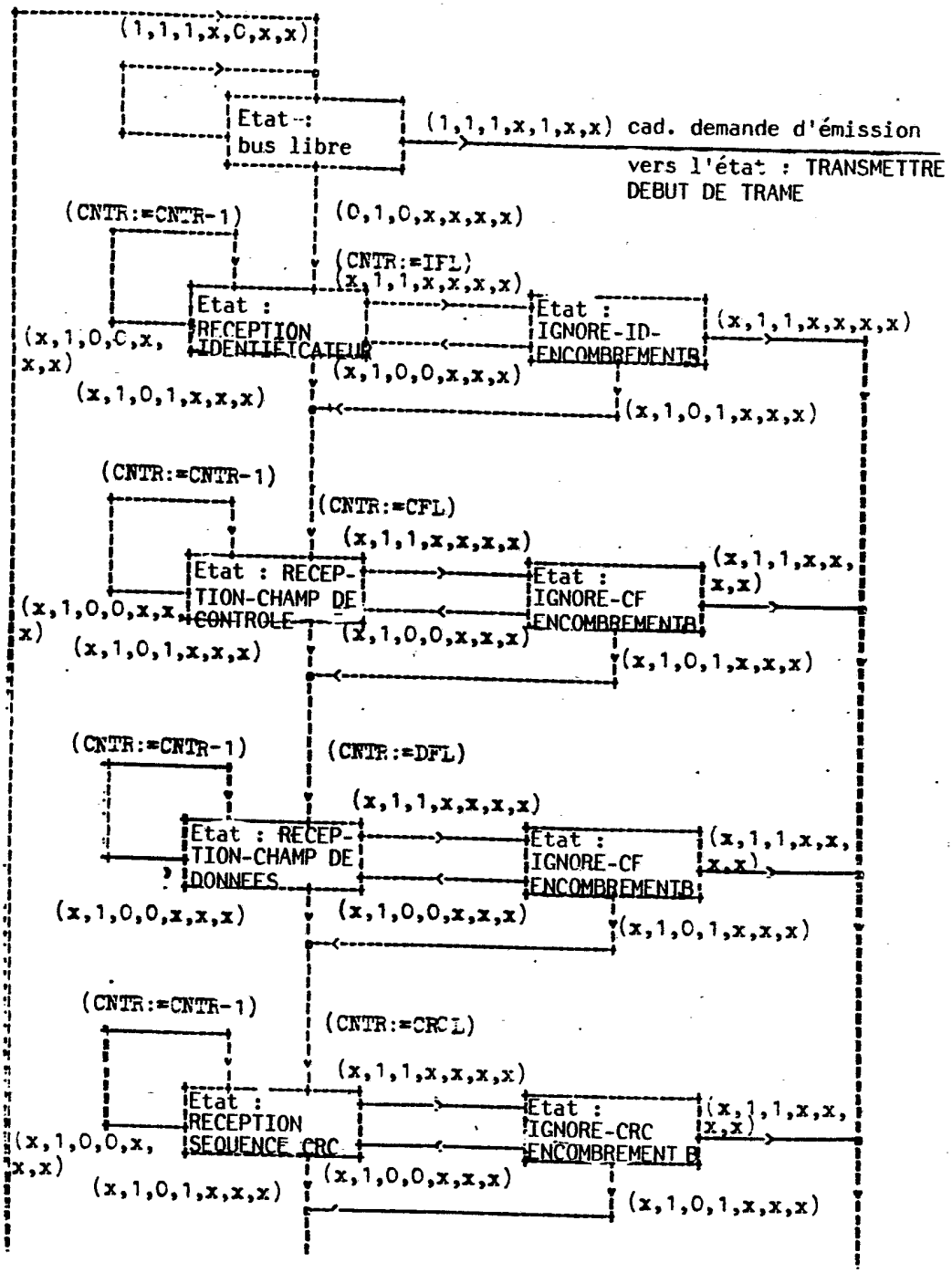
Lors du passage d'état après le signal RECEPTION-FIN DE TRAME on initialise le compteur CNTR par EOFL = 7 (LONGUEUR DE FIN DE TRAME). Dans le cas ERREUR CRC = 1 ou si pendant le signal RECEPTION-FIN DE TRAME on a reçu le niveau de bus BAS, on passe à l'état TRAITEMENT ERREUR.

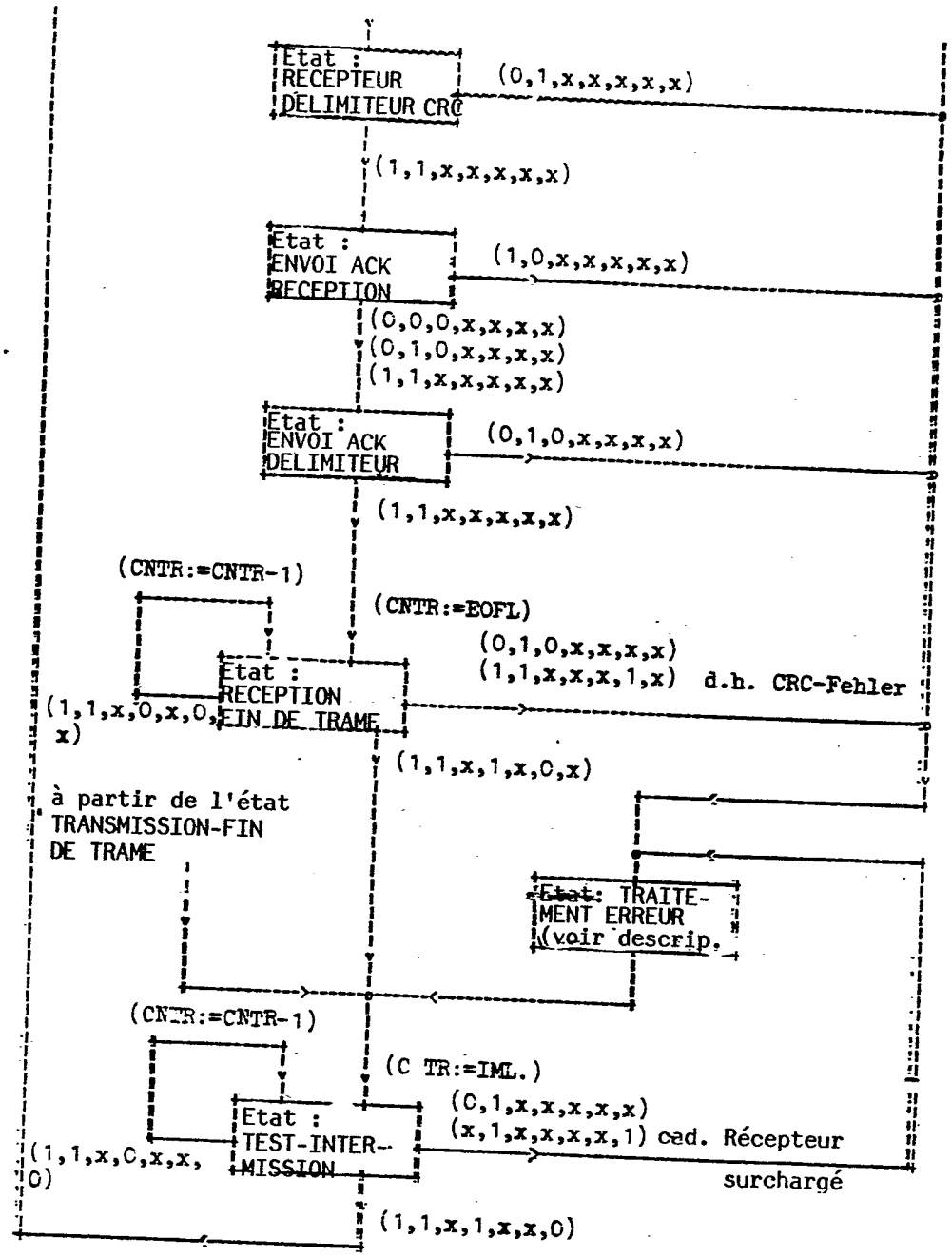
En l'absence d'erreur, le message est reçu complétement. Cela est suivi par l'état TEST-INTERMISSION qui se compose des cycles IML = 3 (LONGUEUR-INTERMISSION). Le niveau de bus doit en permanence être à l'état HAUT, car sinon on passe à TRAITEMENT ERREUR. A l'état TEST-INTERMISSION, chaque récepteur peut signaler une surcharge (SURCHARGE = 1), ce qui retarde l'émission du message suivant jusqu'à ce que le récepteur soit de nouveau prêt. Cela se fait par TRAITEMENT ERREUR. A la fin du comptage par le compteur CNTR, on passe à l'état suivant BUS LIBRE, par lequel commence un nouveau cycle d'émission ou de réception.

Pour le bit d'encombrement qui peut

arriver dans les champs CHAMP DE CONTROLE, CHAMP DE DONNEES ou SEQUENCE CRC, on appliquera les indications données pour l'état RECEPTION IDENTIFICATEUR.

Vecteur de décision : (Moniteur-Bus, Entraînement-bus, encombrement, comptage, demande TX, Erreur CRC, Surcharge)




Etat : RECEPTEUR DELIMITEUR CRC
(0,1,x,x,x,x,x)
(1,1,x,x,x,x,x)
Etat : ENVOI ACK RECEPTION
(1,0,x,x,x,x,x)
(0,0,0,x,x,x,x)
(0,1,0,x,x,x,x)
(1,1,x,x,x,x,x)
Etat : ENVOI ACK DELIMITEUR
(0,1,0,x,x,x,x)
(1,1,x,x,x,x,x)
(CNTR:=CNTR-1)
(CNTR:=EOFL)
(0,1,0,x,x,x,x)
(1,1,x,x,x,1,x) d.h. CRC-Fehler
Etat : RECEPTION FIN DE TRAME
(1,1,x,0,x,0,x)
(1,1,x,1,x,0,x)
à partir de l'état TRANSMISSION-FIN DE TRAME
Etat: TRAITEMENT ERREUR (voir descrip.
(CNTR:=CNTR-1)
(C TR:=IML.)
(0,1,x,x,x,x,x)
(x,1,x,x,x,x,1) cad. Récepteur surchargé
Etat : TEST-INTERMISSION
(1,1,x,0,x,x,0)
(1,1,x,1,x,x,0)

4.5.4. Diagramme d'état MODE EMISSION :

A partir de l'état BUS LIBRE, on passe au mode d'émission lorsqu'une demande d'émission arrive avant ou pendant le signal BUS LIBRE. (DEMANDE TX = 1). Voir à cet effet le graphe d'état MODE RECEPTION.

L'émission d'un message commence par l'état TRANSMISSION DU DEBUT DE TRAME, pour lequel on envoie le niveau d'émission dominant BAS. En cas d'incident du niveau dominant BAS faussé en niveau HAUT, on passe à l'état TRAITEMENT D'ERREUR.

Au cas contraire, dans l'état d'IDENTIFICATION D'EMETTEUR, on passe à la procédure d'attribution de bus. Au début, le compteur est mis sur IFL = 8 (LONGUEUR DE CHAMP D'IDENTIFICATEUR).

On reste à l'état TRANSMISSION D'IDENTIFICATEUR, (seul le compteur est décrémenté) si le niveau reçu correspond au niveau émis et si les cinq derniers niveaux de bus n'étaient pas constants et si le compteur n'a pas encore terminé son comptage.

On quitte l'état TRANSMISSION D'IDENTIFICATEUR si :

- le niveau HAUT, récessif, envoyé a été transformé en écriture par le niveau BAS. L'attribution de bus est ainsi perdue.
  Dans le cas où l'on a ENCOMBREMENT = 1, l'état suivant est IGNORER-ID-ENCOMBREMENT B. Au cas contraire, si le compteur n'a pas terminé son comptage, l'état suivant est RECEPTION D'IDENTIFICATEUR ; si le compteur a terminé le comptage, l'état est RECEPTION CHAMP DE CONTROLE.
- un niveau BAS, dominant, émis a été faussé en un niveau HAUT. L'état suivant est TRAITEMENT D'ERREUR.
- le niveau reçu correspond au niveau envoyé. Au cas où les cinq derniers niveaux étaient pas égaux, il faut passer à l'état INSERTION-ID-ENCOMBREMENT B. Au cas

contraire, lorsque le compteur a terminé le comptage, on passe à l'état suivant TRANSMISSION DU CHAMP DE CONTROLE. Dans le dernier cas, on accède au bus.

A l'état INSERTION-ID-ENCOMBREMENT B, les bits d'encombrement du CHAMP D'IDENTIFICATEUR sont introduits. Comme dans cet état, l'attribution de bus ne peut se perdre, dans le cas de niveaux d'émission et de réception différents, l'état suivant est TRAITEMENT D'ERREUR. Au cas contraire, si le compteur n'a pas terminé son comptage, on revient à l'état TRANSMISSION D'IDENTIFICATEUR ; si le compteur a terminé son comptage, on accède au bus et l'état suivant est TRANSMISSION DU CHAMP DE CONTROLE.

Lors du passage à l'état TRANSMISSION DU CHAMP DE CONTROLE, on initialise le compteur CNTR par CFL = 8 (LONGUEUR DU CHAMP DE CONTROLE). Comme l'attribution de bus est terminée, il faut à partir de ce moment que le niveau d'émission et le niveau de réception soient toujours égaux. Si cela n'est pas le cas, on passe à l'état TRAITEMENT D'ERREUR. Si le compteur n'a pas terminé le comptage et en cas de changement de flanc de signal à l'intérieur des cinq derniers cycles de cadences, le système reste à l'état TRANSMISSION DU CHAMP DE CONTROLE, et seul le compteur est décrémenté. L'insertion de bit d'encombrement se produit à l'état INSERTION-CF-ENCOMBREMENT B. Si le compteur a terminé le comptage, on passe à l'état suivant TRANSMISSION DU CHAMP DE DONNEES.

Les opérations à l'état TRANSMISSION DU CHAMP DE COMMANDE s'appliquent également aux états TRANSMISSION DU CHAMP DES DONNEES et de TRANSMISSION DE SEQUENCE CRC. A l'entrée dans TRANSMISSION DU CHAMP DE DONNEES, le compteur CNTR est chargé des variables DFL (LONGUEUR DE CHAMP DE DONNEES) qui peuvent avoir les valeurs 8, 16, 32 ou 64. Lors de l'entrée dans TRANSMISSION DE SEQUENCE CRC, le compteur est chargé des cons-

tantes CRCL = 15 (LONGUEUR DU CHAMP CRC).

En liaison avec la SEQUENCE-CRC, il faut transmettre le DELIMITEUR-CRC. Cela se fait à l'état TRANSMISSION-DELIMITEUR-CRC. Au cas où l'état HAUT envoyé a été faussé en étant BAS, on passe à l'état TRAITEMENT D'ERREUR.

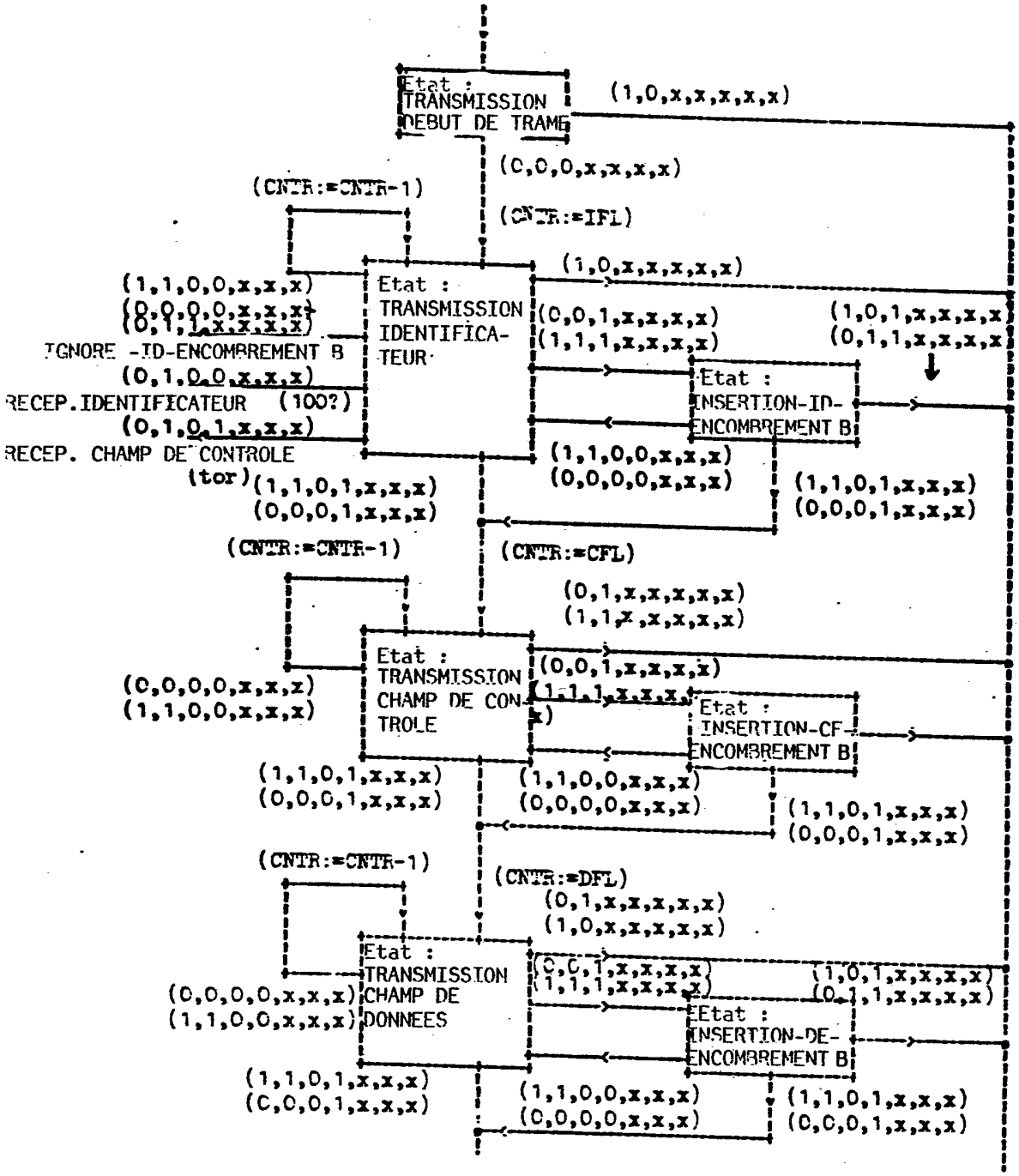
Puis, on vérifie le bit d'accusé de réception. La réception d'un niveau HAUT signifie qu'aucun participant n'a reçu le message sans erreur ou que tous les participants ont une mauvaise synchronisation de trame. C'est pourquoi, l'émetteur envoie un signal d'erreur à l'état TRAITEMENT D'ERREUR. Lors de la réception d'un niveau BAS, on passe à l'état suivant RECEPTION DU DELIMITEUR ACK. Il faut que le délimiteur ACK soit toujours au niveau HAUT. Lorsque cela n'est pas le cas, on passe à l'état TRAITEMENT D'ERREUR.

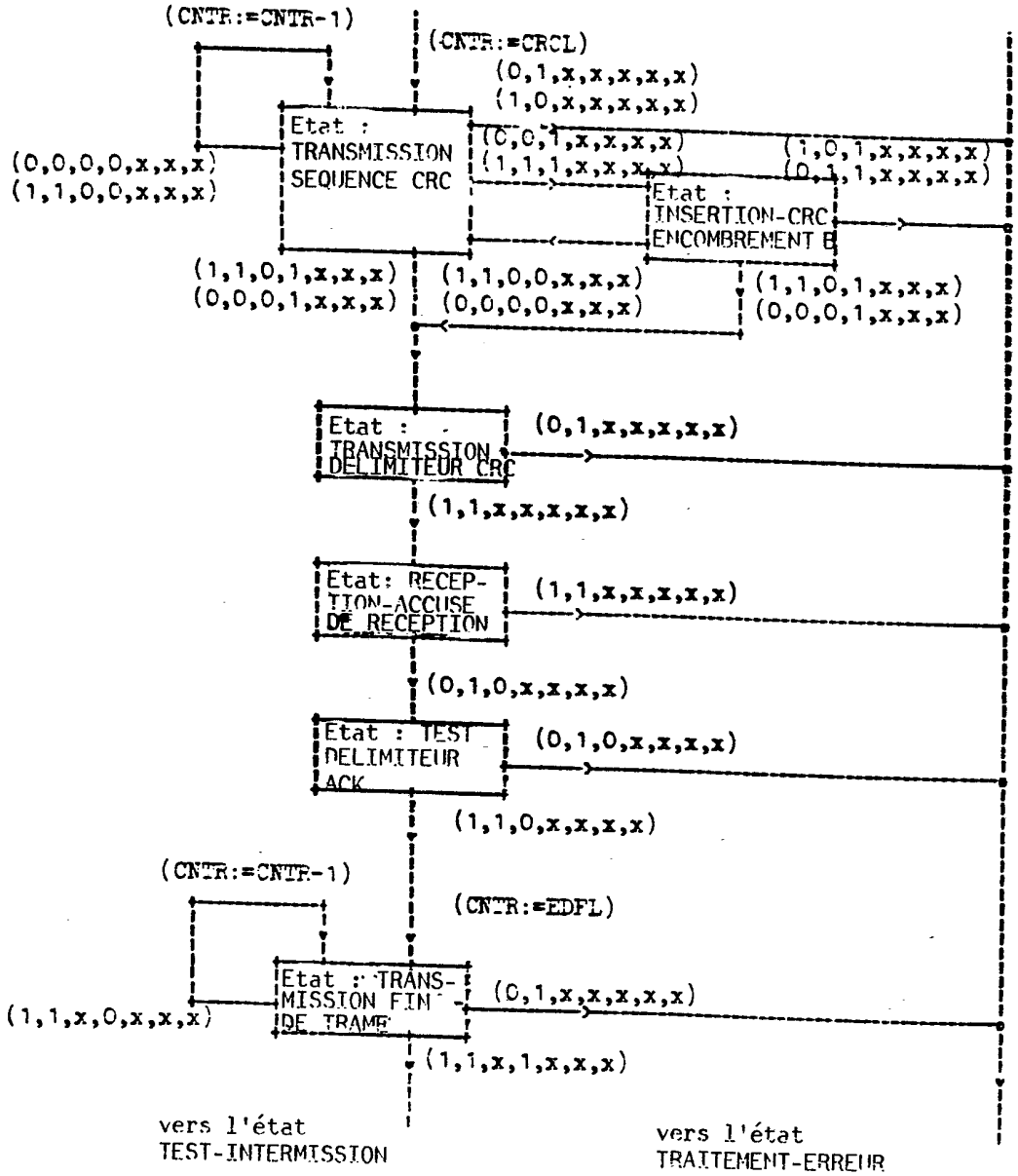
La fin du message est transmise à l'état TRANSMISSION DE FIN DE TRAME. Comme FIN DE TRAME se compose de sept bits de niveau HAUT, on charge au préalable le compteur CNTR par EOFL = 7 (LONGUEUR DE FIN DE TRAME). Pour la réception d'un niveau HAUT, le système reste à l'état TRANSMISSION DE FIN DE TRAME, jusqu'à ce que le compteur ait terminé son comptage, puis il passe à TEST-INTERMISSION. Lors de la réception d'un niveau BAS, on passe par contre sur TRAITEMENT D'ERREUR.

L'état TRANSMISSION DE MODE se termine par le passage à l'état TEST-INTERMISSION. L'état TEST-INTERMISSION est écrit de façon identique à RECEPTION DE MODE.

MODE D'EMISSION :

Vecteur de décision : (MONITEUR-BUS, ENTRAINEMENT-BUS, ENCOMBREMENT, COMPTAGE, DEMANDE TX, ERREUR CRC, SURCHARGE).




(CNTR:=CNTR-1)
(CNTR:=CRCL)
(0,1,x,x,x,x,x)
(1,0,x,x,x,x,x)
Etat : TRANSMISSION SEQUENCE CRC
(0,0,0,0,x,x,x)
(1,1,0,0,x,x,x)
(0,0,1,x,x,x,x)
(1,1,1,x,x,x,x)
(1,0,1,x,x,x,x)
(0,1,1,x,x,x,x)
Etat : INSERTION-CRC ENCOMBREMENT B
(1,1,0,1,x,x,x)
(0,0,0,1,x,x,x)
(1,1,0,0,x,x,x)
(0,0,0,0,x,x,x)
(1,1,0,1,x,x,x)
(0,0,0,1,x,x,x)
Etat : TRANSMISSION DELIMITEUR CRC
(0,1,x,x,x,x,x)
(1,1,x,x,x,x,x)
Etat: RECEPTION-ACCUSE DE RECEPTION
(1,1,x,x,x,x,x)
(0,1,0,x,x,x,x)
Etat : TEST DELIMITEUR ACK
(0,1,0,x,x,x,x)
(1,1,0,x,x,x,x)
(CNTR:=CNTR-1)
(CNTR:=EDFL)
Etat : TRANSMISSION FIN DE TRAME
(1,1,x,0,x,x,x)
(0,1,x,x,x,x,x)
(1,1,x,1,x,x,x)
vers l'état TEST-INTERMISSION
vers l'état TRAITEMENT-ERREUR

4.5.5. Diagramme d'état TRAITEMENT DE L'ERREUR :

Le traitement de l'erreur commence par l'état ENVOI-DRAPEAU-ERREUR.

Le DRAPEAU D'ERREUR sert à communiquer à tous les participants qu'il s'est produit une erreur de transmission sur le bus ou qu'un récepteur est surchargé. Le DRAPEAU D'ERREUR se compose de six bits successifs d'état BAS, c'est pourquoi, le compteur CNTR est mis au passage dans cet état sur ENVOI-DRAPEAU-ERREUR c'est-à-dire EFL = 6 (LONGUEUR-DRAPEAU-ERREUR). Au cas où un incident fausse le niveau dominant BAS envoyé et le remplace par un niveau HAUT, on recommence TRAITEMENT D'ERREUR. Au cas contraire, le compteur est décrémenté. Lorsque l'état de comptage est nul, on passe à l'état SYNC-ERREUR.

A l'état SYNC-ERREUR, on attend jusqu'à ce que d'autres participants qui peuvent éventuellement envoyer également un signal DRAPEAU D'ERREUR, aient terminé. Cela se reconnaît à ce que le niveau du bus passe à l'état HAUT.

Le traitement d'erreur se termine par l'envoi de DELIMITEUR D'ERREUR à l'état ENVOI DU DELIMITEUR D'ERREUR. Lors de l'entrée dans cet état, le compteur CNTR est chargé par EDL-1 = 6 (LONGUEUR DE DELIMITEUR D'ERREUR = 7). Le DELIMITEUR D'ERREUR se compose de sept bits de niveau HAUT, le premier de ces bits ayant déjà été envoyé à l'état SYNC-ERREUR. Si à l'émission du bit résiduel, on découvre sur le bus un niveau BAS, on recommence par TRAITEMENT DE L'ERREUR. Au cas contraire, après la fin du comptage, on passe à l'état TEST-INTERMISSION. Cela termine le traitement de l'erreur.

4.6. Traitement de l'erreur :

4.6.1. Intervention sur l'erreur :

Immédiatement après la reconnaissance d'une erreur c'est-à-dire en commençant par le bit qui

suit l'état d'erreur, chaque participant envoie son signal d'erreur (DRAPEAU D'ERREUR). Ce n'est qu'à la reconnaissance d'une erreur CRC que le signal d'erreur est envoyé avec trois cadences de retard. On assure ainsi que le CHAMP ACK ne soit pas remplacé par un signal d'erreur déclenché par une erreur CRC. En laissant libre le CHAMP ACK, un émetteur peut recevoir à la fois une confirmation de son message par quelques récepteurs ainsi qu'un signal d'erreur provenant des autres récepteurs. Cela permet de constater avec une grande probabilité, en cas de répétition, que la défaillance se situe chez le participant (émetteur) directement ou chez un récepteur.

Un signal d'erreur se compose d'au moins six bits de niveau BAS successifs (DRAPEAU D'ERREUR). Comme il faut alors effectuer une transition BAS-HAUT, il faut attendre au moins dix bits de niveau HAUT (DELIMITEUR D'ERREUR et INTERMISSION).

4.6.2. Présence d'une erreur :

Le traitement de l'erreur peut dépendre à la fois de son arrivée dans l'espace et de son arrivée dans le temps.

Sous le point 4.6.5., on a donné quelques exemples d'opérations d'erreur du bus à collecteur ouvert.

Le tableau 4.6.2 suivant permet de prendre tous les cas d'erreur sur bits isolés, possibles.

Sous les numéros indiqués, on trouvera ici les exemples correspondant au point 4.6.5 pour des cas d'erreur.

Tableau 4.6.2.

Arrivée dans le temps	dans l'espaee	sur l'émetteur et sur tous les récepteurs	sur l'émetteur et une partie des récepteurs	sur l'émetteur et sur aucun récepteur	pas sur l'émetteur mais sur tous les récepteurs	pas sur l'émetteur mais sur une partie des récepteurs
BUS LIBRE				4.6.5.4		4.6.5.7.
DEBUT DE TRAME						
IDENTIFICATEUR		4.6.5.1.				
COMMANDE DE CHAMP (ETAT DE COMPTAGE DES OCTETS DE DONNEES					4.6.5.6.	
CHAMP DE DONNEES			4.6.5.2	4.6.5.5.		4.6.5.8.
CHAMP CRC DELIMITEUR CRC						
FENTE ACK			4.6.5.3.			
FIN DU BLOC						
INTERMISSION						

4.6.3. Classes d'erreur :

Sur la base de l'établissement du protocole de bus décrit en 4.3 et de l'organisation de bus, spécifiée en 4.4, on peut avoir les classes d'erreur suivantes :

Emetteur : BF : erreur de bit, le niveau de bus ne correspond pas au niveau émis,

BK : à l'état TRANSMISSION-IDENTIFICATEUR (arbitrage) et TRANSMISSION-DEBUT-DE-TRAME, il n'y a qu'un niveau de bus HAUT, un bit BAS étant une erreur,

AF : aucun accusé de réception pendant RECEPTION-ACCUSE-DE-RECEPTION,

NF : un bit BAS sur le bus pendant l'état TEST-INTERMISSION,

SF : non respect de la condition d'encombrement,

Récepteur : CF : erreur CRC,

DF : la SEQUENCE-CRC n'a pas été terminée par un DELIMITEUR-CRC ; cela signifie qu'il n'y a pas de bit de niveau HAUT après le mot de contrôle CRC,

NF : il y a un bit de niveau BAS sur le bus pendant l'état RECEPTION DE FIN DE TRAME et TEST-INTERMISSION,

SF : non respect de la condition d'encombrement,

BF : erreur de bit à l'état TRANSMISSION-ACK.

Dans le tableau 4.6.3 suivant, on a réuni toutes les possibilités de reconnaissance d'erreur qui résultent des combinaisons de l'arrivée dans le temps et dans l'espace ainsi que des classes d'erreur. On a indiqué les classes d'erreur que l'on reconnaît à l'instant de l'erreur.

Les abréviations utilisées dans les

lignes supérieures de chaque champ de la matrice caractérisent les classes d'erreur au niveau de l'émetteur ; les abrévations dans la rangée inférieure caractérisent les classes d'erreur qui se présentent au niveau des récepteurs.

Tableau 4.6.3.

Arrivée dans le temps	Arrivée dans l'espace	sur l'émetteur et sur tous les récepteurs	sur l'émetteur et une partie des récepteurs	sur l'émetteur et sur aucun récepteur	pas sur l'émetteur mais sur tous les récepteurs	pas sur l'émetteur mais sur une partie des récepteurs
BUS LIBRE						
DEBUT DE TRAME		BK	BK	BK		
IDENTIFICATEUR		BK, SF SF	BK, SF SF	BK, SF	SF	SF
COMMANDE DE CHAMP (ETAT DE COMPTAGE DES OCTETS DE DONNEES		BF, SF SF	BF, SF SF	BF, SF	SF	SF
CHAMP DE DONNEES		BF, SF SF	BF, SF SF	BF, SF	SF	SF
CHAMP CRC DELIMITEUR CRC		BF, SF CF, DF, SF	BF, SF CF, DF, SF	BF, SF	CF, CD, SF	CF, CD, SF
FENTE ACK		AF, SF BF, SF	AF, SF BF, SF	AF, SF	BF, SF	BF, SF
FIN DU BLOC		BF, NF NF	BF, NF NF	BF, NF	NF	NF
INTERMISSION		BF, NF NF	BF, NF NF	BF, NF	NF	NF

4.6.4. Description des exemples :

Dans les figures, on a utilisé les abréviations suivantes :

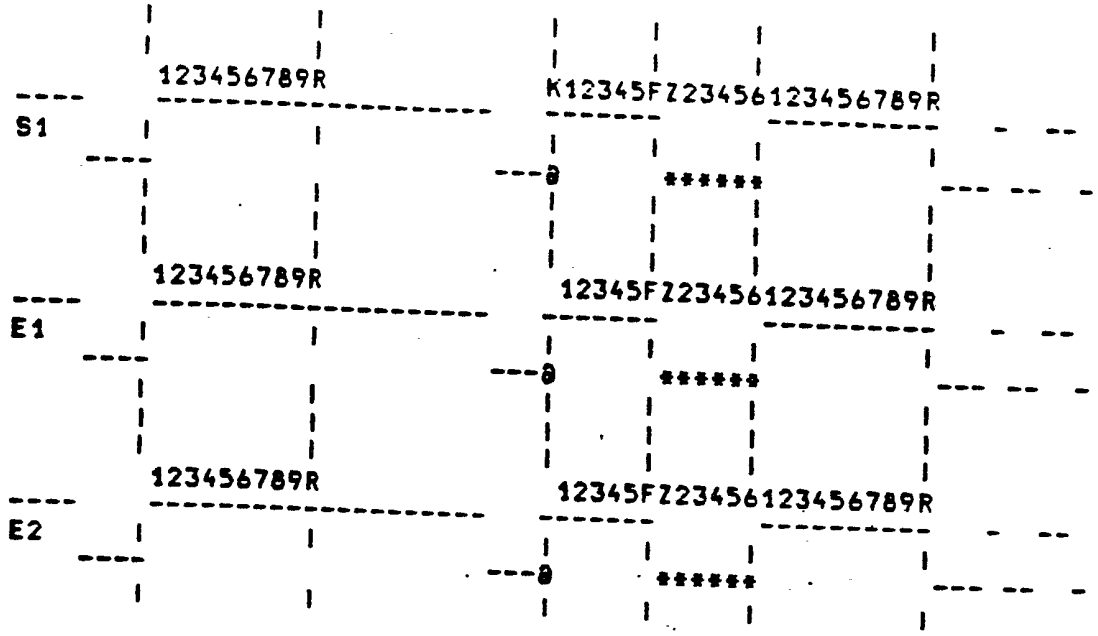
- -Ω incident, dérangement
- - --- message non dérangé
- - *** intervention interne
- -### intervention étrangère
- - S bit d'encombrement
- - 1..8. numération
- - R reconnaissance du bus au repos (état BUS LIBRE)
- - B reconnaissance d'une erreur de bit pendant une transmission
- - F reconnaissance d'une erreur d'un participant
- - Z début d'un signal d'erreur
- - K le participant a perdu l'arbitrage et coupe sa transmission

Paramètres modèles des exemples suivants de traitement d'erreur :

- nombre maximum de bits de même niveau (S = 5)
- FIN DE TRAME se compose de six bits de niveau HAUT, successifs (EOFL = 6)
- INTERMISSION se compose de trois bits successifs de niveau HAUT (IML = 3)
- un signal d'erreur se compose d'au moins six bits successifs de niveau BAS (ZFL = 6)
- l'expression émetteur désigne un participant qui soit a déjà émis, soit souhaite émettre.

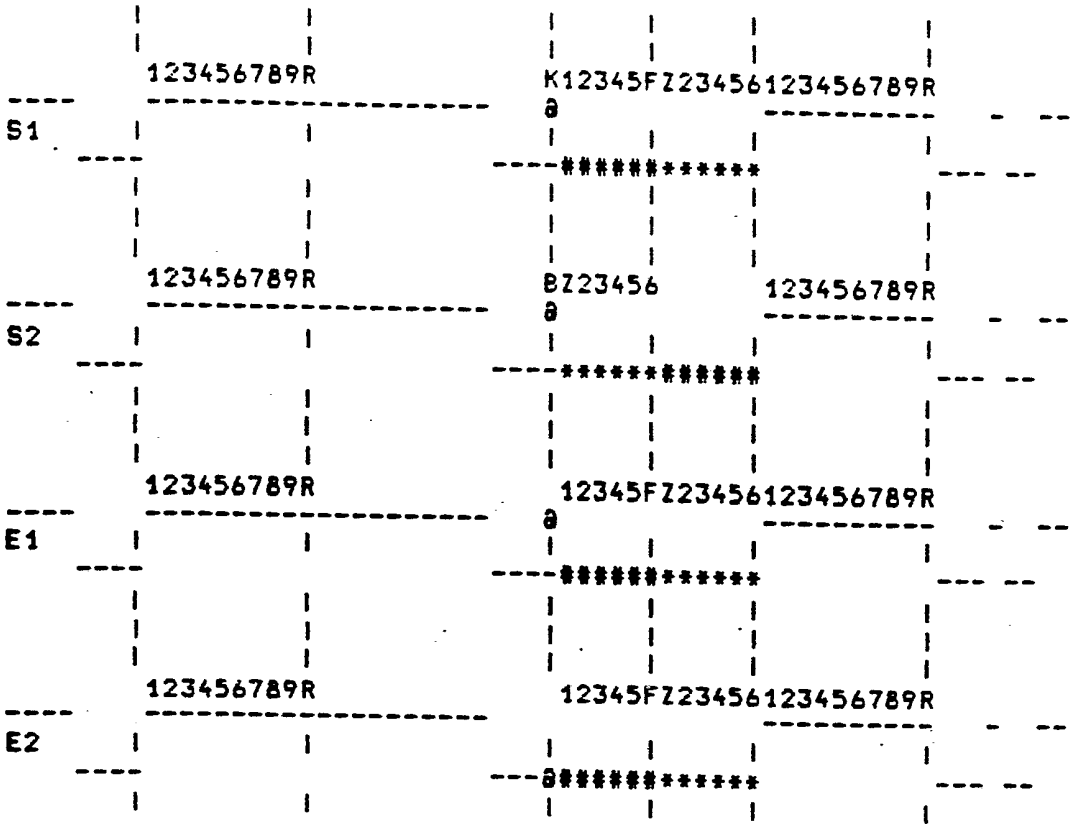
4.6.5. Exemple d'erreur de bit séparé.

4.6.5.1. Dérangement global de tous les participants, susceptible d'être découvert. Erreur de bit dans L'IDENTIFICATEUR.



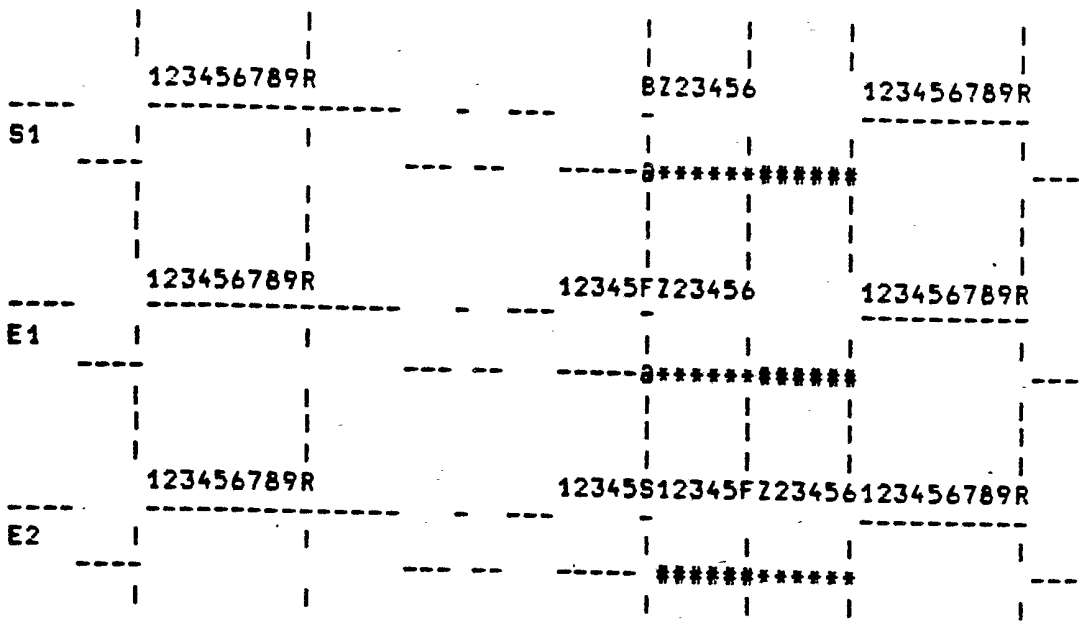
L'émetteur "perd" l'arbitrage et reconnaît alors une erreur d'encombrement comme les récepteurs. Après le signal d'erreur et le repos de bus consécutifs (état BUS-LIBRE), on peut recommencer une nouvelle transmission ou répéter l'information dérangée.

Deux émetteurs commencent simultanément la transmission.



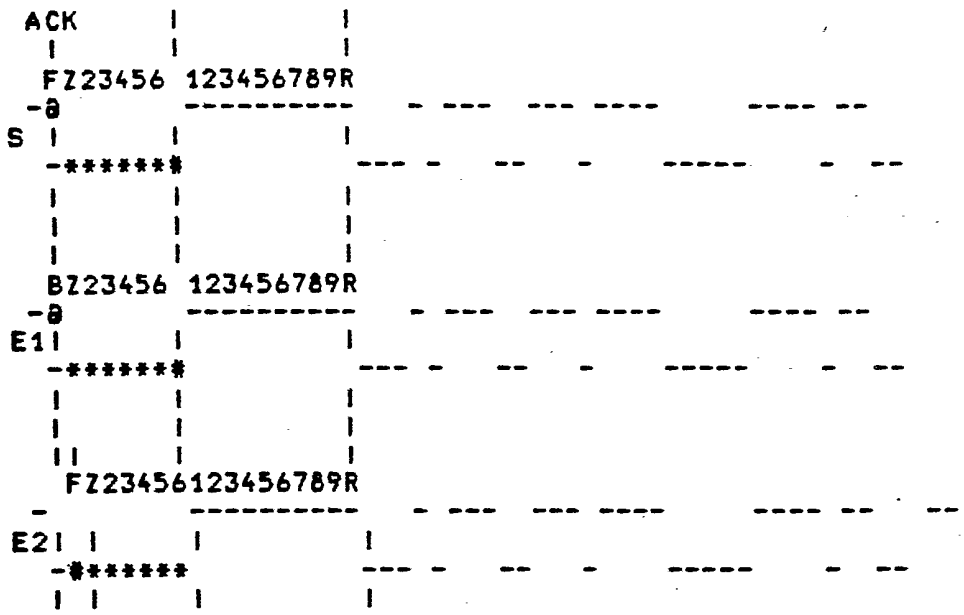
Le dérangement engendre une erreur de bit sur l'émetteur 2 et envoie son signal d'erreur. De ce fait, au niveau des récepteurs, on a une erreur d'encombrement et sur l'émetteur 1 on a soit une erreur de bit et/ou une erreur d'encombrement. Après le dernier bit d'état BAS du signal d'erreur et du repos de bus consécutifs (état BUS LIBRE), on peut commencer une nouvelle retransmission ou répéter les informations dérangées.

4.6.5.2. L'erreur se produit sur une partie des récepteurs ou sur l'émetteur ou un poste souhaitant émettre. Erreur d'encombrement dans le CHAMP DE DONNEES.



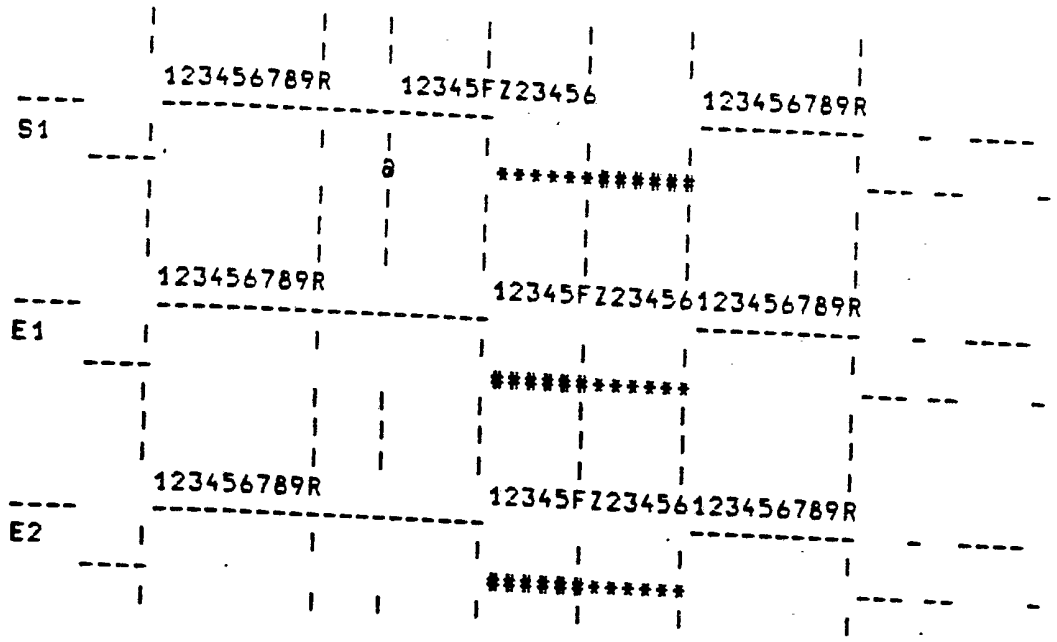
L'émetteur reconnaît une erreur de bit et les récepteurs dérangés reconnaissent une erreur d'encombrement et émettent un signal d'erreur. Il en résulte au niveau des récepteurs non dérangés, une erreur d'encombrement et ceux-ci envoient également un signal d'erreur. Après le dernier bit d'état BAS du signal d'erreur et le repos de bus consécutifs (état BUS-LIBRE), on peut commencer une nouvelle retransmission ou la répétition de l'information dérangée.

4.6.5.3. L'erreur se produit sur une partie des récepteurs ou sur l'émetteur ou un poste souhaitant émettre. Erreur de bit dans FENTE-ACK.



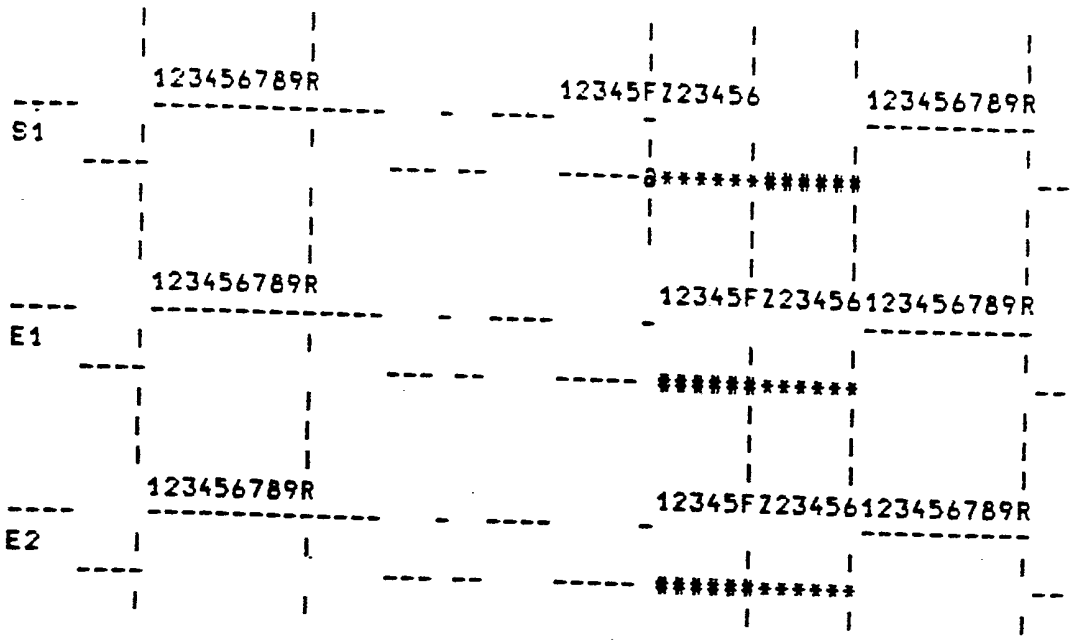
Les récepteurs dérangés reconnaissent une erreur de bit (leur bit BAS a été dérangé) et ils émettent un signal d'erreur. L'émetteur ne reçoit pas d'accusé de réception et fournit également un signal d'erreur. De cette façon, les récepteurs non dérangés reconnaissent une erreur (DELIMITEUR ACK) et ils émettent également un signal d'erreur. Après le dernier bit BAS du signal d'erreur, on peut commencer par une nouvelle transmission ou par la répétition du message dérangé.

4.6.5.4. Seul l'émetteur est dérangé. Erreur dans BUS-LIBRE.



Le dérangement ne permet pas au participant S1 de commencer sa transmission et il se comporte comme un récepteur jusqu'à la fin du traitement de l'erreur. S1 reconnaît une erreur d'encombrement et fournit un signal d'erreur. De cette façon, les récepteurs reçoivent une erreur d'encombrement et fournissent également un signal d'erreur. Après le signal d'erreur et le repos de bus consécutifs (état BUS-LIBRE), on peut commencer une nouvelle retransmission.

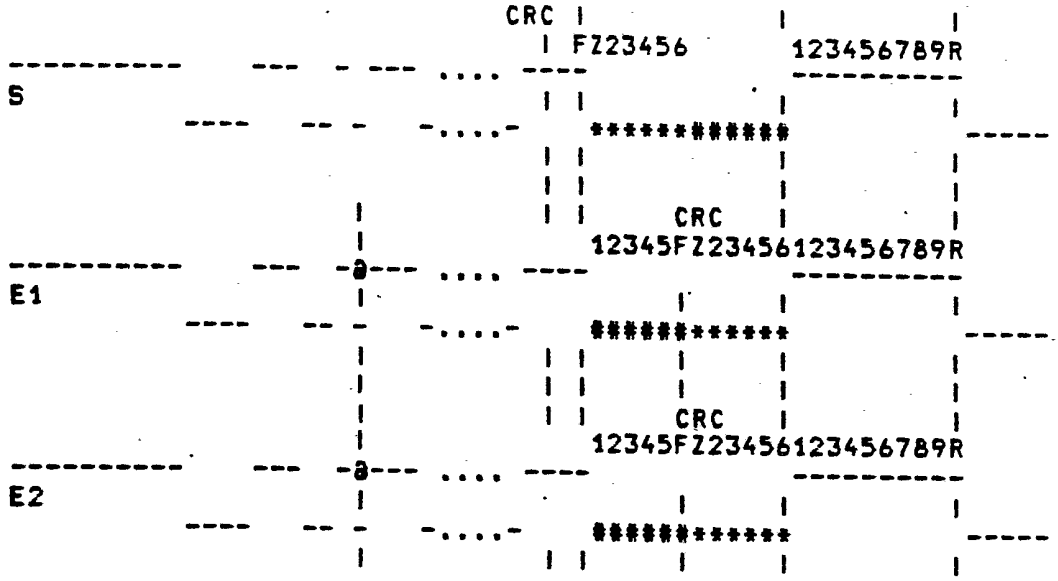
4.6.5.5. Dérangement uniquement sur l'émetteur. Erreur d'encombrement dans le CHAMP DE DONNEES.



L'émetteur reconnaît une erreur d'encombrement et en même temps une erreur de bit ; il fournit un signal d'erreur. De cette façon, les récepteurs reçoivent une erreur d'encombrement et fournissent également un signal d'erreur. Après le dernier bit BAS du signal d'erreur et du repos de bus consécutifs (état BUS-LIBRE), on peut commencer une nouvelle retransmission ou répéter l'information dérangée.

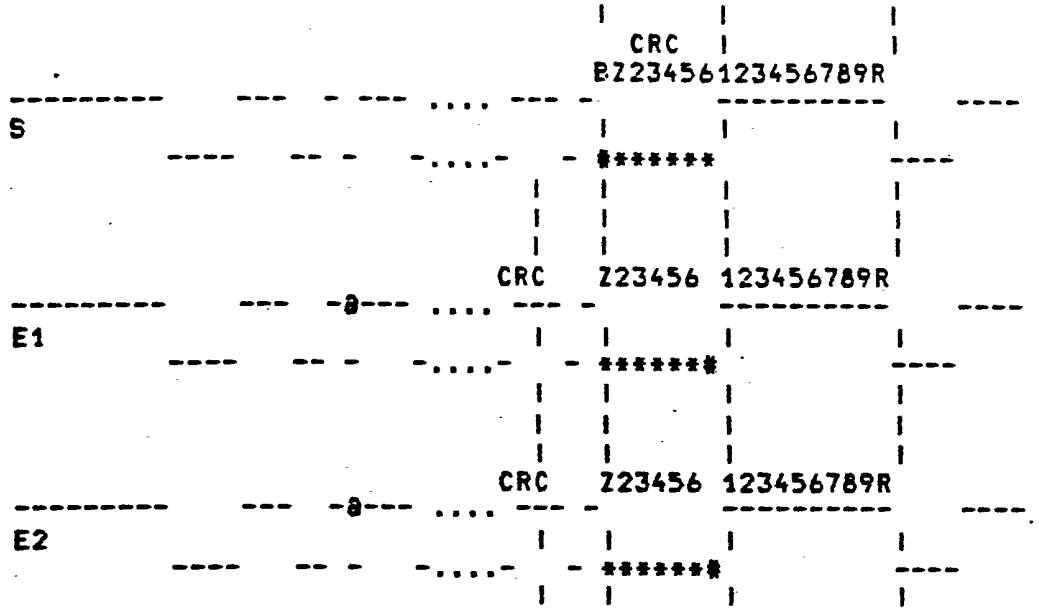
4.6.5.6. L'erreur existe dans tous les récepteurs mais pas l'émetteur ou dans la station qui souhaite émettre. Erreur de bit dans CHAMP DE CONTROLE, indication de longueur erronée.

Cas 1 : Allongement de l'indication de longueur, les récepteurs attendent un message plus long que celui réellement émis.



Les récepteurs ne peuvent plus abandonner au moment correct la réception d'un message, si bien que l'émetteur reconnaît une erreur et fournit un signal d'erreur.De cette façon, on a au niveau des récepteurs une erreur d'encombrement et les récepteurs émettent également un signal d'erreur. Après le dernier bit d'état BAS du signal d'erreur et du repos de bus consécutifs (état BUS-LIBRE), on peut commencer de nouvelles transmissions ou la répétition du message dérangé.

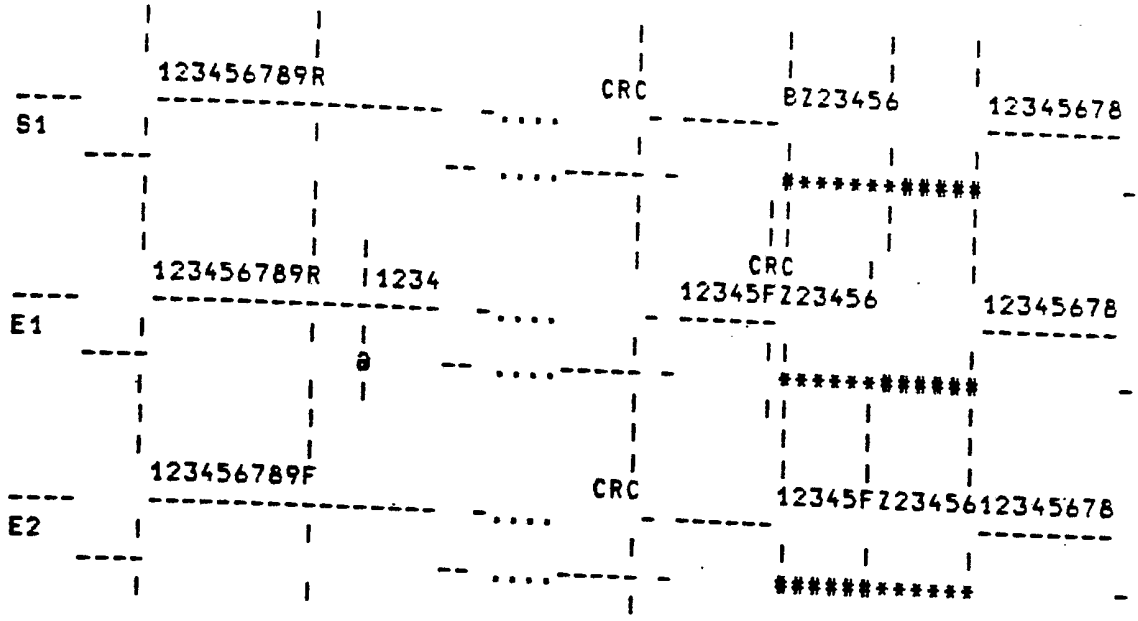
Cas 2 : Réduction de l'indication de longueur,
les récepteurs attendent un message plus court
que celui réellement émis.



Les récepteurs constatent une erreur CRC et fournissent un signal d'erreur. Il en résulte une erreur de bit au niveau de l'émetteur et celui-ci fournit également un signal d'erreur. Après le dernier bit d'état BAS du signal d'erreur et du repos de bus consécutifs (état BUS-LIBRE), on peut commencer une nouvelle transmission ou la répétition du message dérangé.

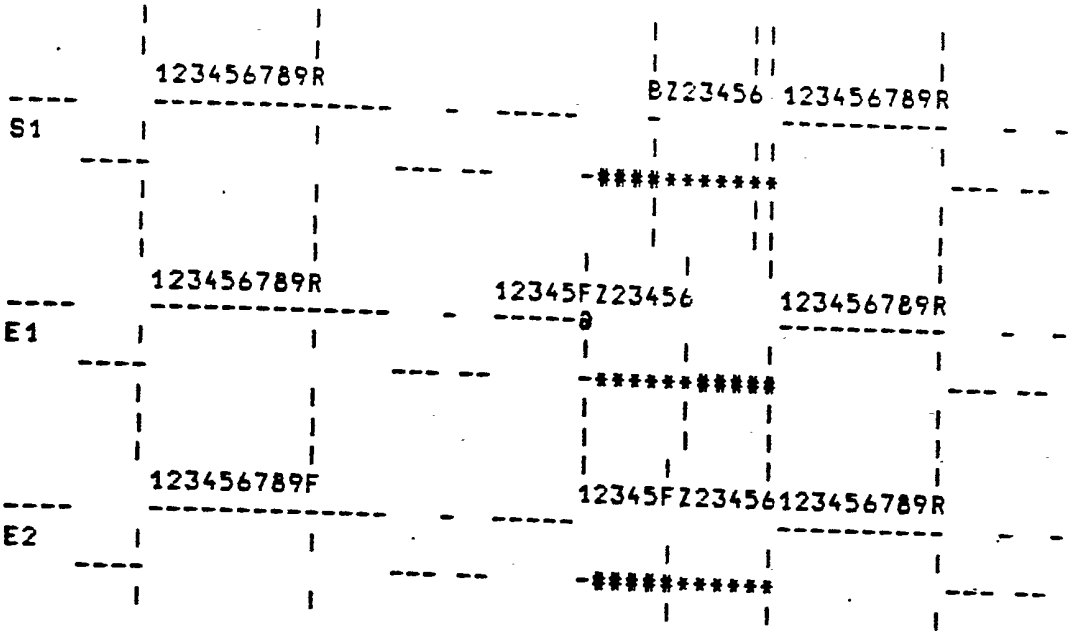
4.6.5.7. L'erreur se présente dans une partie du récepteur mais non dans l'émetteur ou dans le poste souhaitant émetteur.

Erreur de bus dans BUS-LIBRE.



Les récepteurs dérangés reçoivent du fait du dérangement une fausse indication de longueur et mettent ainsi leur contrôle CRC au mauvais endroit. Si le CRC du récepteur dérangé se produit avec un retard de plus de 8 cadences par rapport à la position correcte, les récepteurs reçoivent une nouvelle erreur d'encombrement et fournissent un signal d'erreur. Si le contrôle CRC se produit en moins de 8 cadences après la position correcte, les récepteurs dérangés reconnaissent une erreur CRC et envoient un signal d'erreur. Il en résulte une erreur de bit au niveau de l'émetteur. Les récepteurs non dérangés reçoivent comme signal FIN DE TRAME, une suite de bits non autorisés et ils fournissent également un signal d'erreur. Après le dernier bit d'état BAS du signal d'erreur et du repos de bus consécutifs (état BUS-LIBRE), on peut commencer de nouvelles retransmissions ou la répétition de l'information dérangée.

4.6.5.8. L'erreur se présente dans une partie des récepteurs mais non au niveau de l'émetteur ou du poste souhaitant émettre.
Erreur d'encombrement dans le CHAMP DE DONNEES.



Les récepteurs dérangés reconnaissent une erreur de bit et fournissent un signal d'erreur. Il en résulte une erreur de bit au niveau de l'émetteur et une erreur d'encombrement au niveau des récepteurs non dérangés qui fournissent également un signal d'erreur. Après le dernier bit d'état BAS du signal d'erreur et du repos de bus consécutifs (état BUS-LIBRE), on peut commencer de nouveau une retransmission et la répétition de l'information dérangée.

4.7. PROCESSEUR DE GESTION EN INTERFACE (IMP)

4.7.1. Configuration :

4.7.1.1. Concept général :

4.7.1.1.1. Structure :

Le processeur IMP a les fonctions suivantes :

- échange des données entre CPU et les points de coupure en série par l'utilisation d'une mémoire à deux ports DUAL PORT RAM (DPRAM).
- commande des émissions et des réceptions.

La figure 11 montre le schéma-bloc du composant de points de coupure de type série. Le composant de points de coupure de type série se compose des éléments suivants :

- DPRAM
- IMP
- registre à décalage de type série
- logique de bus
- oscillateur de cadence (horloge).

Les liaisons entre les parties sont indiquées dans le schéma-bloc.

4.7.1.1.2. Priorité des messages :

La priorité dans le processeur IMP est déterminée par l'emplacement des différents messages dans des DPRAM. La priorité sur le bus (arbitrage) est déterminée par l'IDENTIFICATEUR du message.

Le procédé de recherche du message de plus grande priorité à l'intérieur d'un IMP commence à l'adresse la plus basse de DPRAM.

4.7.1.1.3. Filtre d'acceptation :

Chaque information provenant du bus

est contrôlée si elle doit être reçue ou non. Pour cela, on vérifie la liste dans DPRAM, liste qui contient tous les messages qui peuvent être traités par ce processeur IMP. Un message arrivant n'est reçu dans DPRAM que si son IDENTIFICATEUR s'y trouve et si ce message doit également être reçu, ce qui est indiqué par le bit RECEPTION/TRANSMISSION.

4.7.1.1.4. File d'attente des messages qui sont à émettre :

Chaque message qui est à émettre est inscrit dans la mémoire DPRAM par le processeur CPU ; puis, un bit du signal DEMANDE DE TRANSMISSION est mis à l'état. Une opération de recherche trouve le message de priorité la plus élevée qui attend la transmission. Seul ce message est pris en compte dans un registre à décalage de type série pour la transmission. Si ultérieurement, le processeur CPU signale un message plus important qu'il faut transmettre, l'opération de recherche découvre ce message et repousse le premier message. De cette façon, les messages sont transmis en fonction de leur priorité, indépendamment de l'instant de leur arrivée.

4.7.1.1.5. File d'attente pour les messages reçus:

Pour mettre en mémoire dans la mémoire DPRAM des messages reçus, on mettre à l'état automatiquement le bit DEMANDE D'INTERRUPTION. L'opération de recherche trouvera parmi les messages reçus celui qui présentera la priorité la plus élevée et transmettra une interruption au processeur CPU. Si un message plus important est mis en mémoire dans la mémoire DPRAM avant que le processeur CPU ait répondu à l'interrompu à l'interruption, ce message de priorité plus élevée sera pris en compte. Ainsi, on tient compte des messages en fonction de leur priorité, indépendamment de l'instant de leur arrivée.

4.7.1.2. Organisation de la mémoire DPRAM :

La mémoire DPRAM contient les DESCRIPTEURS (IDENTIFICATEUR, SEGMENTS DE CONTROLE) et CHAMPS DE

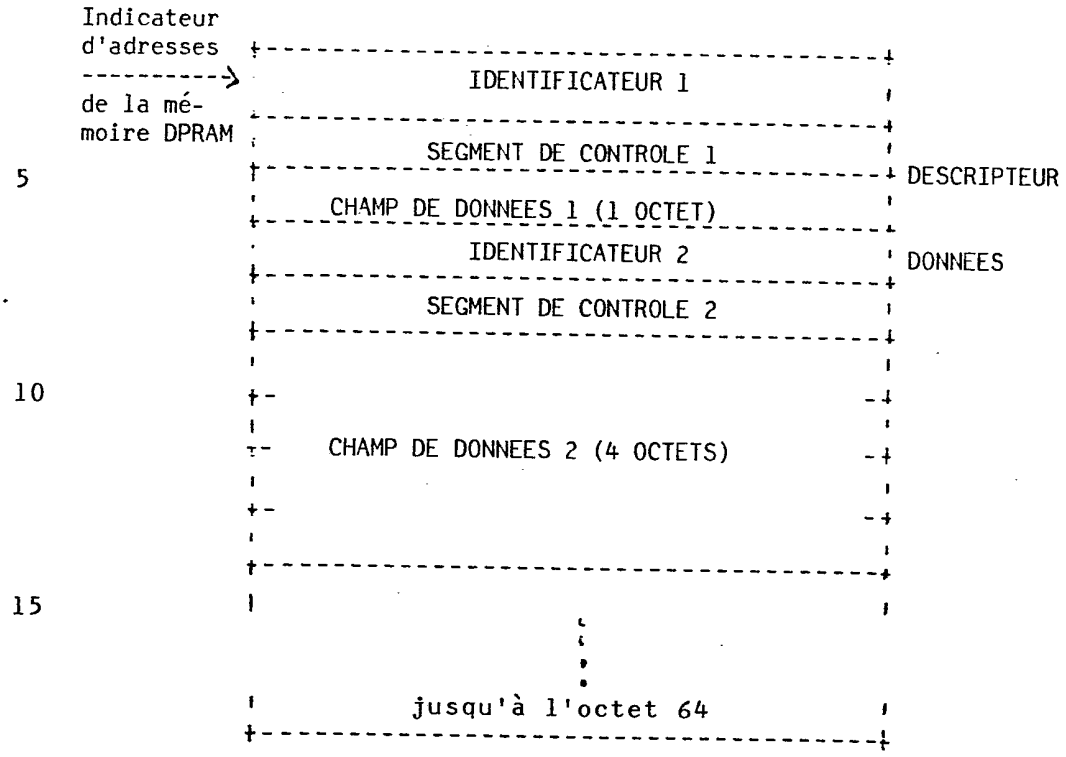
DONNEES de tous les messages qui sont reçus du processeur CPU par le bus ou sont à envoyer par celui-ci. La subdivision de la mémoire DPRAM est indépendante du protocole spécifié.

Possibilités :

- mémoires séparées pour les messages qui arrivent et les messages qui partent,
- mémoires séparées pour les DESCRIPTEURS et pour les CHAMPS DE DONNEES,
- une seule mémoire pour toutes les fonctions.

Dans un premier mode de réalisation, on propose une mémoire pour toutes les fonctions. Les messages peuvent être enregistrés de façon équidistante dans la mémoire. Pour économiser toutefois de l'emplacement de mémoire, il est avantageux d'enregistrer les messages étroitement les uns derrière les autres, avec une longueur de trois à dix octets, en fonction du signal COMPTAGE DES OCTETS DES DONNEES.

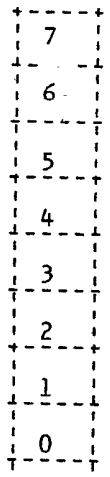
La plus grande des mémoires DPRAM est fixée actuellement à 64 octets. Si les coûts d'intégration diminuent à l'avenir, on pourra augmenter la mémoire. De cette manière, on peut enregistrer en mémoire un nombre plus important de messages ou des messages plus longs (à la fois CHAMP DE DONNEES et DESCRIPTEUR). On peut également enregistrer des messages de rechange pour défaillances d'informations dans la mémoire DPRAM, ce qui simplifierait en cas d'erreurs le programme.



La mémoire DPRAM sert ainsi :

- de mémoire qui en même temps décide s'il faut recevoir des messages qui arrivent (filtre d'acceptation),
- des files d'attente pour les messages qui arrivent et les messages qui partent, en fonction de leur polarité,
- mémoire pour le registre de contrôle de IMP.

4.7.1.3. Organisation de SEGMENT DE CONTROLE :



CODE D'OCTETS DE DONNEES

DEMANDE DE TRANSMISSION

EN ATTENTE

COMPTAGE DE TRANSMISSION

DEMANDE D'INTERRUPTION

AUTORISATION D'INTERRUPTION

RECEPTION/TRANSMISSION

4.7.1.4. Fonctionnement de la mémoire DPRAM :

4.7.1.4.1. CODE D'OCTETS DE DONNEES :

Au cours d'une opération de recherche, il faut que l'indicateur d'adresses de la mémoire DPRAM soit tout d'abord dirigé sur le début d'un message. Si les DESCRIPTEURS et les CHAMPS DE DONNEES sont enregistrés de façon très dense, on peut indiquer le message suivant en augmentant l'indicateur de

2** (COMPTAGE DES OCTETS DE DONNEES) + 2

Pour mieux utiliser les places de mémoire et les messages, on peut réunir plusieurs messages sous un DESCRIPTEUR et transmettre l'ensemble comme un message de grandes dimensions. La dimension maximale d'un bloc est tout d'abord fixée à 8 octets.

La longueur des CHAMPS DE DONNEES s'obtient à partir du CODE DES OCTETS DE DONNEES par la relation :

COMPTAGE DES OCTETS DE DONNEES = 2** CODE DES OCTETS DE DONNEES.

4.7.1.4.2 EN ATTENTE :

Le bit en ATTENTE indique qu'une

transmission ou une routine d'interruption ne sont pas encore terminées. Il est mis automatiquement à l'état lorsque commence une transmission sur le bus ou lorsque le processeur CPU confirme une interruption (chargement de l'indicateur d'interruption). Le bit D'ATTENTE est automatiquement remis à l'état initial après une transmission (que cette transmission ait réussi ou non). Le bit ATTENTE est en outre remis à l'état initial sous la commande du programme par le processeur CPU avec la DEMANDE D'INTERRUPTION ou lors de l'arrivée d'un nouveau message avec le même IDENTIFICATEUR. Si le bit ATTENTE d'un message est mis à l'état, ce message n'est pas pris en compte au cours d'une opération de recherche.

Le bit ATTENTE permet au programmeur de contrôler le processeur CPU à la fin d'une routine d'interruption, si une autre interruption a dérangé la consistance d'un message à plusieurs octets. ***. Si le bit ATTENTE à la fin de la routine d'interruption est toujours à l'état HAUT, cela confirme que le CHAMP DE DONNEES a été traité complétement avant l'arrivée du message suivant.

DEMANDE D'INTERRUPTION	ATTENTE	effet
BAS	BAS	pas d'interruption
BAS	HAUT	pas d'interruption
HAUT	BAS	nouvelle interruption
HAUT	HAUT	confirmation d'interruption

Les opérations se produisent seulement pour AUTORISATION-INTERRUPTION = HAUT. Si l'AUTORISATION -INTERRUPTION a été remise à l'état BAS, le bit ATTENTE n'est plus mis à l'état par la confirmation d'interruption du processeur CPU.

4.7.1.4.3. AUTORISATION D'INTERRUPTION :

Un signal d'AUTORISATION d'INTERRUPTION mis à l'état permet aux DEMANDES D'INTERRUPTION d'être transmises suivant une relation correcte vers le processeur CPU.

Un signal AUTORISATION D'INTERRUPTION non mis à l'état interdit qu'une action d'interruption ne soit signalée au processeur CPU.

4.7.1.4.4. DEMANDE D'INTERRUPTION :

La DEMANDE D'INTERRUPTION est automatiquement mise à l'état HAUT à chaque transmission d'un nouveau message reçu dans la mémoire DPRAM indépendamment de l'état du signal AUTORISATION D'INTERRUPTION. Une DEMANDE D'INTERRUPTION est également mise à l'état si une transmission répétée n'aboutit pas (COMPTAGE-TRANSMISSION = HAUT).

4.7.1.4.5. COMPTAGE-TRANSMISSION :

COMPTAGE-TRANSMISSION : ce signal compte les tentatives de transmission,

COMPTAGE-TRANSMISSION : est un signal qui est remis à l'état initial après une transmission réussie.

DEMANDE DE TRANSMISSION	COMPTAGE-TRANSMISSION	Etat
BAS	BAS	pas de transmission
BAS	HAUT	pas de transmission
HAUT	BAS	première transmission
HAUT	HAUT	seconde transmission

Après la seconde transmission erronée, la DEMANDE D'INTERRUPTION est mise à l'état pour pouvoir laisser le restant du traitement de l'erreur au programme utilisateur.

4.7.1.4.6. DEMANDE DE TRANSMISSION :

Un bit DEMANDE DE TRANSMISSION mis à l'état fait que IMP transmet le message correspondant.

Il y a deux états différents :

a. RECEPTION/TRANSMISSION = BAS (transmission).
Valeur initiale après une remise à l'état. Le message est envoyé. Le signal DEMANDE DE TRANSMISSION est mis à l'état HAUT par le processeur CPU ou par un message arrivant dont le bit DEMANDE DE TRANSMISSION A DISTANCE est mis à l'état.

b. RECEPTION/TRANSMISSION = HAUT (réception).
Tous les messages ainsi caractérisés sont en mode de réception. Comme exception à cet état, en mettant OP à l'état, le signal DEMANDE DE TRANSMISSION envoie un message avec un CHAMP DE DONNEES vide et un signal DEMANDE DE TRANSMISSION A DISTANCE mis à l'état.

4.7.1.4.7. RECEPTION/TRANSMISSION :

Le signal RECEPTION/TRANSMISSION détermine la direction des données.

a. RECEPTION/TRANSMISSION = BAS (transmission).
Valeur initiale après une remise à l'état. Les CHAMPS DE DONNEES dans la mémoire DPRAM sont protégés à l'inscription pour les messages qui arrivent si le signal RECEPTION/TRANSMISSION a été mis à l'état BAS. Les messages sont activés par le signal DEMANDE DE TRANSMISSION à l'état HAUT.

Il y a toutefois une exception :
Si le signal DEMANDE DE TRANSMISSION A DISTANCE = HAUT, dans un message qui arrive, alors le signal DEMANDE DE TRANSMISSION des SEGMENTS DE CONTROLE est mis à l'état HAUT bien que l'on ait RECEPTION/TRANSMISSION = BAS. Le signal DEMANDE DE TRANSMISSION est le seul bit qui a changé au cours de cette opération ; tous les autres bits restent protégés contre l'inscription. Cette opération sert à exiger des messages de la part des autres

participants au bus.

b. RECEPTION/TRANSMISSION = HAUT (réception).
Les messages qui arrivent sont transmis dans le CHAMP DE DONNEES correspondant. Le signal DEMANDE D'INTERRUPTION est automatiquement mis à l'état HAUT à chaque transmission du message correspondant.

4.7.2. Echange des données CPU-DPRAM :

4.7.2.1. Problème de synchronisation :

L'échange des CHAMPS DE DONNEES qui se compose de plusieurs octets peut être effectuer en fonction de l'application sans tenir compte du fonctionnement synchrone. Si les CHAMPS DE DONNEES doivent toutefois être traités de façon synchrone, il faut prévoir une synchronisation propre. Pour diminuer le coût du circuit, on propose actuellement une synchronisation par programme. Dans cette façon de procéder, le processeur CPU a recours à la mémoire DPRAM selon la procédure de "vol de cycles" avec priorité par rapport à toutes les autres tentatives d'accès.

4.7.2.2. Fonctionnement non synchrone :

La mémoire DPRAM est utilisée par le processeur CPU comme extension de mémoire RAM. Pour cela, on n'a besoin d'aucun autre ordre de transmission. Les messages reçus sont simplement inscrits dans la mémoire DPRAM en écrivant sur les messages précédents. Les transmissions sont démarrées par le processeur CPU, par la mise à l'état du signal DEMANDE DE TRANSMISSION dans le SEGMENT DE CONTROLE, qui appartient au CHAMP DE DONNEES transmis. Le signal DEMANDE DE TRANSMISSION peut également être mis à l'état par des processeurs CPU étrangers, par un signal DEMANDE DE TRANSMISSION A DISTANCE.

4.7.2.3. Synchronisation des programmes :

4.7.2.3.1. Demande d'un numéro de séquence :

Si le processeur CPU qui émet utilise

un octet du CHAMP DE DONNEES comme numéro de séquence et qu'il incrémente celui-ci avant la mise à l'état du bit du signal DEMANDE DE TRANSMISSION, le processeur CPU récepteur peut contrôler à l'aide du numéro de séquence si ce numéro a changé après que les données du signal CHAMP DE DONNEES aient été traitées. Si le numéro de séquence a changé, il faut que le processeur CPU, récepteur répète une partie du traitement avec les nouvelles données.

4.7.2.3.2. Interrogation du signal DEMANDE D'INTERRUPTION :

De nouveaux messages qui arrivent mettent automatiquement à l'état le bit du signal DEMANDE D'INTERRUPTION dans le signal SEGMENT DE CONTROLE correspondant. Même si le processeur CPU n'a été informé d'aucune interruption du fait de la situation AUTORISATION D'INTERRUPTION = BAS, le signal DEMANDE D'INTERRUPTION est remis à l'état avant chaque traitement d'un message et après le traitement, on vérifie que ce signal n'a pas été mis à l'état entre temps.

4.7.2.3.3. Traitement d'interruption commandé :

Le processeur CPU, récepteur peut mettre à l'état le bit AUTORISATION D'INTERRUPTION du message à recevoir dans le SEGMENT DE CONTROLE. De nouveaux messages qui arrivent mettent à l'état le bit du signal DEMANDE D'INTERRUPTION et mettent en même temps, automatiquement le bit ATTENTE au niveau BAS. Une interruption la plus importante est signalée par le processeur CPU. La mise en oeuvre du processeur CPU met automatiquement le bit ATTENTE au niveau HAUT. Avant que le processeur CPU n'ait remis à l'état initial les deux signaux (DEMANDE D'INTERRUPTION et ATTENTE) à la fin du traitement d'interruption, le processeur interroge le bit ATTENTE. Si le bit ATTENTE est toujours au niveau HAUT, le message suivant n'est pas arrivé dans le traitement d'interruption.

4.7.2.3.4. Transmission d'un bloc :

Pour pouvoir traiter en synchronisme des CHAMPS DE DONNEES, ceux-ci peuvent être transmis par bloc vers et à partir du processeur CPU. Il faut disposer d'un emplacement de mémoire RAM suffisant pour la double mise en mémoire ainsi rendue nécessaire.

a. Emission :

Au début, on vérifie le signal DEMANDE DE TRANSMISSION qui sert de sémaphore variable. S'il est remis à l'état initial, le signal CHAMP DE DONNEES est transmis octet par octet par CPU-RAM dans la mémoire DPRAM. Puis, le signal DEMANDE DE TRANSMISSION est mis à l'état.

ATTENTION : Au cours de cette procédure, dans le cas d'un bit DEMANDE DE TRANSMISSION A DISTANCE mis à l'état, on ne peut pas garantir une synchronisation correcte.

b. Réception :

Avant que ne commence la routine d'interruption proprement dite, on transmet par bloc le signal CHAMP DE DONNEES dans CPU-RAM comme sous 4.7.2.4.2.. Cela réduit considérablement le risque que les données soient incohérentes, car le segment de temps critique de l'ensemble du traitement de l'interruption a été réduit à la transmission du bloc du signal CHAMP DE DONNEES.

4.7.2.3.5. Double tampon de réception :

Pour des messages importants, on peut prévoir deux emplacements de mémoire dans la mémoire DPRAM. Un IDENTIFICATEUR apparaît alors deux fois dans la mémoire DPRAM. Le programme utilisateur peut alors commuter des messages arrivant d'un emplacement dans la mémoire DPRAM sur un autre en changeant les bits correspondants RECEPTION/TRANSMISSION, puis en confirmant l'interruption. Dans cette façon de procéder, dans un emplacement de mémoire, le bit du signal RECEPTION/TRANSMISSION est au niveau HAUT et est ainsi prêt à recevoir le message cor-

respondant et dans l'autre emplacement de mémoire pour le même IDENTIFICATEUR, le bit du signal RECEPTION/TRANSMISSION est au niveau BAS et ainsi le message qui vient d'être transmis doit être protégé contre l'inscription.

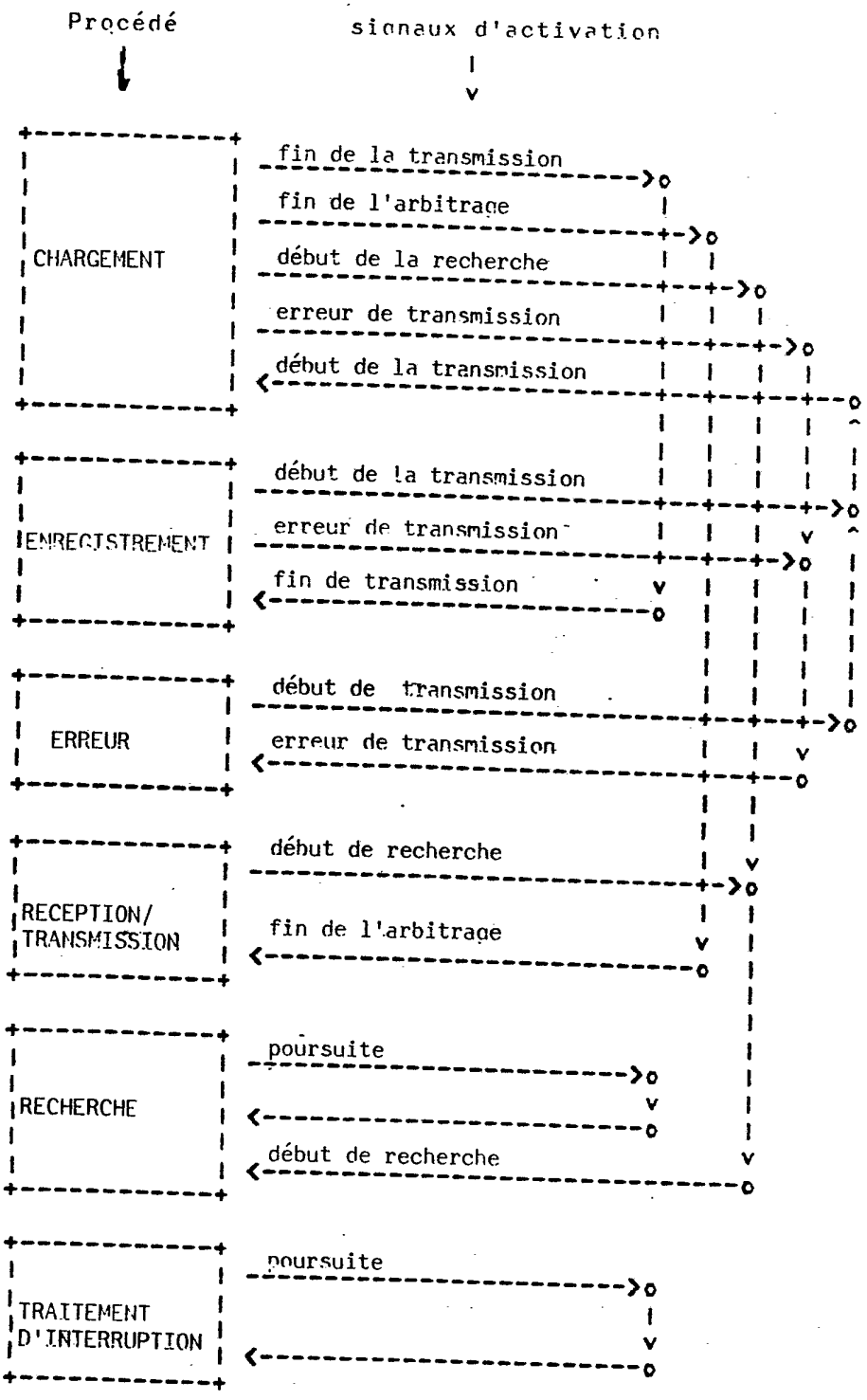
4.7.2.4. Synchronisation des circuits :

Comme condition pour une synchronisation des circuits, il faut que le processeur CPU permette une transmission rapide par bloc avec possibilité d'accès direct en mémoire DMA et un traitement de sémaphore non interruptible. L'accès à la mémoire DPRAM est protégé par un accès alterné réglé par un bit de sémaphore par le processeur CPU et IMP contre une transmission non cohérente d'un bloc. Entre la fin d'une transmission et le début d'une nouvelle transmission, il faut prévoir suffisamment de temps. Dans le cas le plus défavorable, il faut que IMP attende aussi longtemps que le processeur CPU ait terminé une transmission de bloc. Le processeur CPU doit attendre dans le cas le plus défavorable jusqu'à ce que IMP ait enregistré un message reçu dans la mémoire DPRAM et que le message suivant qu'il faut transmettre soit chargé dans des registres à décalage de type série.

4.7.3. Echange de données DPRAM - Registres à décalage :

4.7.3.1. Procédé de commande en parallèle :

L'échange des données entre la mémoire DPRAM et des registres à décalage en série est commandé par plusieurs procédés en parallèle dont le fonctionnement sera décrit ultérieurement. Un procédé est initialisé et ainsi passe à l'état actif par un signal d'activation. A l'état actif, chaque procédé peut envoyer d'autres signaux d'activation qui arrivent à d'autres procédés. L'envoi d'un signal d'activation ne signifie pas nécessairement que le procédé-source doit être simultanément désactivé. L'ensemble de la commande contient les procédés et signaux d'activation suivants :



Signaux d'activation :

- fin de la transmission :
signal final à la fin d'une transmission terminée sans erreur. Il est mis à l'état lors du passage de l'état TRANSMISSION-FIN-DE-TRAME à l' état TEST-INTERMISSION pour un bus de cadences. - Fin de l'arbitrage :
signal à la fin de l'opération d'arbitrage ; après l'arrivée de ce signal, l'accès au BUS est réglé (émission ou réception). Mise à l'état à la fin de la transmission de l'IDENTIFICATEUR pour une cadence de bus.
- démarrage recherche :
signal de démarrage pour l'opération RECHERCHE à partir du début de la mémoire DPRAM pour une nouvelle opération de recherche ; se produit à la fin de l'opération RECEPTION/TRANSMISSION.
- erreur de transmission :
signal d'erreur de l'opération de transmission. Mise à l'état pour une cadence de bus, si un signal d'erreur est transmis par le bus.
- début de la transmission :
signal de départ pour l'opération CHARGEMENT ; se produit à la fin de l'opération ENREGISTREMENT ou de l'opération ERREUR.
- poursuite :
nouveau départ pour des procédés sans fin.

Les procédés sont décrits ci-après en utilisant la structure habituelle de diagrammes de commande comme ceux utilisés dans les langages ALGOL ou PASCAL et selon lesquels on travaille dans la littérature de l'informatique.

4.7.3.2. Procédé CHARGEMENT :

Le procédé CHARGEMENT charge le message suivant à transmettre dans le registre à décalage de type série. Si aucune message à transmettre n'est présent, on commence l'opération RECHERCHE. Si l'opération RECHERCHE trouve lorsque le BUS est encore occupé, éventuelle-

ment un second message à priorité plus élevée dans la file d'attente que dans les procédés de transmission, ce message passe avant les messages trouvés précédemment.

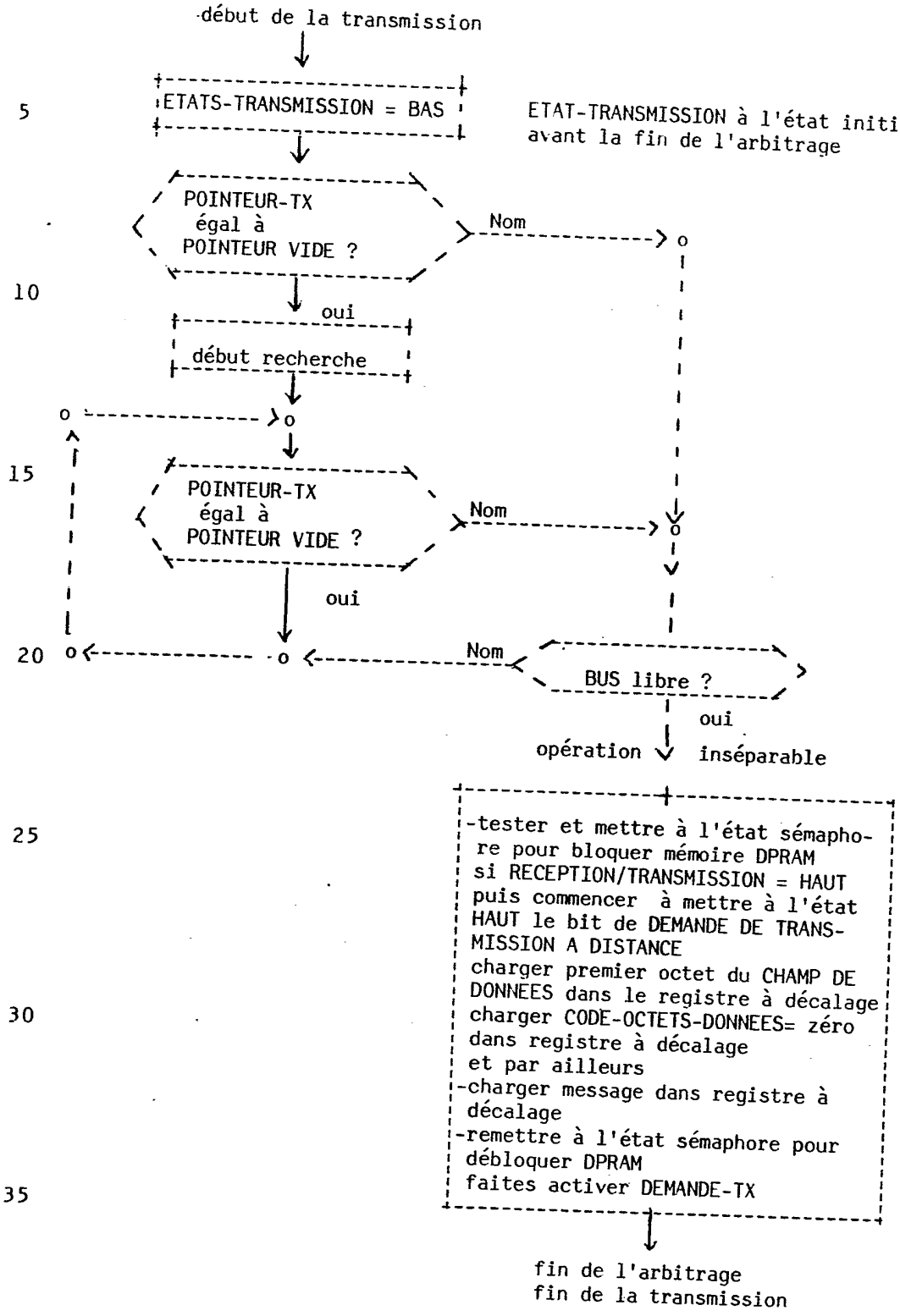
Bus libre :

Bus libre est vrai pendant la transmission des signaux SEGMENTS DE MESSAGE, DEBUT DE TRAME, IDENTIFICATEUR, CHAMP DE CONTROLE, CHAMP DE DONNEES, CHAMP CRC et CHAMP ACK.

Etat TRANSMISSION :

Il doit être mis à l'état à la fin de l'arbitrage (état HAUT) ou être remis à l'état initial (état BAS).

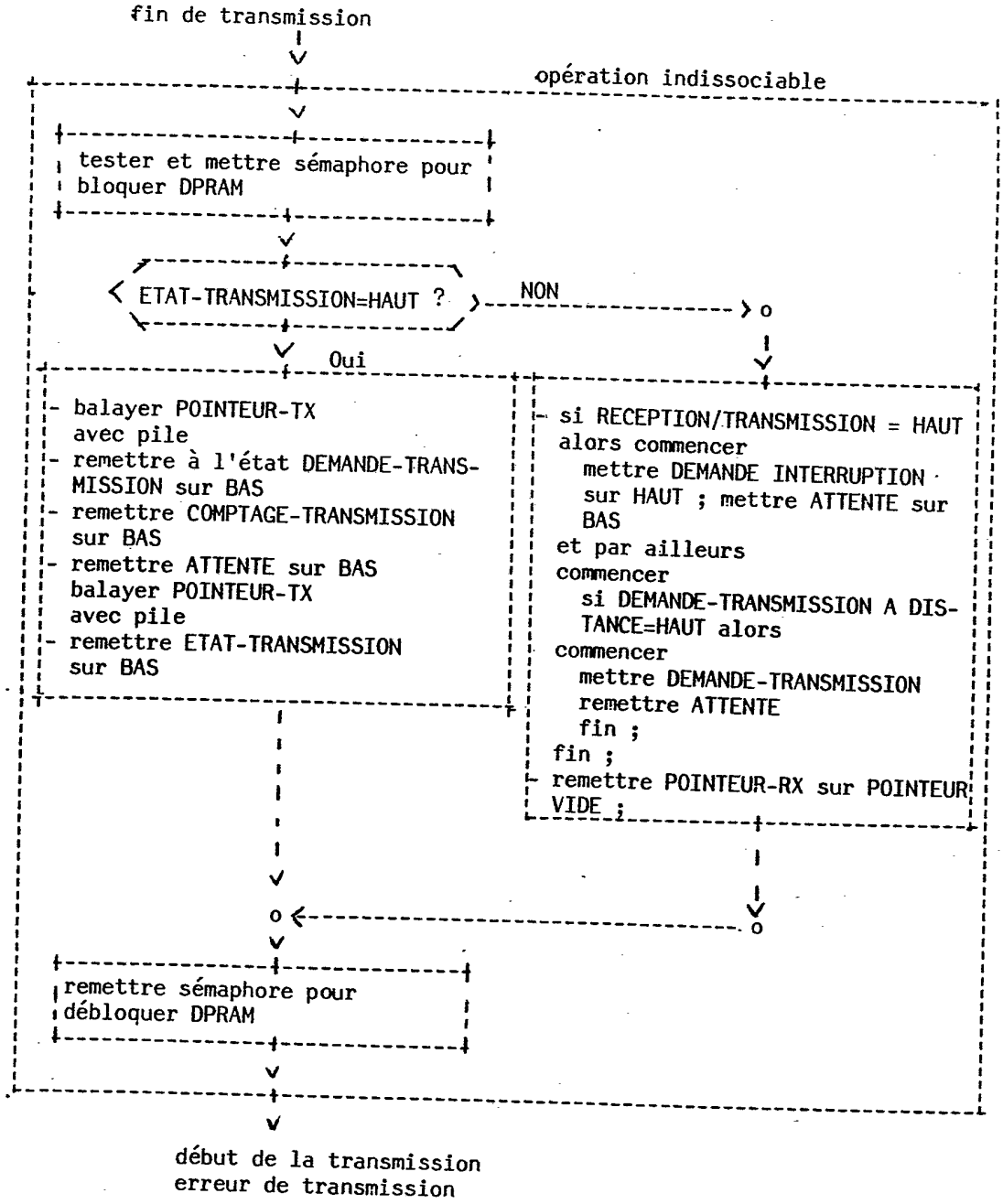
Initialisation : ETAT TRANSMISSION = BAS



Erreur de transmission

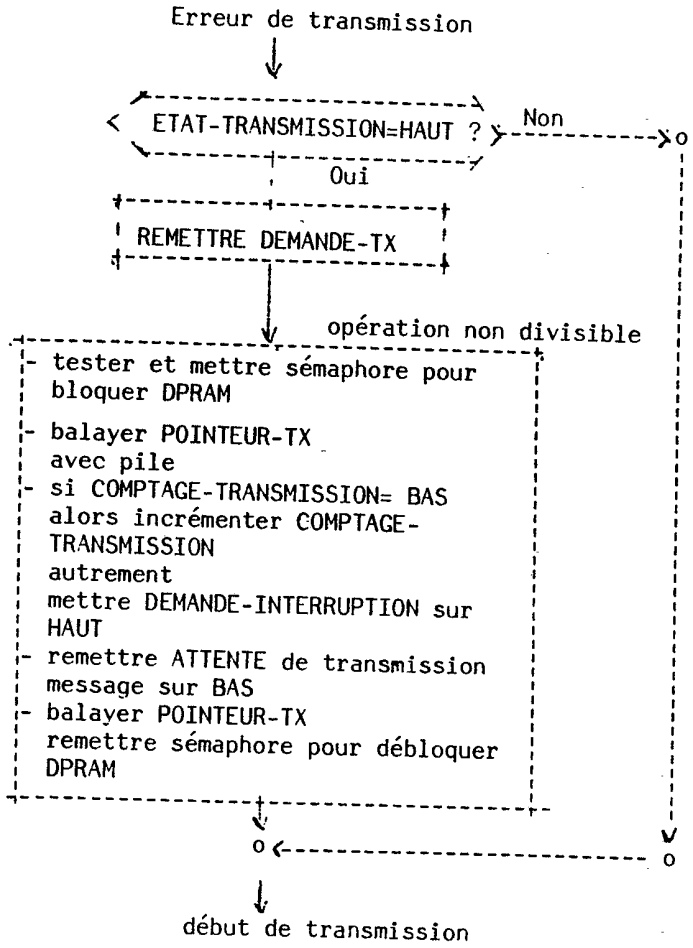
4.7.3.3. Procédé ENREGISTREMENT :

Le procédé ENREGISTREMENT met en mémoire soit un message reçoit, soit qu'il gère les bits du signal DEMANDE DE TRANSMISSION et ATTENTE des messages envoyés. Le signal de fin de transmission n'arrive que si une transmission a réussi sans erreur. Dans le cas d'une erreur, on a un signal d'erreur de transmission.


fin de transmission
opération indissociable
tester et mettre sémaphore pour bloquer DPRAM
ETAT-TRANSMISSION=HAUT ?
NON
Oui
- balayer POINTEUR-TX avec pile
- remettre à l'état DEMANDE-TRANSMISSION sur BAS
- remettre COMPTAGE-TRANSMISSION sur BAS
- remettre ATTENTE sur BAS
balayer POINTEUR-TX avec pile
- remettre ETAT-TRANSMISSION sur BAS
si RECEPTION/TRANSMISSION = HAUT alors commencer
mettre DEMANDE INTERRUPTION sur HAUT ; mettre ATTENTE sur BAS
et par ailleurs commencer
si DEMANDE-TRANSMISSION A DISTANCE=HAUT alors commencer
mettre DEMANDE-TRANSMISSION
remettre ATTENTE
fin ;
fin ;
remettre POINTEUR-RX sur POINTEUR VIDE ;
remettre sémaphore pour débloquer DPRAM
début de la transmission
erreur de transmission

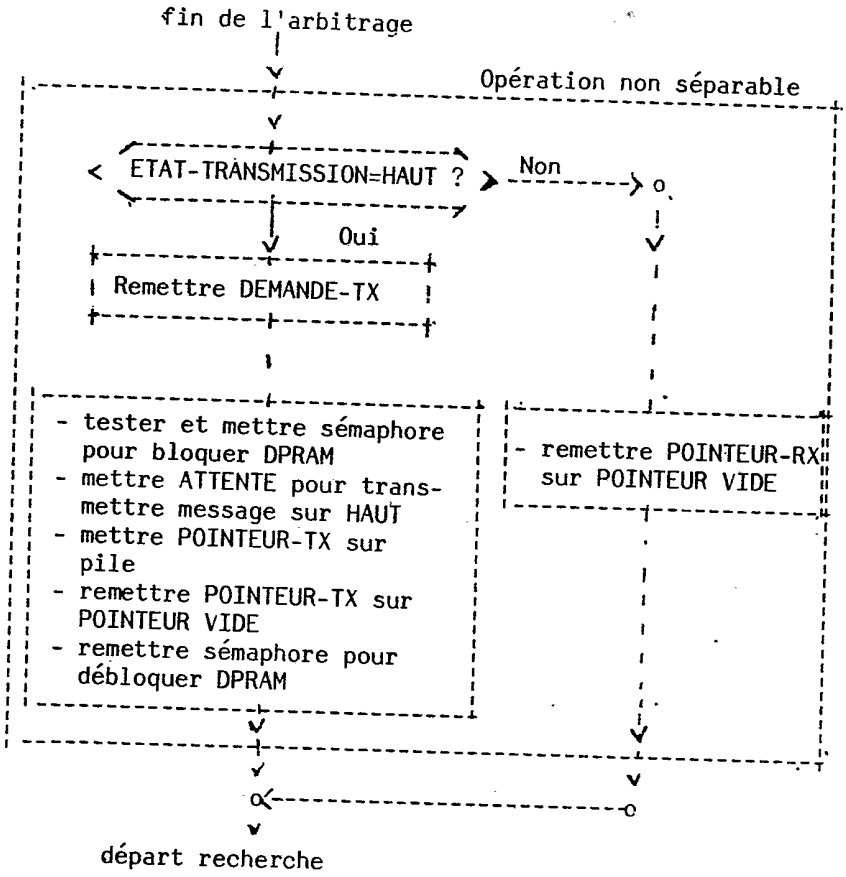
4.7.3.4. Procédé -ERREUR :

Le procédé erreur compte en cas d'erreur COMPTAGE-TRANSMISSION dans le sens du comptage ou encore il met à l'état un signal DEMANDE DE TRANSMISSION au cas d'une seconde transmission n'ayant pas abouti. En fait, on ne continue pas le traitement d'un message reçu dans le cas d'une erreur.



4.7.3.5. Procédé RECEPTION/TRANSMISSION :

Au cas où l'arbitrage réussit, le bit ATTENTE qui appartient au message qui vient d'être transmis est mis sur HAUT et le signal POINTEUR-TX correspondant est chargé dans la pile. Le procédé RECEPTION/TRANSMISSION remet suivant la fin de l'arbitrage, le POINTEUR-TX ou le POINTEUR-RX sur un indicateur d'adresses vide avant d'activer le procédé RECHERCHE par un démarrage de recherche.

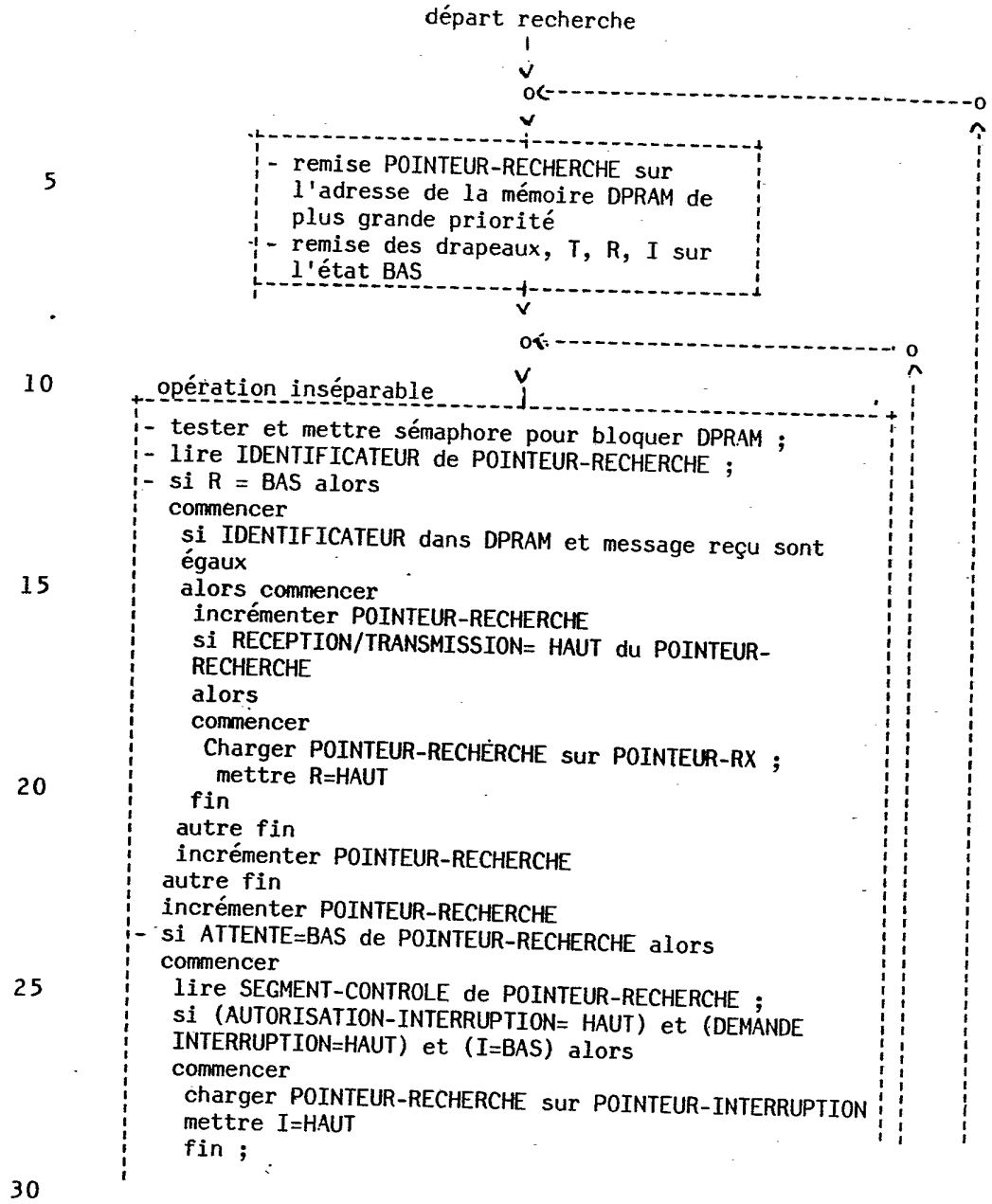


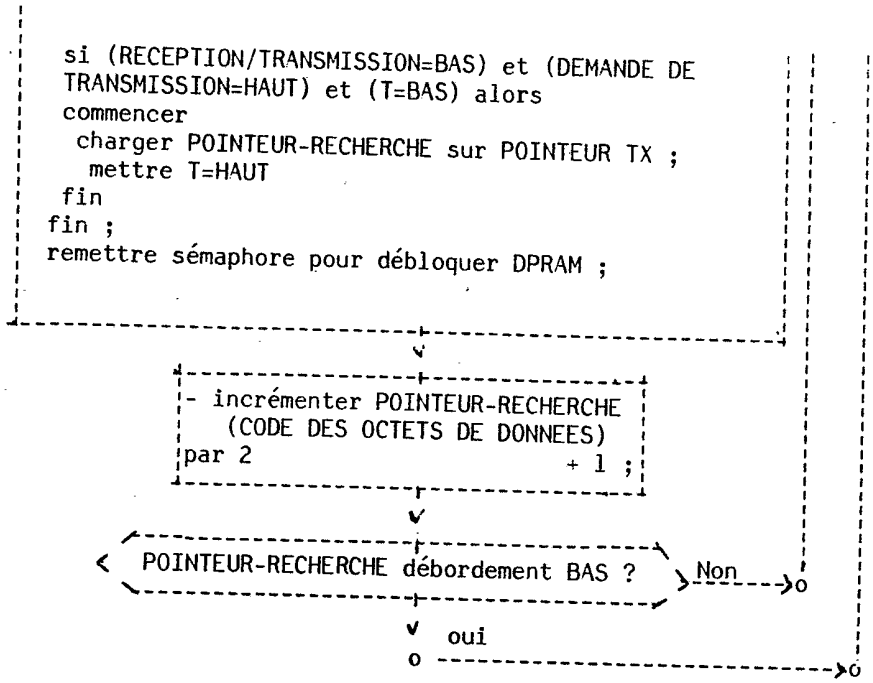
4.7.3.6. Opération RECHERCHE :

L'opération de recherche effectue en permanence la recherche des indicateurs d'adresses de la mémoire DPRAM pour :

- les messages à transmettre (POINTEUR-TX), si le signal DEMANDE DE TRANSMISSION a été mis,
- pour les messages à recevoir (POINTEUR-RX), c'est-à-dire si l'IDENTIFICATEUR reçu est contenu dans la mémoire DPRAM,
- des messages qui doivent déclencher une demande d'interruption dans le processeur CPU, c'est-à-dire dans lesquels les signaux DEMANDE D'INTERRUPTION et AUTORISATION D'INTERRUPTION sont mis à l'état.

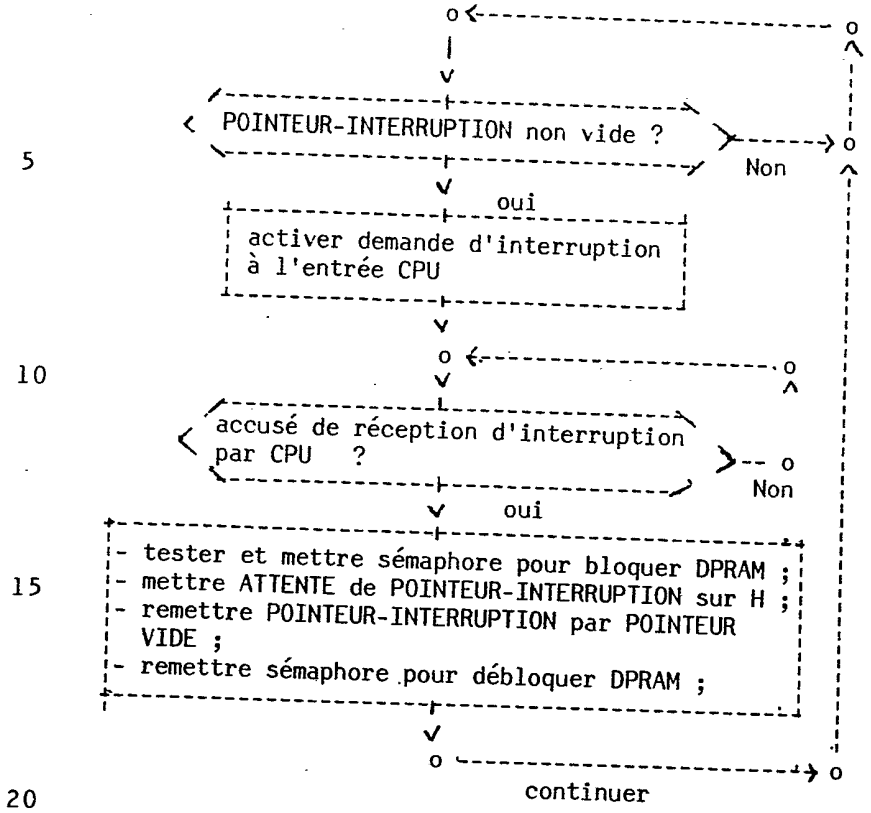
Le procédé de RECHERCHE est remis à l'état initial par le départ de recherche sur le message de plus grande priorité au début de la mémoire DPRAM si les déroulements en temps réel de la transmission sur le BUS l'exigent. La recherche d'un message d'ensemble peut se réaliser sous la forme d'une opération indivisible. Dans chaque période de cadence, l'opération RECHERCHE peut être retenue par un accès à la mémoire DPRAM par le processeur CPU en travaillant selon le procédé de vol de cycles et être retardée d'une période de cadence. Après la fin d'une opération non divisible, le procédé RECHERCHE peut être exclu de l'accès à la mémoire DPRAM par un procédé de priorité plus élevée, jusqu'à ce que les variables de sémaphore soient elles-mêmes de nouveau misés à l'état par le procédé RECHERCHE.


départ recherche
- remise POINTEUR-RECHERCHE sur l'adresse de la mémoire DPRAM de plus grande priorité
- remise des drapeaux, T, R, I sur l'état BAS
opération inséparable
- tester et mettre sémaphore pour bloquer DPRAM ;
- lire IDENTIFICATEUR de POINTEUR-RECHERCHE ;
- si R = BAS alors
commencer
si IDENTIFICATEUR dans DPRAM et message reçu sont égaux
alors commencer
incrémenter POINTEUR-RECHERCHE
si RECEPTION/TRANSMISSION= HAUT du POINTEUR-RECHERCHE
alors
commencer
Charger POINTEUR-RECHERCHE sur POINTEUR-RX ;
mettre R=HAUT
fin
autre fin
incrémenter POINTEUR-RECHERCHE
autre fin
incrémenter POINTEUR-RECHERCHE
- si ATTENTE=BAS de POINTEUR-RECHERCHE alors
commencer
lire SEGMENT-CONTROLE de POINTEUR-RECHERCHE ;
si (AUTORISATION-INTERRUPTION= HAUT) et (DEMANDE INTERRUPTION=HAUT) et (I=BAS) alors
commencer
charger POINTEUR-RECHERCHE sur POINTEUR-INTERRUPTION
mettre I=HAUT
fin ;



4.7.3.7. Procédé TRAITEMENT-INTERRUPTION :

Le procédé TRAITEMENT-INTERRUPTION conduit les interruptions des messages reçus ou de messages erronés transmis plusieurs fois vers le processeur CPU. On transmet chaque fois l'interruption de priorité la plus élevée suivant l'association dans la mémoire DPRAM vers le processeur CPU. Le procédé TRAITEMENT-INTERRUPTION se déroule de façon ininterrompue en parallèle aux autres procédés. La valeur initiale du pointeur d'interruption est l'indicateur d'adresses vide.



4.7.4. Commande de l'accès à la mémoire DPRAM :

4.7.4.1. Synchronisation d'accès :

Les accès à la mémoire DPRAM sont réglés par une variable de sémaphore. Celle-ci assure l'accès non divisible aux octets qui se correspondent dans les CHAMPS DE DONNEES et dans les SEGMENTS DE CONTROLE. Les autres accès sont bloqués jusqu'à ce que la variable de sémaphore soit remise à l'état. Cela protége la cohérence des CHAMPS DE DONNEES qui ont une longueur supérieure à un octet. Si l'on veut essayer d'autres procédés qui mettent simultanément à l'état la variable de sémaphore, on applique le schéma de priorité suivant :

a. ENREGISTREMENT
b. CHARGEMENT
c. ERREUR
d. TRAITEMENT-INTERRUPTION
e. RECEPTION/TRANSMISSION
f. RECHERCHE.

Le processeur CPU est exclu de la gestion d'accès par des sémaphores. Il a toujours la priorité immédiate par le vol de cycles par rapport aux autres accès. Il est clair que cette réglementation peut le cas échéant déranger la cohérence des données pour les accès au processeur CPU. Pour éviter cela, il faut de façon connue inclure également les processeurs CPU dans la réglementation d'accès par les sémaphores. Mais cela nécessite des ordres particuliers pour le traitement non séparé des sémaphores qui ne peuvent pas être réalisés actuellement par les processeurs CPU disponibles sur le marché.

4.7.4.2 : Indicateur d'adresses de mémoire DPRAM :

On accède à partir de différentes sources à la mémoire DPRAM par le processeur CPU et suivant des procédés parallèles. Les adresses viennent ainsi de :

- adresses CPU
- POINTEUR VIDE :
  indicateur d'adresses qui indique une adresse vide c'est-à-dire qui n'est pas remplie par des messages ayant un sens. Si un indicateur d'adresses est égal au POINTEUR VIDE, cela est interprété comme une absence de message correspondante.
- POINTEUR-RECHERCHE :
  indicateur d'adresses du procédé RECHERCHE.
- POINTEUR TX :
  indicateur d'adresses qui indique le message à envoyer. Au cas où aucun message n'est à envoyer,

on a POINTEUR-TX = POINTEUR VIDE.

- POINTEUR RX :

indicateur d'adresses qui indique le message à recevoir. Dans le cas où il n'y a pas de messages à recevoir, on a POINTEUR RX = POINTEUR VIDE.

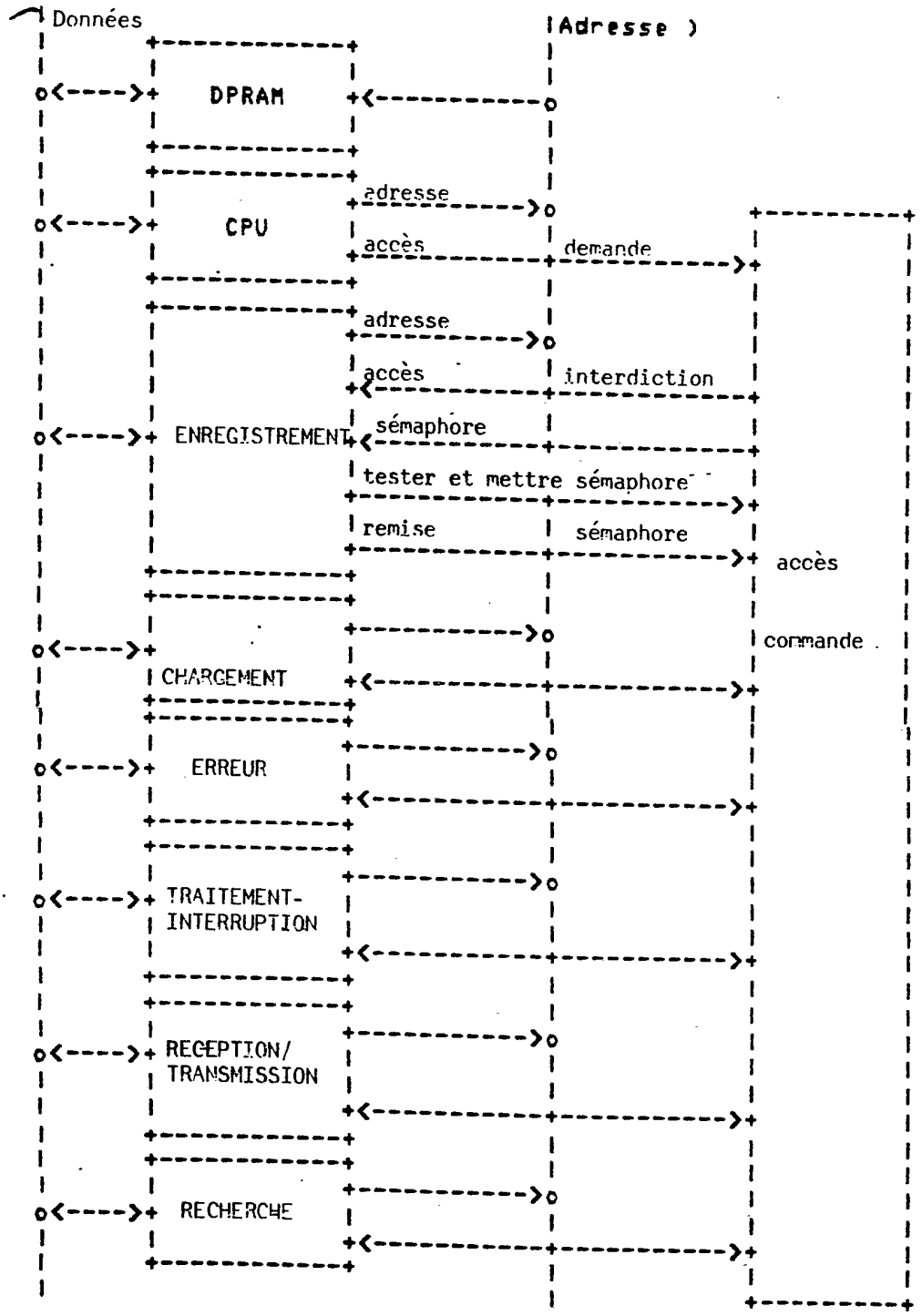
- POINTEUR D'INTERRUPTION :

indicateur d'adresses qui indique le message qui a une demande d'interruption pour le processeur CPU. Dans le cas où il n'y a pas demande d'interruption, on a POINTEUR-INTERRUPTION = POINTEUR VIDE.

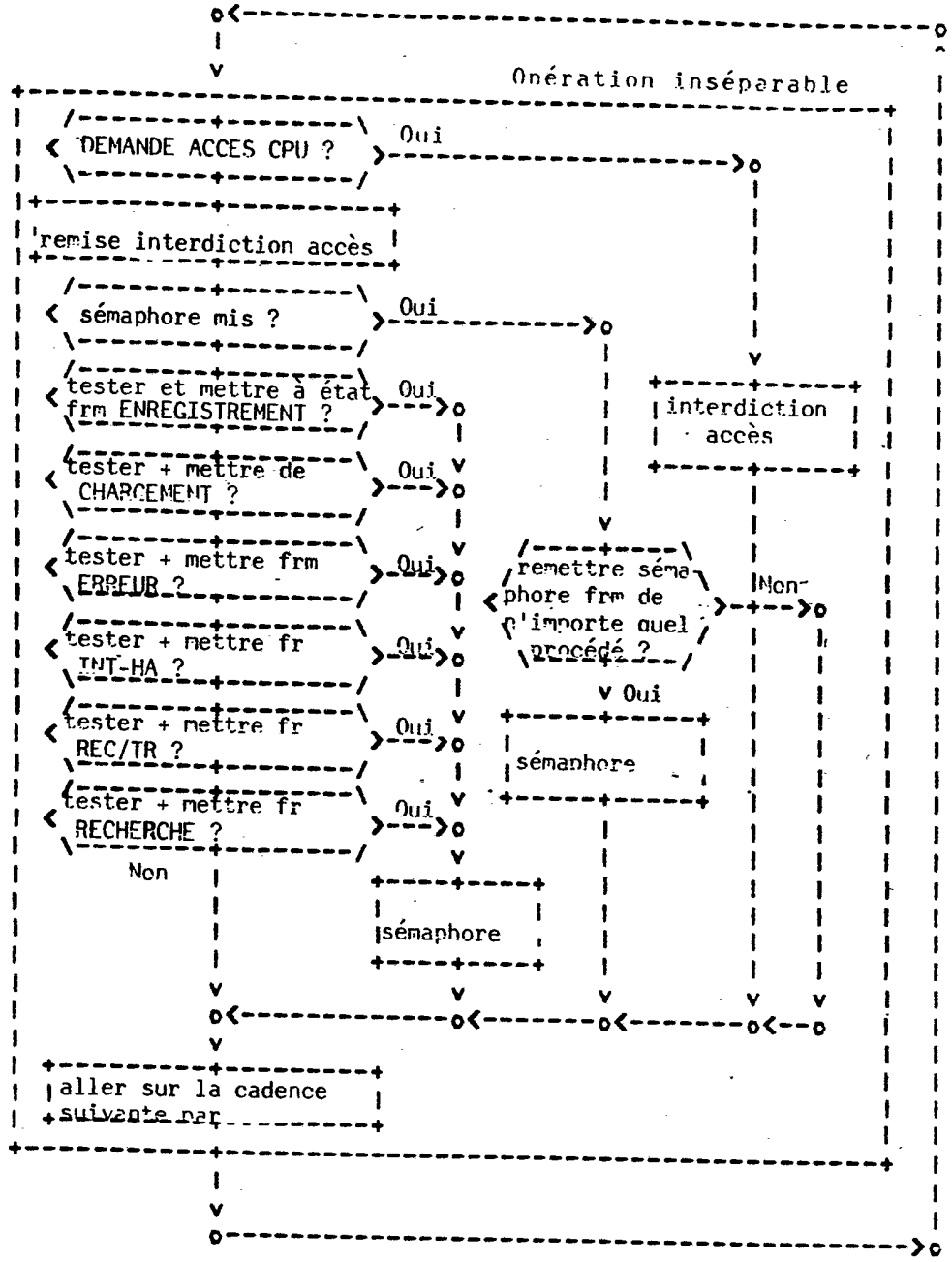
Les indicateurs d'adresses (POINTEURS) sont traités dans différents procédés pour obtenir les adresses DPRAM auxquelles on enregistre des données ou auxquelles on veut lire des données. Les accès DPRAM réels par l'indicateur d'adresses sont organisés en fonction de leur priorité. Des accès non divisibles à plusieurs octets se font à l'aide de variables de sémaphores qui bloquent l'accès à tous les procédés à l'exception du procédé qui lui-même a mis à l'état la variable de sémaphore.

4.7.4.3 : Commande de priorité :

Comme déjà décrit, l'accès au processeur CPU est ordonné dans la mémoire DPRAM et la mise à l'état des variables de sémaphore suivant les priorités. Un procédé ne peut appliquer son adresse à l'entrée d'adresse de la mémoire DPRAM que si le processeur CPU ne veut d'accéder (aucune demande d'accès et c'est pourquoi aucune interdiction d'accès) et si la variable de sémaphore n'est pas occupée par un autre procédé (sémaphore = BAS). Les branchements de CHARGEMENT, ERREUR, TRAITEMENT-INTERRUPTION, RECEPTION/TRANSMISSION et RECHERCHE sont comme pour ENREGISTREMENT et ne sont pas représentés de façon détaillée.


Données
Adresse
DPRAM
CPU
ENREGISTREMENT
CHARGEMENT
ERREUR
TRAITEMENT-
INTERRUPTION
RECEPTION/
TRANSMISSION
RECHERCHE
adresse
accès
demande
adresse
accès
interdiction
sémaphore
tester et mettre sémaphore
remise
sémaphore
accès
commande

Un mode de réalisation du bloc "commande accès" du schéma ci-dessus est donné dans l'ordinogramme suivant qui est parcouru au cours de chaque période de cadence.



Dans l'ordinogramme ci-dessus, on a utilisé les abréviations suivantes :

- INT-HA pour TRAITEMENT-INTERRUPTION
- REC/TR pour RECEPTION/TRANSMISSION et
- per pour période

5. dessins

5.1. Exemple de réalisation pour la structure linéaire de bus.

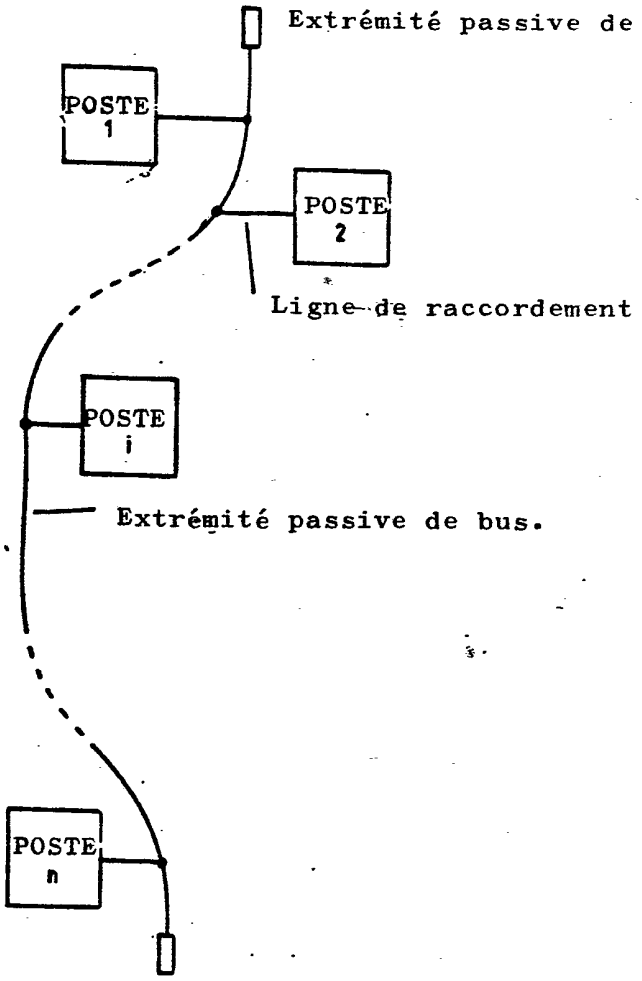


Figure 1

5.2 Exemple de commande asymétrique de bus à couplage galvanique.

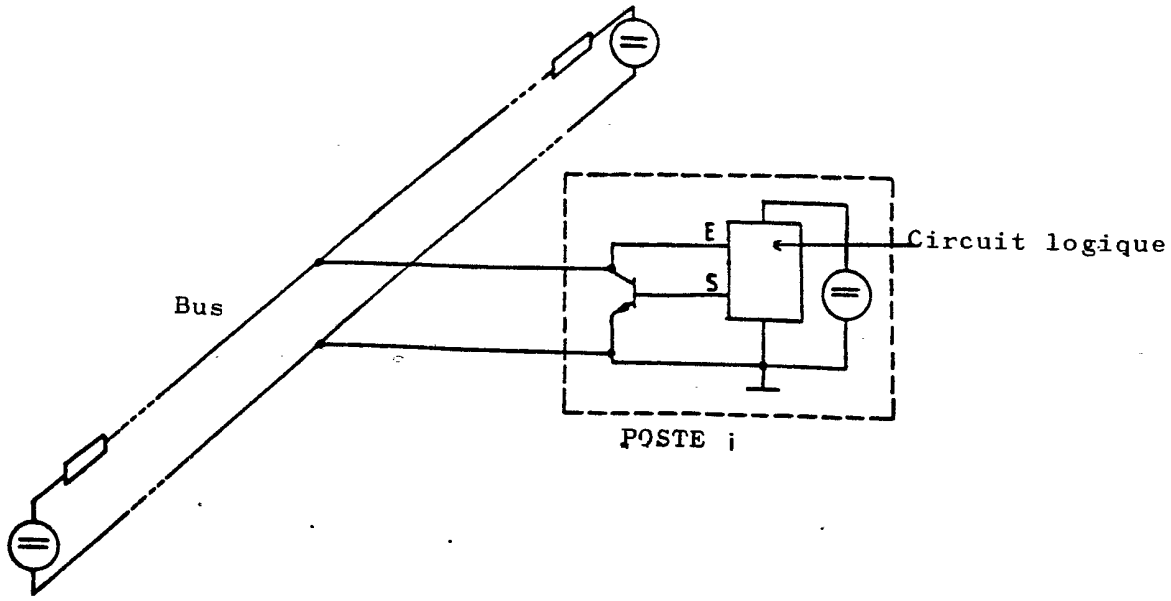
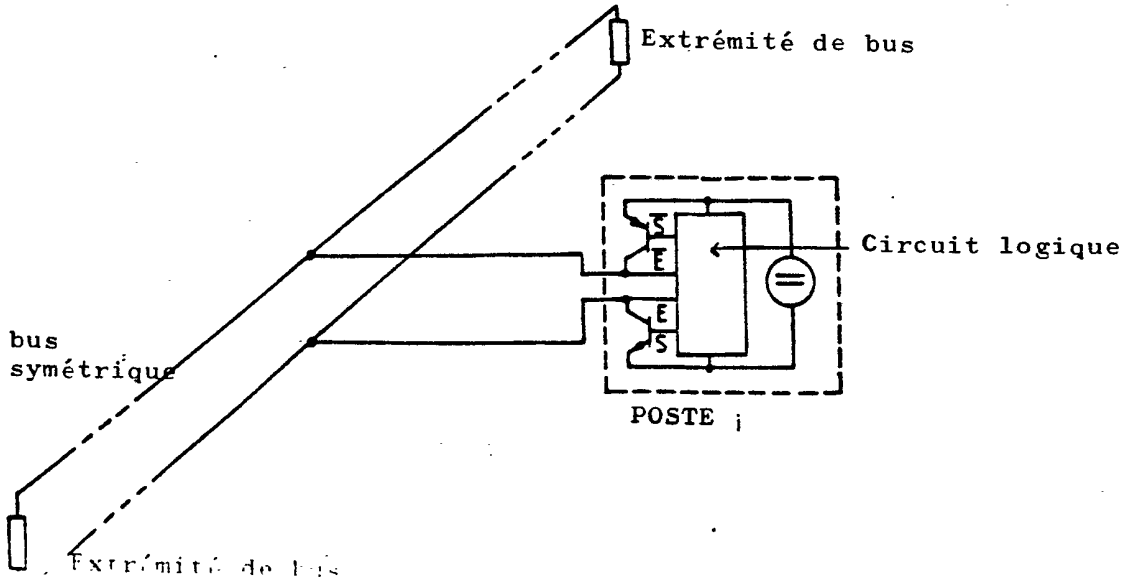


Figure 2

Exemple de commande asymétrique de bus à couplage galvanique.



Extrémité de bus

5.4 : Exemple de commande symétrique par transmetteur à coupure galvanique

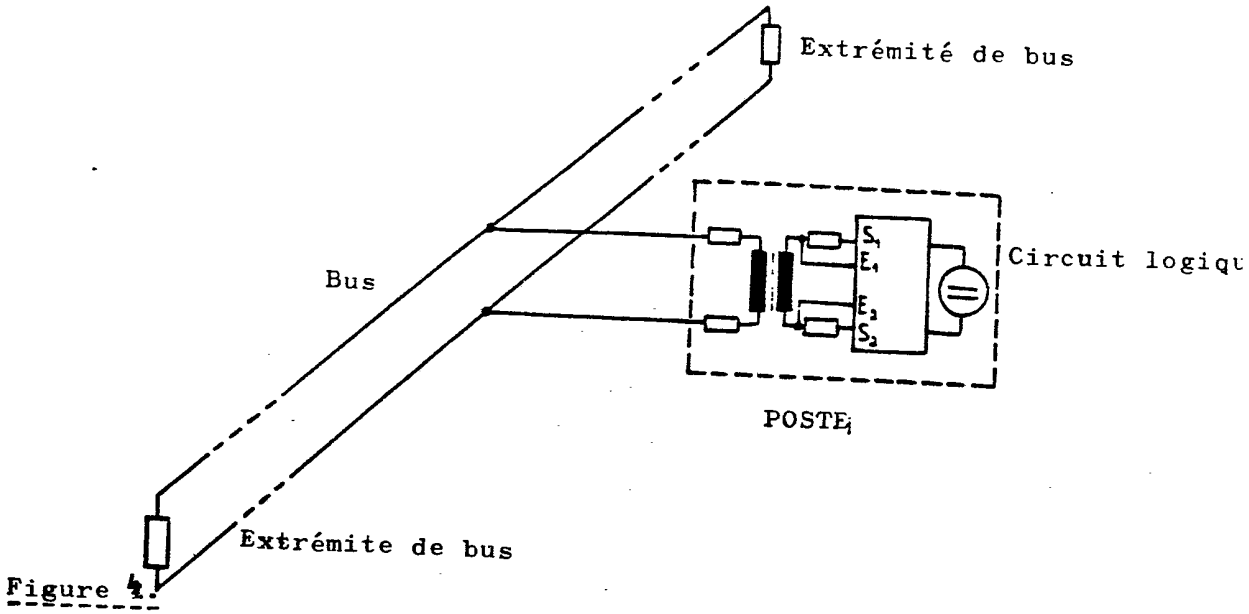


Figure 4.

5.5. Exemple de réalisation pour une étoile à conducteurs optiques.

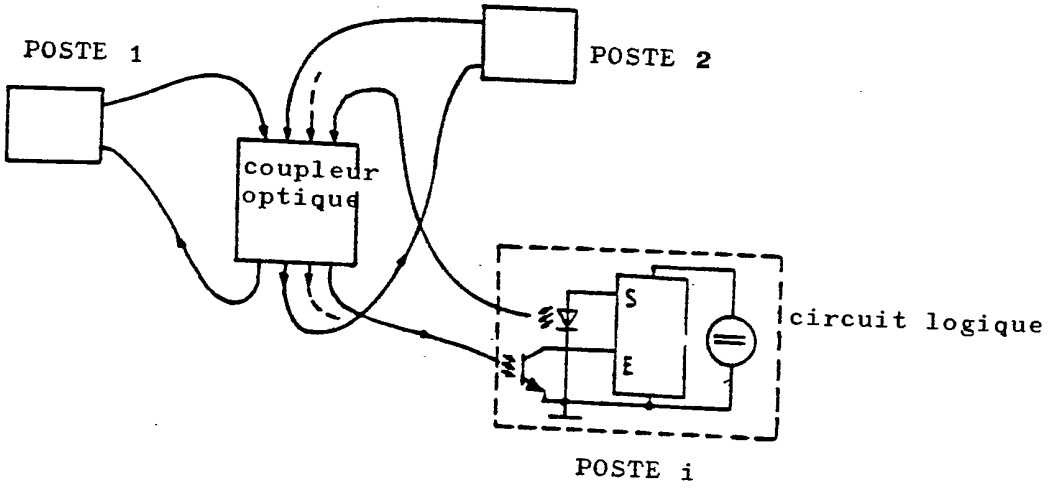


Figure 5.

5.6. : Exemple de réalisation d'un bus à fibres optiques :

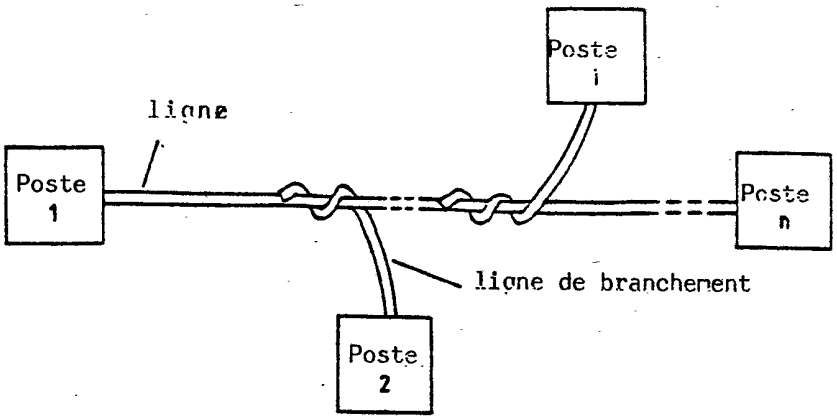


Figure 6

5.7. : Structure d'un message :

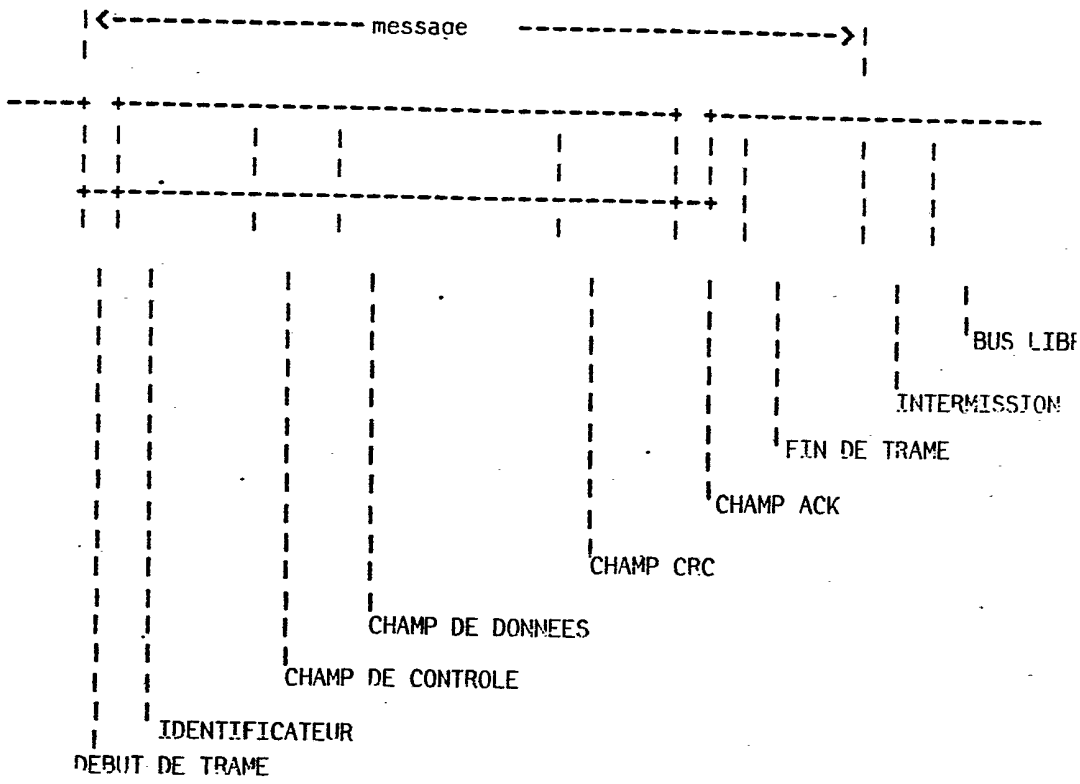


Figure 7

5.8. Structure de CHAMP DE CONTROLE :

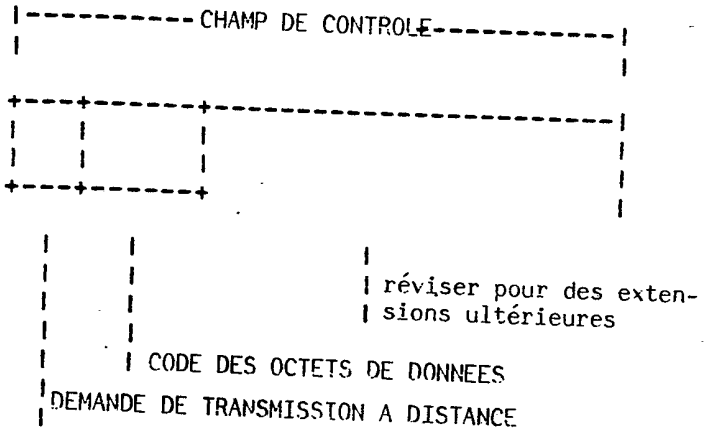


Figure 8

5.9. : Structure CHAMP CRC :

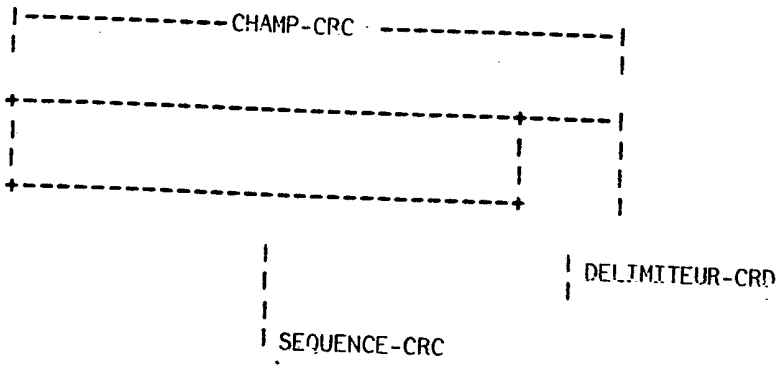


Figure 9

5.10 : Structure d'un signal d'erreur :

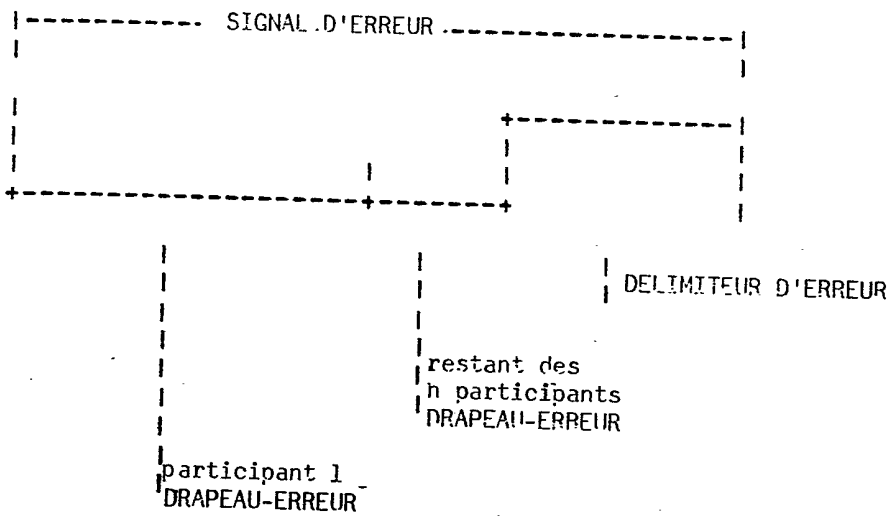
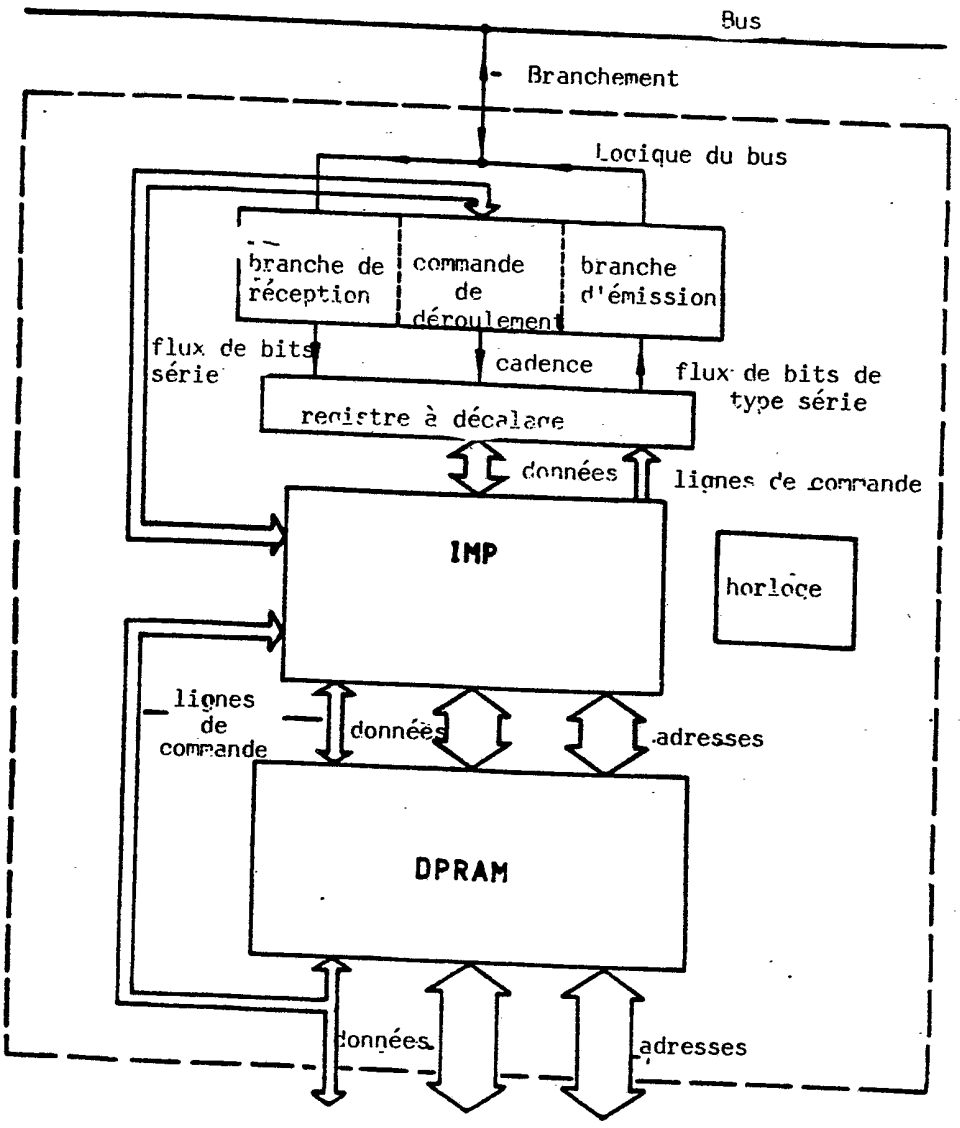


Figure 10

5. 11 : Schéma-bloc du composant de points de coupure de type série :



CPU - Points de coupure

Figure 11 :

REVENDICATIONS

1°) Procédé pour faire fonctionner une installation de traitement de données pour des véhicules à moteur, comportant au moins deux calculateurs, une ligne reliant les calculateurs pour transmettre les messages, procédé caractérisé en ce que les messages s'identifient d'eux-mêmes pour leur contenu et leur signification par un identificateur.

2°) Procédé selon la revendication 1, caractérisé en ce qu'une priorité concernant notamment la succession des transmissions des messages sur une ligne est associée à l'identificateur.

3°) Procédé selon la revendication 2, caractérisé en ce que l'identificateur comporte une indication implicite de priorité de préférence au début du message.

4°) Procédé selon la revendication 1, caractérisé en ce que l'identificateur caractérise des contenus tels que les adresses, les données, les signaux de capteur, les grandeurs de réglage, les résultats intermédiaires, les ordres de synchronisation, et les ordres de déclenchement d'action.

5°) Procédé selon la revendication 1, caractérisé en ce que l'identificateur caractérise des contenus tels que la vitesse de rotation, le gradient de la vitesse de rotation, la température du moteur, la charge du moteur etc.

6°) Procédé selon la revendication 1, caractérisé en ce que l'identificateur caractérise des données d'ordre implicites par exemple d'une installation anti-blocage, d'une installation anti-glissement etc.

7°) Procédé pour faire fonctionner une installation de traitement de données destinée à des véhicules à moteur comportant au moins deux calculateurs, une ligne reliant les calculateurs pour la transmission

de messages et une reconnaissance d'erreur relative aux messages, procédé caractérisé en ce que le message commence par un modèle de bit, défini (au moins un bit), ce modèle de bit est pris en compte par un contrôle (CRC) et en ce que le contrôle CRC (contrôle de mot) est suivi par un modèle de bit qui est complémentaire au modèle de bit initial.

8°) Procédé selon la revendication 7, caractérisé en ce que le polynome de générateur utilisé pour le calcul du mot de contrôle est constitué de façon à multiplier par exemple un code BCH (Bose, Chaudhure, Hocquenghem) au polynome de classe résiduel (X + 1).

9°) Procédé pour faire fonctionner une installation de traitement de données dans des véhicules à moteur comportant au moins deux calculateurs, une ligne reliant ces calculateurs pour la transmission des messages et une signalisation d'erreur, procédé caractérisé en ce que la ligne (bus) transmet les états dominants et les états récessifs, et en ce que l'information erronée se compose d'une seule suite d'états qui arrive avec le message transmis et qui ne peut être confondue avec la suite d'états des états dominants.

10°) Procédé selon la revendication 9, caractérisé en ce que l'information d'erreur peut être envoyée à un instant quelconque (par exemple pendant la transmission courante d'un message).

11°) Procédé selon la revendication 9, caractérisé en ce que chaque participant qui est couplé sur la ligne peut fournir une information d'erreur.

12°) Procédé selon la revendication 9, caractérisé en ce que la fin d'une information d'erreur sert à la synchronisation dans le temps de tous les participants.

13°) Procédé selon la revendication 12, caractérisé en ce que pour plusieurs informations

d'erreur, la fin de la dernière sert à la synchronisation.

14°) Procédé selon la revendication 9, caractérisé en ce que la partie contenant l'information dans le message est terminée par une suite d'états non dominants, de façon qu'en cas d'erreur l'information d'erreur qui se compose des états dominants arrive dans le temps dans la transmission de la suite d'états non dominants et indique ainsi sans équivoque que le message est erroné.

15°) Procédé selon la revendication 9, caractérisé en ce que la suite d'états non dominants à la fin du message est allongée d'au moins un état par rapport à la suite minimale d'états nécessaires à la reconnaissance d'une erreur.

16°) Procédé pour la mise en oeuvre d'une installation de traitement de données applicable à des véhicules à moteur, comportant au moins deux calculateurs, une ligne qui relie ces calculateurs pour la transmission de messages, procédé caractérisé en ce que chaque participant reçoit tous les messages et ne poursuit le traitement que des messages qui lui sont destinés, en ce que chaque participant tient une liste des messages qui le concerne et met en relation des parties des messages reçus et des informations contenues dans la liste.

17°) Procédé selon la revendication 16, caractérisé en ce que la mise en relation se fait de façon que tous les participants à un même point de trame de la transmission du signal puissent prendre la décision de continuer à suivre le message déterminé.

18°) Procédé selon la revendication 16, caractérisé en ce que les informations contenues dans les messages sont transmises en fonction de la liste dont dispose chaque participant, vers les cellules de mémoire et sont à la disposition du participant pour la suite du traitement.

19°) Procédé selon la revendication 18, caractérisé en ce qu'en fonction du contenu de la liste, lors de la réception d'un message, on déclenche une demande d'interruption.

20°) Procédé selon la revendication 18, caractérisé en ce que la réception du message n'est faite qu'après une réception sans erreur notamment par tous les participants.

21°) Procédé selon la revendication 18, caractérisé en ce que la réception des informations peut être bloquée.

22°) Procédé selon la revendication 16, caractérisé en ce que la suite de la liste pour le traitement interne chez le participant détermine la priorité.

23°) Procédé selon la revendication 16, caractérisé en ce que la transmission des informations notamment la mise en mémoire se fait en ce que les parties d'information qui sont liées quant à leur contenu peuvent être traitées de façon réunie par les opérations de traitement d'informations correspondantes (consistance du traitement de l'information).

24°) Procédé selon la revendication 16, caractérisé en ce qu'à chaque instant l'ordre dans la liste détermine la priorité de la suite du traitement.

25°) Procédé de mise en oeuvre d'une installation de traitement de données pour des véhicules à moteur, comportant au moins deux calculateurs, une ligne reliant les calculateurs pour la transmission des messages, caractérisé en ce qu'à chaque participant est associée une priorité des messages à transmettre, à l'aide d'une liste et à chaque instant la liste détermine la priorité des messages prêts à être transmis aux participants.

26°) Procédé selon la revendication

25, caractérisé en ce que la liste comporte d'autres informations notamment des informations concernant l'état de la transmission.

27°) Procédé selon la revendication 25, caractérisé en ce que les transmissions entachées d'erreurs sont détectées et enregistrées.

28°) Procédé selon la revendication 27, caractérisé en ce que la transmission est également répétée en cas d'erreurs.

29°) Procédé selon la revendication 28, caractérisé en ce qu'après un nombre prédéterminé de transmissions erronées, on coupe la répétition de la transmission et on déclenche une demande d'interruption.

30°) Procédé selon la revendication 25, caractérisé en ce que la liste contient une informations relative aux demandes de transmission, qui est déterminée par les participants eux-mêmes et par les autres installations couplées sur la ligne.

31°) Procédé pour la mise en oeuvre d'une installation de traitement de données pour des véhicules à moteur comportant au moins deux calculateurs, une ligne reliant les calculateurs pour la transmission des messages, caractérisé en ce qu'à chaque participant est attribuée une partie déterminée de la capacité de transmission de la ligne.

32°) Procédé pour la mise en oeuvre d'une installation de traitement de données pour des véhicules à moteur, comportant au moins deux calculateurs, une ligne reliant les calculateurs pour la transmission des messages, caractérisé en ce qu'après l'arrivée d'un nombre déterminé d'informations d'erreur d'un participant déterminé, ce participant se coupe de la ligne pour le signal d'émission de participant.

33°) Procédé de transmission d'informations à deux niveaux (0 et 1) dans un véhicule à moteur,

procédé caractérisé en ce que l'information (1) qui est différente du niveau constant de signal (0) est transmissible par des niveaux alternés de signal (+, -).

34°) Procédé selon la revendication 33, caractérisé en ce que les niveaux alternés de signaux sont surveillés pour la détection des erreurs.