



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 760194

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 30.05.78 (21) 2621960/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.08.80, Бюллетень № 32

Дата опубликования описания 30.08.80

(51) М. Кл.³

G 11 C 29/00

G 11 C 21/00

(53) УДК 681.327.
.6(088.8)

(72) Авторы
изобретения

И.В. Огнев, К.Ф. Сарычев и Ю.М. Шамаев

(71) Заявитель

Московский ордена Ленина энергетический институт

(54) ДИНАМИЧЕСКОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С САМОКОНТРОЛЕМ

Изобретение относится к технике запоминающих устройств и может быть использовано в устройствах автоматики и вычислительной техники, содержащих полупроводниковые динамические блоки памяти (микросхемы), у которых регенерация информации совмещена со считыванием.

Известны запоминающие устройства, содержащие полупроводниковые динамические блоки памяти, разрядную часть, дешифратор, селектор, счетчик, регистр адреса, тактовый генератор.

Недостатком этих устройств является необходимость использования тестового контроля, что требует затрат времени, а в ряде случаев, например, при управлении в реальном масштабе времени, может быть неприемлемо.

Известны также запоминающие устройства, содержащие полупроводниковые динамические блоки памяти, разрядную часть, схему контроля, дешифратор, селектор, счетчик, регистр адреса, тактовый генератор [1].

Недостатком данных устройств является возможность появления много-разрядных ошибок в считанной информации при длительной работе устрой-

ства и неравномерном обращении к запоминающему устройству. Эти ошибки могут быть не обнаружены схемой контроля.

Наиболее близким к заявляемому является запоминающее устройство на полупроводниковых динамических блоках памяти (запоминающих микросхемах), у которых регенерация информации совмещена со считыванием [2]. Это устройство содержит полупроводниковые динамические блоки памяти, информационные входы и выходы которых через разрядную часть соединены с числовыми шинами и входами схемы контроля, входы выборки - с выходами дешифратора, входы обращения регенерации - через селектор с выходами счетчика и частью выходов регистра адреса, входы которого подключены к адресным шинам, тактовый генератор, первые выходы которого соединены с стро-бирующим входом дешифратора и входом режима блоков памяти, вторые - с управляющим входом селектора и со счетным входом счетчика, а вход - с входной управляющей шиной.

Недостатком прототипа является возможность не обнаружения схемой конт-

роля многообразных ошибок в считанной информации, возникающих при длительной работе устройства и неравномерном обращении к нему. Для повышения достоверности работы известного устройства необходима организация тестового контроля, требующего затраты времени, что в ряде случаев может быть неприемлемо.

Целью предлагаемого изобретения является повышение надежности устройства за счет повышения достоверности считывания информации.

Указанная цель достигается тем, что устройство содержит дополнительные селектор и счетчик, первые входы дополнительного селектора соединены с другими выходами регистра адреса, вторые входы - с выходами дополнительного счетчика, управляющий вход дополнительного селектора соединен с управляющим входом основного селектора, одни выходы - с адресными входами накопителей, другие выходы - со входами дешифратора, счетный вход дополнительного счетчика соединен с выходом переноса основного счетчика.

Введение дополнительных счетчика и селектора позволяет периодически, во время регенерации производить считывание всей информации из запоминающего устройства и контролировать ее правильность: вследствие чего снижается вероятность появления необнаруживаемых схемой контроля ошибок.

На чертеже приведена схема запоминающего устройства.

Запоминающее устройство содержит накопители 1 на полупроводниковых элементах памяти, числовой регистр 2, блок 3 контроля, дешифратор 4, основной селектор 5, основной счетчик 6, регистр 7 адреса, тактовый генератор 8, дополнительный селектор 9, дополнительный счетчик 10. Выходы основного селектора 5 соединены с входами обращения - регенерации накопителей 1, выходы дополнительного селектора 9 - с адресными входами и входами дешифратора 4, выходы дешифратора 4 - с входами выборки накопителей. Входы и выходы регистра числа 2 соединены с числовыми шинами 11, вход регистра 7 адреса соединен с адресными шинами 12, вход тактового генератора с входной управляющей шиной 13.

В цикле записи на числовую шину 11 подается код записываемого числа, который через числовой регистр 2 поступает на информационные входы накопителей 1. С адресных шин 12 код адреса поступает на регистр 7 адреса, с него через селектор 5 - на входы регенерации-обращения накопителей, а через селектор 9 и дешифратор 4 - на адресные входы и вход выборки накопителей 1. Команда "Запись" по шине 13 поступает на тактовый генератор 8, который вырабатывает импуль-

сы осуществляющие запись информации в ячейки памяти.

В цикле считывания на шины 12 подается адрес ячеек памяти. Работа адресной части аналогична циклу записи. По шине 13 поступает команда "Считывание", считанное с накопителей 1 число через числовой регистр 2 поступает на числовые шины 11 и блок 3 контроля, которая определяет правильность считанной информации.

Через время, равное периоду регенерации, генератор 8 вырабатывает команду регенерации, по которой содержимое счетчиков 6 и 10 через селекторы 5, 9 и дешифратор 4 поступает на адресные входы и входы выборки накопителей 1. Тактовый генератор вырабатывает импульсы, осуществляющие регенерацию информации одной строки накопителей по адресу, задаваемому первым счетчиком 6. При этом информация, считанная по адресу, задаваемому счетчиками 6 и 10, поступает через числовой регистр 2 на блок 3 контроля. Осуществляется контроль считанной информации. По окончании цикла регенерации генератор 8 прибавляет "1" к содержимому счетчика 6. В течение одного периода регенерации генератор 8 запускает 64 цикла регенерации. При этом контролируется информация в 64 ячейках памяти. Разрядность счетчика 10 равна $N/64$ разрядов, где N - число слов, хранимых в запоминающем устройстве (ЗУ). Контроль всего содержимого ЗУ осуществляется за время, равное $\frac{N \cdot T_p}{64}$, где T_p - период регенерации (для рассматриваемого примера $T_p = 2$ мс). Контроль всего содержимого ЗУ емкостью 32 слов осуществляется за время, примерно равное 1 с.

Дополнительных затрат времени на контроль не требуется.

Предлагаемое устройство позволяет при незначительных затратах оборудования (1 счетчик и 1 селектор) осуществить периодический контроль всего содержимого ЗУ. Периодичность контроля не превышает нескольких секунд. При этом практически исключается возможность появления необнаруживаемых схемой контроля ошибок в считанной информации. Затраты времени, необходимые в прототипе для осуществления тестового контроля, в предлагаемом устройстве отсутствуют.

Формула изобретения

Динамическое запоминающее устройство с самоконтролем, содержащее накопители на полупроводниковых элементах памяти, информационные входы и выходы которых через регистр числа соединены с информационными шинами и входами блока контроля, входы выборки накопителей соединены с выходами дешифратора, входы обращения - регенерации через основной селектор

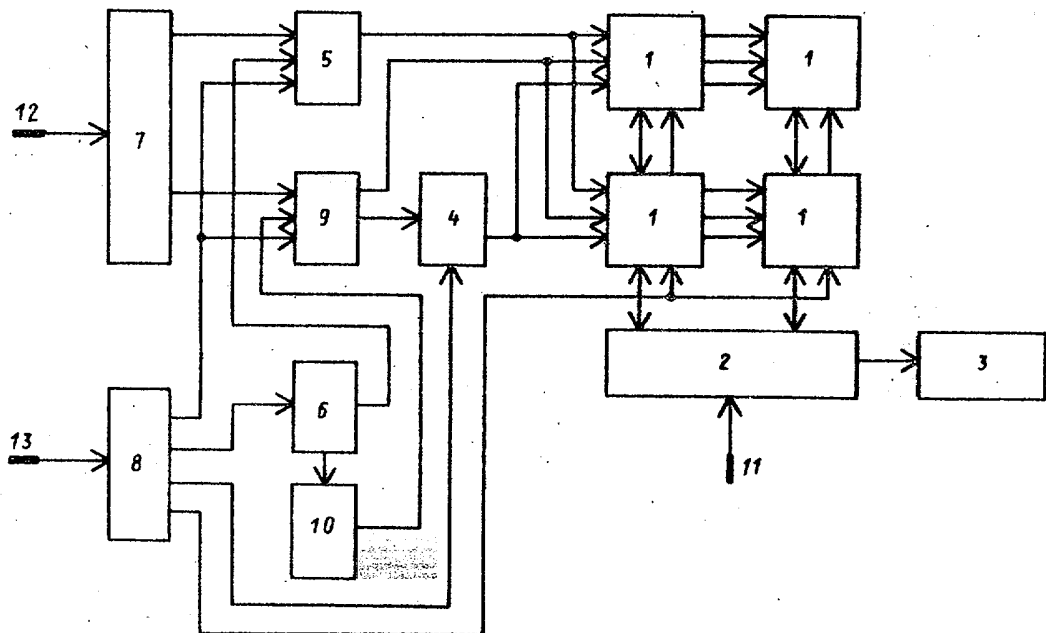
с выходами основного счетчика и одними выходами регистра адреса, входы которого соединены с адресными шинами, тактовый генератор, первые выходы которого соединены со стробирующим входом дешифратора и входом режима накопителей, вторые - с управляющим входом селектора и счетным входом счетчика, а вход тактового генератора соединен с входной управляющей шиной, отличающееся тем, что, с целью повышения надежности устройства за счет повышения достоверности считывания информации, оно содержит дополнительные селектор и счетчик, первые входы дополнительного селектора соединены с другими выходами регистра ад-

реса, вторые входы - с выходами дополнительного счетчика, управляющий вход дополнительного селектора соединен с управляющим входом основного селектора, одни выходы - с адресными входами накопителей, другие выходы - со входами дешифратора, счетный вход дополнительного счетчика соединен с выходом переноса основного счетчика.

Источники информации, принятые во внимание при экспертизе

1. Исследование и разработка полупроводниковых ОЗУ на динамических элементах памяти, отчет №Г-53808. МЭИ, 1977, с. 144-183.

2. Data Report 1976, 11 № 11, с. 5-9 (прототип)



Составитель Ю. Розенталь
 Редактор Л. Гольдина Техред М. Рейвес Корректор М. Шароши
 Заказ 5898/42 Тираж 662 Подписное
 ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4