

PCT

世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 <b>H01L 21/336, 29/78, 21/316, 21/8247</b>	A1	(11) 国際公開番号 <b>WO98/39802</b>  (43) 国際公開日 1998年9月11日(11.09.98)
(21) 国際出願番号 <b>PCT/JP98/00892</b>  (22) 国際出願日 1998年3月4日(04.03.98)  (30) 優先権データ 特願平9/50781 1997年3月5日(05.03.97) JP  (71) 出願人（米国を除くすべての指定国について） 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101-0062 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)  (72) 発明者；および (75) 発明者／出願人（米国についてのみ） 田辺義和(TANABE, Yoshikazu)[JP/JP] 〒358-0041 埼玉県入間市下谷ヶ貫905-8 Saitama, (JP) 酒井 哲(SAKAI, Satoshi)[JP/JP] 〒198-0024 東京都青梅市新町2-4-8 ハイツプランタン303 Tokyo, (JP) 夏秋信義(NATSUAKI, Nobuyoshi)[JP/JP] 〒207-0014 東京都東大和市南街1-11-23 Tokyo, (JP)	(74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160-0023 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)  (81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  添付公開書類 国際調査報告書	
(54) Title: <b>METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE</b>  (54) 発明の名称 半導体集積回路装置の製造方法  (57) Abstract A method for manufacturing semiconductor integrated circuit device, wherein a thin oxide film which has a thickness not larger than 5 nm and essentially becomes the gate insulating film of a MOS transistor is formed on the main surface of a semiconductor wafer, at such an oxide film growing speed that the reproducibility of the formation of the oxide film and the uniformity of the thickness of the oxide film can be secured, by supplying an oxidizing speed containing water generated from hydrogen and oxygen through a catalytic action at a low concentration to the main surface of the semiconductor wafer or its vicinity.	<p>a &lt;従来&gt; c トータル膜厚 9nm (0.35 μm-k)  d 目的的酸化膜 7.5nm (83.3%)  e 酸化膜層内 初期酸化膜 0.8nm (8.9%) f 自然酸化膜 0.7nm (7.8%)  g トータル膜厚 4nm (0.25 μm-k)  a &lt;従来&gt; g トータル膜厚 4nm (0.25 μm-k)  b &lt;本実施形態&gt; g トータル膜厚 4nm (0.25 μm-k)  b &lt;本実施形態&gt; g トータル膜厚 4nm (0.25 μm-k)  a ... &lt;Conventional&gt; b ... &lt;An example of this invention&gt; c ... total film thickness: 9 nm (0.35 μm rule) d ... objective oxide film e ... initial oxide film in oxidizing device f ... natural oxide film g ... total film thickness: 4 nm (0.25 μm rule)</p>	

(57) 要約

本願発明の半導体集積回路装置の製造方法は、触媒作用によって水素と酸素とから生成させた水を低濃度に含む酸化種を半導体ウエハの主面またはその近傍に供給し、酸化膜形成の再現性および酸化膜厚の均一性が確保され得る程度の酸化膜成長速度で半導体ウエハの主面に、MOSトランジスタのゲート絶縁膜となるべき膜厚5nm以下の薄い酸化膜を形成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A L	アルバニア	F I	フィンランド	L T	リトアニア	S N	セネガル
A M	アルメニア	F R	フランス	L U	ルクセンブルグ	S S Z	スウェーデン
A T	オーストリア	G A	ガボン	L V	ラトヴィア	T D	チャード
A U	オーストラリア	G B	英国	M C	モナコ	T G	トーゴー
A Z	アゼルバイジャン	G E	グルジア	M D	モルドavia	T J	タジキスタン
B A	ボスニア・ヘルツェゴビナ	G H	ガーナ	M G	マダガスカル	T M	トルクメニスタン
B B	バルバドス	G M	ガンビア	M K	マケドニア旧ユーゴスラヴィア共和国	T R	トルコダック・トバゴ
B E	ベルギー	G N	ギニア	M L	マリ	T T	トリニダック・トバゴ
B F	ブルキナ・ファソ	G W	ギニア・ビサオ	M N	モンゴル	U A	ウクライナ
B G	ブルガリア	G R	ギリシャ	M R	モーリタニア	U G S	ウガンダ
B J	ベナン	H U	ハンガリー	M W	マラウイ	U S	米国
B R Y	ブラジル	I D	インドネシア	M X	メキシコ	U Z	ウズベキスタン
B Y A	ブルルーシ	I E	アイルランド	N E	ニジエール	V N	ヴィエトナム
C A	カナダ	I L S	イスラエル	N L	オランダ	Y U	ユーロースラヴィア
C F	中央アフリカ	I S T	アイスランド	N O	ノールウェー	Z W	ジンバブエ
C G G	コンゴー共和国	I T T	イタリア	N Z	ニューギニア		
C H	スイス	J P	日本	P L	ポーランド		
C I	コートジボアール	K E	ケニア	P T	ポルトガル		
C M	カメルーン	K G	キルギス	R O	ルーマニア		
C N	中国	K P	北朝鮮	R U	ロシア		
C C U	キューバ	K R	韓国	S D	スーダン		
C Y Z	キプロス	K Z	カザフスタン	S E	スウェーデン		
D D E	チエシコ	L C	セント・ルシア	S G	シンガポール		
D K K	ドイツ	L I	リヒテンシュタイン	S I	スロヴェニア		
E E S	デンマーク	L K	リビア	S K	スロ伐キア		
E S	エストニア	L R	リベリア	S L	シェラ・レオーネ		
	スペイン	L S	レソト				

## 明 紹 書

## 半導体集積回路装置の製造方法

## 5 技術分野

本発明は、半導体集積回路装置(半導体装置等)の製造方法に関し、特に、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等のゲート酸化膜(絶縁膜)の形成に適用して有効な技術に関する。

## 10 背景技術

初期の半導体産業においては酸素等のキャリアガスをバブラー(Bubbler)内の水中を通過させるバブリング(Bubbling)が広く適用されていた。この方法は広い水分範囲をカバーできる等の利点はあったものの汚染の問題を回避できず、最近はほとんど使われなくなっている。従って、こここの所、このバブラーの欠点を回避するものとして酸水素燃焼法式、すなわちパイロ方式(Pyrogenic system)が広く普及している。

(従来技術文献の開示等)

本願の対象となる熱酸化の改良およびそのための水分生成方法に関しては以下のようない先行技術が知られている。

20 (1) 大見の特開平6-163517号公報には、半導体プロセスの低温化のための低温酸化技術が示されている。同実施例1においてはアルゴン約99%、酸素約1%からなるガス雰囲気に水素を100ppmから1%まで添加して、水素の燃焼温度摂氏700度以下、すなわち摂氏450度以下でステンレス触媒の作用で水蒸気を得る方法が示されている。さらに同実施例2において、酸素99%、触媒により生成された水蒸気1%からなる雰囲気中において、常圧または高圧下で摂氏600度の酸化温度においてシリコンの熱酸化が示されている。

(2) 特開平7-321102号公報(吉越)は、水分に起因する各種の問題を回避するために極めて低い水分濃度、すなわち0.5 ppm程度の極超低水分領域またはドライ領域における酸化温度摂氏850度のシリコン表面の高温熱酸化が

示されている。

(3) 本間らの特開昭60-107840号公報には、ドライ酸化の環境水分による水分量のばらつきを低減するため従来の方法により生成した数十 ppm 程度の微少水分を意図的に添加するシリコンの熱酸化方法が示されている。

5 (4) 特開平5-152282号公報(大見 I)は、上記した石英管先端からのパーティクルの発生を防止するために、水素ガス導入管の内面をNi (ニッケル) またはNi含有材料で構成すると共に、水素ガス導入管を加熱する手段を備えた熱酸化装置を開示している。この熱酸化装置は、300°C以上に加熱した水素ガス導入管内のNi (またはNi含有材料) に水素を接触させて水素活性種を生じさせ、この水素活性種と酸素 (また酸素を含むガス) とを反応させることにより水を生成する。すなわち、燃焼を伴わない触媒方式で水を生成するので、水素導入石英管の先端が溶けてパーティクルを発生することがない。

10 (5) 特開平6-115903号公報(大見 II)は、酸素、水素および不活性ガスを混合して第1の混合ガスを作成する混合ガス作成工程と、水素および酸素をラジカル化し得る触媒作用を有する材料で構成された反応炉管内に第1の混合ガスを導入すると共に反応炉管内を加熱することにより、第1の混合ガスに含まれる水素と酸素を反応させて水を発生させる水分発生工程とからなる触媒方式の水分発生方法を開示している。

20 この方法によれば、水素と酸素を反応させる反応管に反応を低温化する触媒材料を使用したため、反応温度が低温化し、その結果、低温で水分発生が可能となる。従って、水素、酸素、不活性ガスの混合ガスを加熱した反応管に供給した場合、反応管内において500°C以下の温度で完全に水素と酸素が反応するため、燃焼方式よりも低温で水分を含んだガスが得られる。

25 またこのとき、接ガス部からプラスチック材料を全て排除して金属材料のみを使用し、さらに金属表面に対して不動態化処理を施した場合には、表面からの放出ガス (水分、炭化水素等) が極めて少ないため、より高清浄度な水分をより高い精度で、かつ広範囲 (ppbから%) の濃度で発生させることが可能となる。不動態化処理は、電解研磨あるいは電解複合研磨を施したステンレス鋼を不純物濃度が数 ppb以下の酸化性あるいは弱酸化性雰囲気中で熱処理することにより行

う。

(6) 特開平5－141871号公報(大見 III)は、被処理物を搬出入するための開閉可能な開口部と、ガスを内部に導入するためのガス導入口とを有する炉心管と、炉心管内部を加熱するための炉心管加熱手段と、ガス導入口に連通させて接続されたガス導入管と、ガス導入管を加熱するための加熱手段とを少なくとも有し、ガス導入管の少なくとも内表面がN<sub>i</sub> (またはN<sub>i</sub>含有材料) よりなる熱処理装置を開示している。

この熱酸化装置は、炉心管の内部に配置された被処理物の位置よりも上流側に、水素ガスまたは水素を含むガスからプラズマを伴うことなく水素活性種を生成させるための水素活性種発生手段を設け、この水素活性種発生手段に水素ガスまたは水素を含むガスを導入して水素活性種を生成させる。そのため、炉心管内に被処理物として例えば酸化膜の形成されたシリコン基板を配置しておけば、水素活性種が酸化膜中を拡散し、酸化膜中および酸化膜／シリコン界面のダングリングボンドを終端するので、高い信頼性のゲート酸化膜を得ることが期待できる。

(7) 大見の特開平5－144804号公報には、ニッケル触媒により生成した水素活性種によるシリコン酸化膜の熱処理技術が示されている。

(8) 中村らの1993年12月1日から2日に行われた電気化学協会電子材料委員会主催半導体集積回路技術第45回シンポジウム講演論文集128頁から133頁には、フラッシュメモリのトンネル酸化膜に応用するための触媒により生成した水素ラジカルと水分による水素を主体とする強還元性雰囲気下でのシリコン酸化プロセスが示されている。

(9) 大見の特開平6－120206号公報には、選択エピタキシャル成長領域を絶縁分離する絶縁膜のニッケル触媒により生成した水素活性種によるシンターリング技術が示されている。

(10) 小林らの特開昭59－132136号公報には、通常の方法により生成された水分と水素の酸化還元混合雰囲気でのシリコンとリフラクトリーメタルの酸化還元プロセスが示されている。

## 発明の開示

(従来技術および本発明に関する考察等)

ディープサブミクロンの設計ルールによって製造される最先端のMOSデバイスは、微細化された素子の電気特性を維持するために、ゲート酸化膜を10nm以下5以下の極めて薄い膜厚で形成することが要求される。例えばゲート長が0.35μmの場合、要求されるゲート酸化膜厚は9nm程度であるが、ゲート長が0.25μmになると、4nm程度まで薄くなるものと予想される。

一般に、熱酸化膜の形成は乾燥酸素雰囲気中で行われるが、ゲート酸化膜を形成する場合には、膜中の欠陥密度が低減できるという理由から、従来よりウエット酸化法(一般に水分分圧比数十%以上)が用いられてきた。このウエット酸化法では、酸素雰囲気中で水素を燃焼させて水を生成し、この水を酸素と共に半導体ウエハ(集積回路製造用ウエハまたは単に集積回路ウエハ)の表面に供給して酸化膜を形成するが、水素を燃焼させることから、爆発の危険を回避するためにあらかじめ酸素を十分に流してから水素に点火している。また、酸化種である水+酸素混合ガスの水分濃度を40%程度(全雰囲気圧力に占める水分の分圧)まで高くしている。

しかし、上記の燃焼方式は、石英製の水素ガス導入管の先端に取り付けたノズルから噴出する水素に点火して燃焼を行うことから、水素の量を低下しすぎると火炎がノズルに近づきすぎため、その熱でノズルが溶けてパーティクルが発生し、これが半導体ウエハの汚染源となるという問題が指摘されている(また逆に、水素の量を増やしすぎると火炎が燃焼管の端部に達し、そこの石英壁を溶かしてパーティクルの原因となったり、炎が壁面で冷却されて消えてしまったりする等、安全面での問題がある)。また、上記の燃焼方式は、酸化種である水+酸素混合ガスの水分濃度が高いために、ゲート酸化膜中に水素やOH基が取り込まれ、薄膜中やシリコン基板との界面にSi-H結合やSi-OH結合等の構造欠陥が生じ易い。これらの結合は、ホットキャリア注入等の電圧ストレスの印加により切離されて電荷トラップを形成し、しきい値電圧の変動等、膜の電気特性の低下を引き起こす原因となる。

なお、このあたりの状況の詳細および新規な触媒による水合成装置の改良の詳

細については、本願発明者自身による特開平9-172011号公報および本発明者および大見らによる国際公開された国際出願PCT/JP97/00188(国際出願日1997.1.27)に詳しく述べられている。

本発明者の検討によれば、従来の酸化膜形成方法は、高品質で、しかも膜厚が

5 5 nm 以下 (5 nm 以上についても同様の効果が期待できることは言うまでもない) の極薄ゲート酸化膜を均一な膜厚で再現性良く形成することが困難である。言うまでもないことであるが、それ以上の膜厚の場合にも各種不十分なところがある。

極薄の酸化膜を均一な膜厚で再現性良く形成するためには、比較的厚い酸化膜を形成するときに比べて酸化膜成長速度を下げ、より安定な酸化条件で成膜を行う必要があるが、例えば前記の燃焼方式を利用した酸化膜形成方法は、酸化種である水+酸素混合ガスの水分濃度が 18 %から 40 %程度の高濃度範囲内にしか制御できない。そのため、酸化膜成長速度が速く、薄い酸化膜の場合は極めて短時間で膜が形成されてしまう。他方、酸化膜成長速度を下げようとしてウェハ温度を 800 °C 以下に下げて酸化を行うと膜の品質が低下する (摂氏 800 度以下の温度領域でも、その他のパラメータを適切に調整すれば本発明を適用できることは言うまでもない)。

また、清浄な酸化膜を形成するためには、半導体ウェハの表面に形成されている低品質の酸化膜をあらかじめウエット洗浄で除去する必要があるが、このウエット洗浄工程から酸化工程に搬送する過程でウェハの表面に薄い自然酸化膜が不可避的に形成される。さらに酸化工程では、本来の酸化が行われる前に酸化種中の酸素との接触によってウェハ表面に不所望な初期酸化膜が形成される。特に燃焼方式を用いた酸化膜形成方法の場合は、水素が爆発する危険を回避するためにあらかじめ酸素を十分に流してから水素を燃焼させてるので、ウェハ表面が酸素に曝される時間が長くなり、初期酸化膜が厚く形成されてしまう (常圧下摂氏 560 度以上、水素 4 %以上で十分な酸素があるとき、水素の爆発的燃焼すなわち「爆発」が起こるとされている)。

このように、実際の酸化膜は、本来の酸化によって形成される酸化膜の他に自然酸化膜と初期酸化膜とを含んだ構成になっているが、これらの自然酸化膜や初期酸化膜は、目的とする本来の酸化膜に比べて低品質である。従って、高品質の

酸化膜を得るために、酸化膜中に占めるこれら低品質の膜の割合をできるだけ低くしなければならないが、従来の酸化膜形成方法を用いて極薄の酸化膜を形成すると、これら低品質の膜の割合がむしろ増加してしまう。

例えは従来の酸化膜形成方法を用いて膜厚が 9 nm の酸化膜を形成したときに、  
5 この酸化膜中の自然酸化膜と初期酸化膜の膜厚がそれぞれ 0.7 nm、0.8 nm であったとすると、本来の酸化膜の膜厚は、 $9 - (0.7 + 0.8) = 7.5 \text{ nm}$  となるので、この酸化膜中に占める本来の酸化膜の割合は約 83.3 % である。ところが、この従来方法を用いて膜厚が 4 nm の酸化膜を形成すると、自然酸化膜と初期酸化膜の膜厚はそれぞれ 0.7 nm、0.8 nm と変わらないため、本来の酸化  
10 膜の膜厚は、 $4 - (0.7 + 0.8) = 2.5 \text{ nm}$  となり、その割合は 62.5 % に低下してしまった。すなわち、従来の酸化膜形成方法で極薄の酸化膜を形成しようとすると、膜厚の均一性や再現性が確保できなくなるのみならず、膜の品質も低下してしまった。

これらの問題を解決するために、本発明者は大見らの触媒による水分生成方法  
15 に注目した。本発明者らの検討によれば、これらの研究は「水素ラジカルの寿命は長い」という前提に立って、水素ラジカルの強還元作用に重点が置かれているため、そのままでは半導体集積回路の量産プロセスに適用できないことが明らかとなつた。すなわち、半導体プロセスに適用するためには「水素等のラジカルの寿命は非常に短く触媒上で生成してほぼその上またはその近傍で化合または基底  
20 状態に戻る」という前提で必要な構成を検討する必要があることが、本発明者らによって明らかにされた。

さらに、本発明者によれば、水分の分圧比で言って 0 から 10 ppm はドライ領域に属し、いわゆるドライ酸化の性質を示し、今後の微細プロセスにおけるゲート酸化膜等の要求する膜質を得ることについていわゆるウエット酸化に及ばない  
25 ことが明らかにされた。

また、同様に水分分圧比 10 ppm 以上  $1.0 \times 10^3 \text{ ppm}$  以下 (0.1 % 以下) の超低水分領域は基本的にはドライ酸化とほとんど同様の性質を示すことが本発明者によって明らかにされた。

また、同様に水分分圧比 0.1 % 以上から 10% 以下の低水分領域（そのうち特

に水分分圧比 0.5%以上から 5%以下の低水分領域)においての熱酸化は、他の領域（ドライ領域、10%以上の燃焼法式で汎用される領域、およびバブラー等による水分濃度数十%以上の高水分領域）と比較して比較的良好な性質を示すことが性質を示すことが本発明者によって明らかにされた。

5 (本発明の目的等)

本発明の目的は、高品質の極薄酸化膜を均一な膜厚で再現性良く形成することができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

### 発明の概要

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本発明の半導体集積回路装置の製造方法は、以下の工程（a）、（b）を含んで  
15 いる。

（a）水素と酸素とから触媒作用によって水を生成する工程、

（b）前記水が低濃度に含まれた酸素を所定の温度に加熱した半導体ウエハの主面またはその近傍に供給し、少なくとも酸化膜形成の再現性および酸化膜厚の均一性が確保され得る程度の酸化膜成長速度で膜厚が 5 nm 以下の酸化膜を形成す  
20 る工程。

本発明の半導体集積回路装置の製造方法は、前記酸化膜がMOSFET のゲート酸化膜である。

本発明の半導体集積回路装置の製造方法は、前記酸化膜の膜厚が 3 nm 以下である。

25 本発明の半導体集積回路装置の製造方法は、前記半導体ウエハの加熱温度が 800 から 900 °C である。

本発明の半導体集積回路装置の製造方法は、前記（b）工程の後、前記半導体ウエハの主面に酸窒化処理を施すことにより、前記酸化膜と基板との界面に窒素を偏析させる。

本発明の半導体集積回路装置の製造方法は、前記酸化膜の形成を枚葉処理で行う。

本発明の半導体集積回路装置の製造方法は、前記酸化膜の形成をバッチ処理で行う。

5 本発明の半導体集積回路装置の製造方法は、以下の工程（a）、（b）を含んでいる。

（a）水素と酸素とから触媒作用によって水を生成する工程、

（b）少なくとも水を含まない乾燥酸素雰囲気中で形成される酸化膜よりも優れた初期耐圧が得られる濃度の前記水が含まれた酸素を所定の温度に加熱した半導体ウエハの主面またはその近傍に供給することによって、膜厚が5nm以下の酸化膜を形成する工程。

本発明の半導体集積回路装置の製造方法は、前記水の濃度が40%以下である。

本発明の半導体集積回路装置の製造方法は、前記水の濃度が0.5から5%である。

15 本発明の半導体集積回路装置の製造方法は、以下の工程（a）から（c）を含んでいる。

（a）主面に第1の酸化膜が形成された半導体ウエハを洗浄部へ搬送し、前記第1の酸化膜をウエット洗浄により除去する工程、

（b）前記半導体ウエハを大気に接触させることなく、前記洗浄部から不活性ガス雰囲気の酸化処理部へ搬送する工程、

（c）触媒作用によって水素と酸素とから生成した水を低濃度に含む酸素を所定の温度に加熱した前記半導体ウエハの主面またはその近傍に供給し、少なくとも酸化膜形成の再現性および酸化膜厚の均一性が確保され得る程度の酸化膜成長速度で膜厚が5nm以下の第2の酸化膜を形成する工程。

25 本発明の半導体集積回路装置の製造方法は、前記第2の酸化膜が、前記第1の酸化膜を除去してから前記第2の酸化膜を形成するまでの間に前記半導体ウエハの表面に不所望に形成される自然酸化膜と、前記酸素との接触によって前記半導体ウエハの表面に不所望に形成される初期酸化膜とをその一部に含み、前記自然酸化膜と前記初期酸化膜の合計の膜厚は、前記第2の酸化膜全体の膜厚の2分の

1 以下である。

本発明の半導体集積回路装置の製造方法は、前記自然酸化膜と前記初期酸化膜の合計の膜厚が前記第 2 の酸化膜全体の膜厚の 3 分の 1 以下である。

本発明の半導体集積回路装置の製造方法は、半導体ウエハの第 1 領域および第 5 領域に第 1 の酸化膜を形成した後、前記半導体ウエハの第 1 領域に形成された前記第 1 の酸化膜を除去する工程と、前記半導体ウエハの第 1 領域および第 2 領域に残った前記第 1 の絶縁膜上に第 2 の酸化膜を形成する工程とを含み、前記第 1 および第 2 の酸化膜の少なくとも一方を前記の方法によって形成する。

さらに、本発明の主要な概要を項に分けて示せば以下のとくである。

10 1. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 摂氏 500 度以下で触媒を用いて酸素と水素から水分を合成する工程、

(b) 霧囲気全体の気圧に占める合成された上記水分の分圧の割合が 0.5 % から 5 % の範囲であって、水素が支配的でない酸化性霧囲気中で、かつウエハ上のシリコン表面が摂氏 800 度以上に加熱された条件下で上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。(一般に良く知られたことであるが、ここで「支配的」とは、ガスについていう場合、当該霧囲気中でその成分が最多であることをいう。)

2. 上記 1 項において、上記酸化性霧囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

20 3. 上記 1 項または 2 項において、上記水分の合成は、酸素と水素の混合ガスに上記触媒を作用させて行う半導体集積回路装置の製造方法。

4. 上記 1 から 3 項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性霧囲気を供給しながら行う半導体集積回路装置の製造方法。

5. 以下の工程よりなる半導体集積回路装置の製造方法；

25 (a) 摂氏 500 度以下で触媒を用いて酸素と水素から水分を合成する工程、

(b) 霧囲気全体の気圧に占める合成された上記水分の分圧の割合が 0.5 % から 5 % の範囲であって、酸素ガスを含む酸化性霧囲気中で、かつウエハ上のシリコン表面が摂氏 800 度以上に加熱された条件下で上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する

工程。

6. 上記 5 項において、上記熱酸化は、ホットウォール炉を用いて行われる半導体集積回路装置の製造方法。

7. 上記 5 項において、上記熱酸化は、ランプ加熱炉を用いて行われる半導体集  
5 積回路装置の製造方法。

8. 上記 5 から 7 項のいずれか一つにおいて、上記合成させた水分を含むガスは、  
水分以外のガスで希釈された後に上記酸化性雰囲気として供給される半導体集積  
回路装置の製造方法。

9. 上記 5 から 8 項のいずれか一つにおいて、上記半導体集積回路装置の製造方  
10 法は、さらに以下の工程よりなる；

(c) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒す  
ことなく窒素酸化物を含む雰囲気中で表面処理を施す工程。

10. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 摂氏 500 度以下で触媒を用いて水分を生成する工程、

15 (b) 雰囲気全体の気圧に占める合成された上記水分の分圧比が 0.5 % から 5 %  
の範囲であって、酸素ガスを含む酸化性雰囲気中で、かつウエハ上のシリコン表面が  
摂氏 800 度以上に加熱された条件下で上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

11. 上記 10 項において、上記酸化性雰囲気は、酸素ガスを主要な成分として  
20 含む半導体集積回路装置の製造方法。

12. 上記 10 または 11 項において、上記熱酸化は、上記ウエハの周辺に上記  
酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

13. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 摂氏 500 度以下で触媒を用いて酸素と水素から水分を合成する工程、

25 (b) 雰囲気全体の気圧に占める合成された上記水分の分圧の割合が 0.5 % か  
ら 5 % の範囲であって、酸素ガスを含む酸化性雰囲気を、シリコン表面が摂氏 8  
00 度以上に加熱されたウエハ周辺に供給しながら、上記シリコン表面に電界効  
果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成す  
る工程。

14. 上記13項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

15. 上記13項または14項において、上記水分の合成は、酸素と水素の混合ガスに上記触媒を作用させて行う半導体集積回路装置の製造方法。

5 16. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 水分合成部において摂氏500度以下で触媒を用いて酸素と水素から水分を合成する工程、

(b) 雰囲気全体の気圧に占める合成された上記水分の分圧の割合が0.5%から5%の範囲であって、酸素ガスを含む酸化性雰囲気を、シリコン表面が摂氏8

10 00度以上に加熱されたウエハ周辺に水分合成部と酸化処理部の間に設けられた狭隘部を通して供給しながら、酸化処理部において上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

17. 上記16項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

18. 上記16項または17項において、上記水分の合成は、酸素と水素の混合ガスに上記触媒を作用させて行う半導体集積回路装置の製造方法。

19. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 触媒を用いて酸素と水素から水分を合成する工程、

20 (b) 合成された上記水分を含む第1のガスを水分以外の第2のガスで希釈する工程、

(c) 希釈された上記第1のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第1ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を

25 热酸化により形成する工程。

20. 上記19項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

21. 上記19項または20項において、上記熱酸化は、摂氏800度以上で行われる半導体集積回路装置の製造方法。

22. 上記19から21項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

23. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 酸素と水素の混合ガスに水分合成触媒を作用させて水分を含む第1のガス  
5 を生成する工程、

(b) 上記第1のガスを水分以外の第2のガスで希釈する工程、

(c) 希釈された上記第1のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第1ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を  
10 熱酸化により形成する工程。

24. 上記23項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

25. 上記23項または24項において、上記熱酸化は、摂氏800度以上で行われる半導体集積回路装置の製造方法。

15 26. 上記23から25項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

27. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 触媒を作用させて水分を含む第1のガスを生成する工程、

(b) 上記第1のガスを水分以外の第2のガスで希釈する工程、

20 (c) 希釈された上記第1のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第1ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

28. 上記27項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

29. 上記27項または28項において、上記熱酸化は、摂氏800度以上で行われる半導体集積回路装置の製造方法。

30. 上記27から29項のいずれか一つにおいて、上記熱酸化は上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

31. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 酸素と水素の混合ガスに水分合成触媒を作用させて水分を含む第1のガスを生成する工程、

(b) 上記第1のガスを酸素を主成分とする第2のガスで希釈する工程、

5 (c) 希釈された上記第1のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第1ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

32. 上記31項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

33. 上記31項または32項において、上記熱酸化は、摂氏800度以上で行われる半導体集積回路装置の製造方法。

34. 上記31から33項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

15 35. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 表面を洗浄または表面膜を除去するために、ウエハ上のシリコン表面に表面処理を施す工程、

(b) 上記工程の後、上記ウエハを実質的に酸化性雰囲気に晒すことなく酸化処理部に移送する工程、

20 (c) 触媒を用いて酸素と水素から水分を合成する工程、

(d) 合成された上記水分を含む雰囲気中で上記シリコン表面にシリコン酸化膜を熱酸化により形成する工程。

36. 上記35項において、上記シリコン酸化膜は、MOSトランジスタのゲート電極となるべきものである半導体集積回路装置の製造方法。

25 37. 上記36項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(e) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、窒素酸化物を含む雰囲気中で表面処理を施す工程。

38. 上記37項において、上記半導体集積回路装置の製造方法は、さらに以下

の工程よりなる；

(f) 上記表面処理がなされた上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

5 39. 上記36項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(f) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

10 40. 上記35から39項のいずれか一つにおいて、上記酸化工程は、ランプ加熱によって行われる半導体集積回路装置の製造方法。

41. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 表面を洗浄または表面膜を除去するために、ウエハ上のシリコン表面に表面処理を施す工程、

15 (b) 上記工程の後、上記ウエハを実質的に酸化性雰囲気に晒すことなく酸化処理部に移送する工程、

(c) 触媒を用いて水分を生成する工程、

(d) 合成された上記水分を含む雰囲気中で上記シリコン表面にシリコン酸化膜を熱酸化により形成する工程。

20 42. 上記41項において、上記シリコン酸化膜は、MOSトランジスタのゲート電極となるべきものである半導体集積回路装置の製造方法。

43. 上記42項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(e) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、窒素酸化物を含む雰囲気中で表面処理を施す工程。

44. 上記43項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(f) 上記表面処理がなされた上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工

程。

45. 上記42項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

5 (f) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

46. 上記41から45項のいずれか一つにおいて、上記酸化工程は、ランプ加熱によって行われる半導体集積回路装置の製造方法。

47. 以下の工程よりなる半導体集積回路装置の製造方法；

10 (a) 触媒を用いて酸素と水素から水分を合成する工程、

(b) 合成された上記水分を含む雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程、

15 (c) 上記工程の後、外気に触れさせることなく上記シリコン酸化膜が形成された上記ウエハに対して、窒素酸化物を含むガス雰囲気中で表面処理を施す工程。

48. 上記47項において、上記シリコン酸化膜は、MOSトランジスタのゲート電極となるべきものである半導体集積回路装置の製造方法。

49. 上記48項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

20 (e) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、窒素酸化物を含む雰囲気中で表面処理を施す工程。

50. 上記49項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

25 (f) 上記表面処理がなされた上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

51. 上記48項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(f) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒す

ことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

52. 上記47から51項のいずれか一つにおいて、上記酸化工程は、ランプ加熱によって行われる半導体集積回路装置の製造方法。

5 53. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) ウエハ上のシリコン表面に素子分離溝を形成する工程、

(b) 上記素子分離溝内に外部からの絶縁膜を形成する工程、

(c) 上記シリコン表面を平坦化して、上記シリコン表面の熱酸化膜を形成すべき部分を露出する工程、

10 (d) 触媒により水分を合成し、それを含む雰囲気中で上記露出された部分に電界効果トランジスタのゲート絶縁膜となるべき熱酸化膜を形成する工程。

54. 上記53項において、上記平坦化は、化学機械的方法により行われる半導体集積回路装置の製造方法。

55. 上記53または54項において、上記平坦化は、化学機械研磨により行われる半導体集積回路装置の製造方法。

56. 上記53から55項のいずれか一つにおいて、上記外部からの絶縁膜は、CVD (Chemical Vapor Deposition) により形成される半導体集積回路装置の製造方法。

57. 以下の工程よりなる半導体集積回路装置の製造方法；

20 (a) ウエハ上のシリコン表面に素子分離溝を形成する工程、

(b) 上記素子分離溝内にデポジションにより絶縁膜を形成する工程、

(c) 触媒により水分を合成し、それを含む雰囲気中で上記素子分離溝により囲まれたシリコン表面に電界効果トランジスタのゲート絶縁膜となるべき熱酸化膜を形成する工程。

25 58. 上記57項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(d) 上記工程 (b) の後、上記シリコン表面を平坦化して、上記シリコン表面の熱酸化膜を形成すべき部分を露出する工程。

59. 上記57または58項において、上記平坦化は、化学機械的方法により行

われる半導体集積回路装置の製造方法。

6 0. 上記 5 7 から 5 9 項のいずれか一つにおいて、上記平坦化は、化学機械研磨により行われる半導体集積回路装置の製造方法。

6 1. 上記 5 7 から 6 0 項のいずれか一つにおいて、上記外部からの絶縁膜は、

5 C V D (Chemical Vapor Deposition) により形成される半導体集積回路装置の製造方法。

6 2. 以下の工程よりなる半導体集積回路装置の製造方法；

雰囲気全体の気圧に占める水分の分圧の割合が 0.5 % から 5 % の範囲の酸化性雰囲気中で、ウエハ上のシリコン表面をランプにより加熱することにより上記 10 シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

6 3. 上記 6 2 項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

6 4. 以下の工程よりなる半導体集積回路装置の製造方法；

15 (a) 酸素と水素の混合ガスに触媒を作用させて水分を含む第 1 のガスを生成する工程、

(b) 上記第 1 のガスを水分以外の第 2 のガスで希釈する工程、

(c) 希釈された上記第 1 のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第 1 ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜をランプ加熱による熱酸化により形成する工程。

6 5. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 水分が結露しない程度に予熱され、実質的に非酸化性雰囲気に保たれた酸化処理部に非処理ウエハを導入する工程、

25 (b) 上記酸化処理部において、雰囲気全体の気圧に占める水分の分圧の割合が 0.1 % 以上の範囲の酸化性雰囲気下で、導入された上記ウエハ上のシリコン表面をランプにより加熱することにより上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

6 6. 上記 6 5 項において、上記非酸化性雰囲気は、窒素ガスを主として少量の

酸素ガスを添加したものである半導体集積回路装置の製造方法。

67. 上記65または66項において、上記予熱温度は、摂氏100度以上500度以下である半導体集積回路装置の製造方法。

68. 上記65から67項のいずれか一つにおいて、上記酸化処理時の上記ウェハの表面温度は、摂氏700度以上である半導体集積回路装置の製造方法。  
5

69. 上記65から68項のいずれか一つにおいて、上記非酸化性雰囲気は、水分が結露しない程度に予熱された後に上記酸化処理部に導入される上記半導体集積回路装置の製造方法。

70. 上記65から69項のいずれか一つにおいて、上記ウェハは、水分が結露しない程度に予熱された後に上記酸化処理部に導入される上記半導体集積回路装置の製造方法。  
10

71. 以下の工程よりなる半導体集積回路装置の製造方法；

15 雰囲気全体の気圧に占める水分の分圧の割合が0.5%から5%の範囲であつて、酸素ガスを含む酸化性雰囲気中で、かつウェハ上のシリコン表面が摂氏80度以上に加熱された条件下で上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべき5nm以下の厚みを有するシリコン酸化膜を熱酸化により形成する工程。

72. 上記71項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

20 73. 上記71または72項において、上記熱酸化は、上記ウェハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

74. 以下の工程よりなる半導体集積回路装置の製造方法；

25 雰囲気全体の気圧に占める水分の分圧の割合が0.5%から5%の範囲であつて、酸素ガスを含む酸化性雰囲気中で、ウェハ上のシリコン表面にフラッシュメモリのトンネル絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

75. 上記74項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

76. 上記74または75項において、上記熱酸化は、上記ウェハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

77. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 触媒により水分を生成させる工程、

(b) 触媒により生成した水分を含む雰囲気ガスを第1の酸化処理部に供給しながら、前記第1の酸化処理部においてウエハ上の第1のシリコン表面領域に第1  
5 の熱酸化膜を形成する工程、

(c) 上記工程 (a) の前または上記工程 (b) の後に、酸素と水素を燃焼させることによって水分を生成させる工程、

(d) 燃焼により生成した水分を含む雰囲気ガスを第1または第2の酸化処理部  
10 に供給しながら、前記第2の酸化処理部において上記ウエハ上の第2のシリコン  
表面領域に第2の熱酸化膜を形成する工程。

78. 以下の工程よりなる半導体集積回路装置の製造方法；

雰囲気全体の気圧に占める水分の分圧の割合が0.5%から5%の範囲の酸化性雰囲気下で、ウエハの主表面が実質的に水平になるように保持した状態で、前記ウエハ上の上記主表面上のシリコン表面にMOSトランジスタのゲート絶縁膜  
15 となるべきシリコン酸化膜を熱酸化により形成する工程。

79. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 爆発が起こらない温度条件下で、水に対応する化学量論的比率より酸素リッチな酸素と水素の非化学量論的な混合ガスから触媒を用いて水分を合成する工  
程、

20 (b) 合成された上記水分を含む酸化性雰囲気中で、ウエハ上のシリコン表面にシリコン酸化膜を熱酸化により形成する工程。

80. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 実質的に酸化が進行しない程度の少量の酸素を含む非酸化性の雰囲気に保  
たれた摂氏700度以上の高温の酸化処理部に、被処理ウエハを導入する工程、

25 (b) 摂氏500度以下で触媒を用いて酸素と水素から水分を合成する工程、

(c) 上記酸化処理部において、雰囲気全体の気圧に占める合成された上記水分  
の分圧の割合が0.5%から5%の酸化性雰囲気中で、かつウエハ上のシリコン  
表面が摂氏700度以上に加熱された条件下で、上記シリコン表面に電界効果ト  
ランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工

程。

(本願発明のその他の概要等)

以上およびその他の本願発明の概要を項分けして示せば以下のとくである。

5 A. 以下の工程（a）、（b）を含むことを特徴とする半導体集積回路装置の製造方法；

（a）水素と酸素とから触媒作用によって水を生成する工程、

（b）前記水が低濃度に含まれた酸素を所定の温度に加熱した半導体ウエハの主面またはその近傍に供給し、少なくとも酸化膜形成の再現性および酸化膜厚の均一性が確保され得る程度の酸化膜成長速度で前記半導体ウエハの主面に膜厚が5 nm以下 の酸化膜を形成する工程。

B. 上記項A記載の半導体集積回路装置の製造方法であって、前記酸化膜がMOSFETのゲート酸化膜であることを特徴とする半導体集積回路装置の製造方法。

15 C. 上記項A記載の半導体集積回路装置の製造方法であって、前記酸化膜の膜厚が3 nm以下であることを特徴とする半導体集積回路装置の製造方法。

D. 上記項A記載の半導体集積回路装置の製造方法であって、前記半導体ウエハの加熱温度が800から900°Cであることを特徴とする半導体集積回路装置の製造方法。

20 E. 上記項A記載の半導体集積回路装置の製造方法であって、前記（b）工程の後、前記半導体ウエハの主面に酸窒化処理を施すことにより、前記酸化膜と基板との界面に窒素を偏析させることを特徴とする半導体集積回路装置の製造方法。

F. 上記項A記載の半導体集積回路装置の製造方法であって、前記酸化膜の形成を枚葉処理で行うことを特徴とする半導体集積回路装置の製造方法。

G. 上記項A記載の半導体集積回路装置の製造方法であって、前記酸化膜の形成をバッチ処理で行うことを特徴とする半導体集積回路装置の製造方法。

H. 以下の工程（a）、（b）を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 水素と酸素とから触媒作用によって水を生成する工程、  
(b) 少なくとも水を含まない乾燥酸素雰囲気中で形成される酸化膜よりも優れた初期耐圧が得られる濃度の前記水が含まれた酸素を所定の温度に加熱した半導体ウエハの正面またはその近傍に供給することによって、前記半導体ウエハの正面に膜厚が 5 nm 以下の酸化膜を形成する工程。  
5

I. 上記項 H 記載の半導体集積回路装置の製造方法であって、前記水の濃度が 40 % 以下であることを特徴とする半導体集積回路装置の製造方法。

J. 上記項 H 記載の半導体集積回路装置の製造方法であって、前記水の濃度が 0.5 から 5 % であることを特徴とする半導体集積回路装置の製造方法。

K. 上記項 H 記載の半導体集積回路装置の製造方法であって、前記酸化膜の膜厚が 3 nm 以下であることを特徴とする半導体集積回路装置の製造方法。  
10

L. 以下の工程 (a) から (c) を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 主面に第 1 の酸化膜が形成された半導体ウエハを洗浄部へ搬送し、前記第 1 の酸化膜をウエット洗浄により除去する工程、  
15

(b) 前記半導体ウエハを大気に接触させることなく、前記洗浄部から不活性ガス雰囲気の酸化処理部へ搬送する工程、

(c) 触媒作用によって水素と酸素とから生成した水を低濃度に含む酸素を所定の温度に加熱した前記半導体ウエハの正面またはその近傍に供給し、少なくとも酸化膜形成の再現性および酸化膜厚の均一性が確保され得る程度の酸化膜成長速度で前記半導体ウエハの正面に膜厚が 5 nm 以下の第 2 の酸化膜を形成する工程。  
20

M. 上記項 L 記載の半導体集積回路装置の製造方法であって、前記酸化膜の膜厚が 3 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

N. 上記項 L 記載の半導体集積回路装置の製造方法であって、前記第 2 の酸化膜は、前記第 1 の酸化膜を除去してから前記第 2 の酸化膜を形成するまでの間に前記半導体ウエハの表面に不所望に形成される自然酸化膜と、前記酸素との接触によって前記半導体ウエハの表面に不所望に形成される初期酸化膜とをその一部に含み、前記自然酸化膜と前記初期酸化膜の合計の膜厚は、前記第 2 の酸化膜全体の膜厚の 2 分の 1 以下であることを特徴とする半導体集積回路装置の製造  
25

方法。

O. 上記項 L 記載の半導体集積回路装置の製造方法であって、前記自然酸化膜と前記初期酸化膜の合計の膜厚は、前記第 2 の酸化膜全体の膜厚の 3 分の 1 以下であることを特徴とする半導体集積回路装置の製造方法。

5 P. 半導体ウエハの第 1 領域および第 2 領域に第 1 の酸化膜を形成した後、前記半導体ウエハの第 1 領域に形成された前記第 1 の酸化膜を除去する工程と、前記半導体ウエハの第 1 領域および第 2 領域に残った前記第 1 の絶縁膜上に第 2 の酸化膜を形成する工程とを含み、前記第 1 および第 2 の酸化膜の少なくとも一方を上記項 1 記載の工程 (a)、(b) を含む方法によって形成することを特徴とする半導体集積回路装置の製造方法。

#### 図面の簡単な説明

図 1 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

15 図 2 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

図 3 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

20 図 4 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

図 5 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

図 6 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

25 図 7 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

図 8 は、本発明の実施の形態 1 による半導体集積回路装置の製造方法を示す要部断面図である。

図 9 は、ゲート酸化膜の形成に使用する枚葉式酸化膜形成装置の概略図である。

図10は、本発明の実施の形態1による半導体集積回路装置の製造方法を示す要部断面図である。

図11(a)は、酸化膜形成室の構成の一例を示す概略平面図、(b)は、(a)のB-B'線に沿った断面図である。

5 図12(a)は、酸化膜形成室の構成の他の例を示す概略平面図、(b)は、(a)のB-B'線に沿った断面図である。

図13は、酸化膜形成室のチャンバに接続された触媒方式の水分生成装置を示す概略図である。

図14は、図13の一部を拡大して示す概略図である。

10 図15は、ゲート酸化膜形成のシーケンスの一例を示す説明図である。

図16は、本発明の実施の形態1による半導体集積回路装置の製造方法を示す要部断面図である。

図17は、酸化膜成長速度に対する水分濃度の依存性を示すグラフである。

15 図18は、MOSダイオードの酸化膜初期耐圧に対する水分濃度の依存性を示すグラフである。

図19は、MOSダイオードの電極間に定電流を流したときの電圧変化量に対する水分濃度の依存性を示すグラフである。

図20は、ゲート酸化膜のウエハ面内における膜厚分布を示す説明図である。

図21は、ゲート酸化膜の成分の内訳を示すグラフである。

20 図22は、本発明の実施の形態1による半導体集積回路装置の製造方法を示す要部断面図である。

図23は、本発明の実施の形態1による半導体集積回路装置の製造方法を示す要部断面図である。

25 図24は、本発明の実施の形態1による半導体集積回路装置の製造方法を示す要部断面図である。

図25は、本発明の実施の形態1による半導体集積回路装置の製造方法を示す要部断面図である。

図26は、本発明の実施の形態1による半導体集積回路装置の製造方法を示す要部断面図である。

図27は、本発明の実施の形態2による半導体集積回路装置の製造方法を示す要部断面図である。

図28は、本発明の実施の形態2による半導体集積回路装置の製造方法を示す要部断面図である。

5 図29は、本発明の実施の形態2による半導体集積回路装置の製造方法を示す要部断面図である。

図30は、酸化膜形成室の構成の他の例を示す断面図である。

図31は、ゲート酸化膜形成のシーケンスの一例を示す説明図である。

10 図32は、本発明の実施の形態2による半導体集積回路装置の製造方法を示す要部断面図である。

図33は、本発明による酸化膜形成方法の他の例を示す概略図である。

図34は、本発明による半導体集積回路装置の製造方法の他の例を示す要部断面図である。

## 15 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

また、説明の便宜のためにいくつかの実施例または項目に分けて説明するが、  
20 これらの各実施の形態または項目はそれぞれバラバラのものではなく、相互に一部の他の変形例、一部工程の詳細、一部工程に用いる装置等の関係を有していることは言うまでもない。すなわち、一連の実施の形態で説明した個々の装置または単位プロセス等は他の実施例にほぼそのまま適用できる場合には逐一繰り返さないことにする。また、逆に独立して説明した個々の装置または単位プロセス等  
25 は他の実施の形態にほぼそのまま適用できる場合には逐一繰り返さないことにする。

### (半導体プロセスA)

本実施の形態のCMOSFET(Complementary Metal Oxide Semiconductor Field Effect Transistor)の製造方法を図1から図26(主に図1から8、10、

16、および22から26)を用いて説明する。

まず、図1に示すように、比抵抗が $10\Omega\text{cm}$ 程度の単結晶シリコンからなる半導体基板1を熱処理してその正面に膜厚 $10\text{nm}$ 程度の薄い酸化シリコン膜2を形成(熱酸化プロセスA1)した後、この酸化シリコン膜2上に膜厚 $100\text{nm}$ 程度の窒化シリコン膜3をCVD法で堆積する。次に、図2に示すように、窒化シリコン膜3上に素子分離領域を開孔したフォトレジスト4を形成し、このフォトレジスト4をマスクにして窒化シリコン膜3をパターニングする。

次に、フォトレジスト4を除去した後、図3に示すように、窒化シリコン膜3をマスクにして酸化シリコン膜2と半導体基板1とを順次エッチングして半導体基板1に深さ $350\text{nm}$ 程度の溝5aを形成し、続いて $900$ から $1150^\circ\text{C}$ の熱酸化処理を施して溝5aの内壁に酸化シリコン膜6を形成(熱酸化プロセスA2)する。

次に、図4に示すように、例えばオゾン( $\text{O}_3$ )とテトラエトキシシラン( $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ )とをソースガスに用いたCVD法で半導体基板1上に膜厚 $800\text{nm}$ 程度の酸化シリコン膜7を堆積した後、図5に示すように、酸化シリコン膜7を化学的機械研磨(Chemical Mechanical Polishing; CMP)法で研磨し、窒化シリコン膜3を研磨のストップに用いて溝5aの内部のみに酸化シリコン膜7を残すことにより、素子分離溝5を形成する。続いて、約 $1000^\circ\text{C}$ の熱処理をして素子分離溝5の内部の酸化シリコン膜7をデンシファイする。

次に、熱リン酸を用いたウェットエッチングで窒化シリコン膜3を除去した後、図6に示すように、pチャネル型MOSFETの形成領域(図の左側)を開孔したフォトレジスト8をマスクにして半導体基板1にn型ウエルを形成するための不純物をイオン打ち込みし、さらにpチャネル型MOSFETのしきい値電圧を調整するための不純物をイオン打ち込みする。n型ウエル形成用の不純物は、例えばP(リン)を使用し、エネルギー= $360\text{keV}$ 、ドーズ量= $1.5 \times 10^{13}/\text{cm}^2$ でイオン打ち込みする。また、しきい値電圧調整用の不純物は、例えばPを使用し、エネルギー= $40\text{keV}$ 、ドーズ量= $2 \times 10^{12}/\text{cm}^2$ でイオン打ち込みする。

次に、フォトレジスト8を除去した後、図7に示すように、nチャネル型MO

S F E T の形成領域（図の右側）を開孔したフォトレジスト 9 をマスクにして半導体基板 1 に p 型ウエルを形成するための不純物をイオン打ち込みし、さらに n チャネル型M O S F E T のしきい値電圧を調整するための不純物をイオン打ち込みする。p 型ウエル形成用の不純物は、例えばB（ホウ素）を使用し、エネルギー=2 0 0 k e V、ドーズ量=1 . 0 × 1 0 <sup>13</sup>/cm<sup>2</sup>でイオン打ち込みする。また、しきい値電圧調整用の不純物は、例えばフッ化ホウ素（B F<sub>2</sub>）を使用し、エネルギー=4 0 k e V、ドーズ量=2 × 1 0 <sup>12</sup>/cm<sup>2</sup>でイオン打ち込みする。

次に、フォトレジスト 9 を除去した後、図 8 に示すように、半導体基板 1 を 9 5 0 ℃、1 分程度熱処理して上記 n 型不純物および p 型不純物を引き伸ばし拡散することにより、p チャネル型M O S F E T 形成領域の半導体基板 1 に n 型ウエル 1 0 を形成し、その表面近傍に p 型チャネル領域 1 2 を形成する。また同時に、n チャネル型M O S F E T 形成領域の半導体基板 1 に p 型ウエル 1 1 を形成し、その表面近傍に n 型チャネル領域 1 3 を形成する。

次に、上記 n 型ウエル 1 0 と p 型ウエル 1 1 のそれぞれの表面に以下の方法で 15 ゲート酸化膜を形成（熱酸化プロセス A 3）する。

図 9 は、ゲート酸化膜の形成に使用する枚葉式酸化膜形成装置の概略図である。図示のように、この酸化膜形成装置 1 0 0 は、ゲート酸化膜の形成に先だって半導体ウエハ 1 A の表面の酸化膜をウェット洗浄方式で除去する洗浄装置 1 0 1 の後段に接続されている。このような洗浄—酸化一貫処理システムを採用することにより、洗浄装置 1 0 1 内で洗浄処理に付された半導体ウエハ 1 A を大気に接触させることなく、かつ短時間で酸化膜形成装置 1 0 0 へ搬送できるので、酸化膜を除去してからゲート酸化膜を形成するまでの間に半導体ウエハ 1 A の表面に自然酸化膜が形成されるのを極力抑制することができる。

洗浄装置 1 0 1 のローダ 1 0 2 にロードされた半導体ウエハ 1 A は、まず洗浄室 1 0 3 に搬送され、例えばNH<sub>4</sub>OH+H<sub>2</sub>O<sub>2</sub>+H<sub>2</sub>O 等の洗浄液による洗浄処理に付された後、フッ酸洗浄室 1 0 4 に搬送され、希フッ酸（HF+H<sub>2</sub>O）による洗浄処理に付されて表面の酸化シリコン膜が除去される（図 1 0）。その後、半導体ウエハ 1 A は乾燥室 1 0 5 に搬送されて乾燥処理に付され、表面の水分が除去される。半導体ウエハ 1 A の表面に残留した水分は、ゲート酸化膜中やゲー

ト酸化膜／シリコン界面にSi—H、Si—OH等の構造欠陥を引き起こして電荷トラップを形成する原因となるので、十分に除去しておく必要がある。

乾燥処理の終わった半導体ウェハ1Aは、バッファ106を通って直ちに酸化膜形成装置100へと搬送される。

5 この酸化膜形成装置100は、例えば酸化膜形成室107、酸窒化膜形成室108、クーリングステージ109、ローダ／アンローダ110等を備えたマルチチャンバ方式で構成されており、装置中央の搬送系112は、半導体ウェハ1Aを上記各処理室に（から）搬入（搬出）するためのロボットハンド113を備えている。搬送系112の内部は、大気の混入によって半導体ウェハ1Aの表面に自然酸化膜が形成されるのを極力抑制するために、窒素等の不活性ガス雰囲気に保たれる。また、搬送系112の内部は、半導体ウェハ1Aの表面に水分が付着するのを極力抑制するために、ppbレベルの超低水分雰囲気に保たれる。酸化膜形成装置100に搬入された半導体ウェハ1Aは、ロボットハンド113を介してまず酸化膜形成室107に1枚あるいは2枚単位で搬送される。

15 図11(a)は、酸化膜形成室107の具体的な構成の一例を示す概略平面図、図11(b)は、図11(a)のB-B'線に沿った断面図である。

この酸化膜形成室107は、多重壁石英管で構成されたチャンバ120を備えており、その上部および下部には半導体ウェハ1Aを加熱するヒータ121a、121bが設置されている。チャンバ120の内部には、このヒータ121a、121bから供給される熱を半導体ウェハ1Aの全面に均等に分散させる円盤状の均熱リング122が収容され、その上部に半導体ウェハ1Aを水平に保持するサセプタ123が載置されている。均熱リング122は、石英あるいはSiC(シリコンカーバイド)等の耐熱材料で構成され、チャンバ120の壁面から延びる支持アーム124によって支持されている。均熱リング122の近傍には、サセプタ123に保持された半導体ウェハ1Aの温度を測定する熱電対125が設置されている。半導体ウェハ1Aの加熱は、ヒータ121a、121bによる加熱方式の他、例えば図12に示すようなランプ130による加熱方式を採用してもよい。

チャンバ120の壁面の一部には、チャンバ120内に水、酸素およびパージ

ガスを導入するためのガス導入管 126 の一端が接続されている。このガス導入管 126 の他端は、後述する触媒方式の水分生成装置に接続されている。ガス導入管 126 の近傍には、多数の貫通孔 127 を備えた隔壁 128 が設けられており、チャンバ 120 内に導入されたガスは、この隔壁 128 の貫通孔 127 を通過してチャンバ 120 内に均等に行き渡る。チャンバ 120 の壁面の他の一部には、チャンバ 120 内に導入された上記ガスを排出するための排気管 129 の一端が接続されている。

図 13 および図 14 は、上記チャンバ 120 に接続された触媒方式の水分生成装置を示す概略図である。この水分生成装置 140 は、耐熱耐食性合金（例えば商品名「ハステロイ(Hastelloy)」として知られる Ni 合金等）で構成された反応器 141 を備えており、その内部には Pt（プラチナ）、Ni（ニッケル）あるいは Pd（パラジウム）等の触媒金属からなるコイル 142 とこのコイル 142 を加熱するヒータ 143 とが収容されている。

上記反応器 141 には、水素および酸素からなるプロセスガスと、窒素あるいは Ar（アルゴン）等の不活性ガスからなるバージガスとがガス貯留槽 144a、144b、144c から配管 145 を通じて導入される。配管 145 の途中には、ガスの量を調節するマスフローコントローラ 146a、146b、146c と、ガスの流路を開閉する開閉バルブ 147a、147b、147c とが設置され、反応器 141 内に導入されるガスの量および成分比がこれらによって精密に制御される。

反応器 141 内に導入されたプロセスガス（水素および酸素）は、350 から 450°C 程度に加熱されたコイル 142 に接触して励起され、水素分子からは水素ラジカルが生成し ( $H_2 \rightarrow 2H^+$ )、酸素分子からは酸素ラジカルが生成する ( $O_2 \rightarrow 2O^-$ )。これら 2 種のラジカルは化学的に極めて活性であるために、速やかに反応して水を生成する ( $2H^+ + O^- \rightarrow H_2O$ )。この水は、接続部 148 内で酸素と混合されて低濃度に希釈され、前記ガス導入管 126 を通って酸化膜形成室 107 のチャンバ 120 に導入される。

上記のような触媒方式の水分生成装置 140 は、水の生成に関する水素と酸素の量を高精度に制御できるので、酸素と共に酸化膜形成室 107 のチャンバ 1

20に導入される水の濃度を ppt 以下の超低濃度から数 10 %程度の高濃度まで広範囲に、かつ高精度に制御することができる。また、反応器 141 にプロセスガスを導入すると瞬時に水が生成されるため、所望する水分濃度がリアルタイムで得られる。従って、反応器 141 内に水素と酸素を同時に導入することができ、

- 5 燃焼方式を採用する従来の水分生成システムのように、水素の導入に先立って酸素を導入する必要はない。なお、反応器 141 内の触媒金属は、水素や酸素をラジカル化できるものであれば前述した金属以外の材料を使用してもよい。また、触媒金属はコイル状に加工して使用する他、例えば中空の管あるいは細かい繊維フィルタ等に加工してその内部にプロセスガスを通してよい。

- 10 上記酸化膜形成装置 100 を使ったゲート酸化膜形成のシーケンスの一例を図 15 を参照しながら説明する。

まず、酸化膜形成室 107 のチャンバ 120 を開放し、その内部にパージガス（窒素）を導入しながら半導体ウエハ 1A をサセプタ 123 の上にロードする。半導体ウエハ 1A をチャンバ 120 に搬入してからサセプタ 123 の上にロードするまでの時間は 55 秒である。その後、チャンバ 120 を閉鎖し、引き続きパージガスを 30 秒間導入してチャンバ 120 内のガス交換を十分に行う。サセプタ 123 は、半導体ウエハ 1A が速やかに加熱されるよう、あらかじめヒータ 121a、121b で加熱しておく。半導体ウエハ 1A の加熱温度は、800 から 900 °C の範囲内、例えば 850 °C とする。ウエハ温度が 800 °C 以下ではゲート酸化膜の品質が低下する。他方、900 °C 以上ではウエハの表面荒れが発生し易くなる。

次に、水分生成装置 140 の反応器 141 に酸素と水素を 15 秒間導入し、生成した水を酸素と共にチャンバ 120 に導入して半導体ウエハ 1A の表面を 5 分間酸化することにより、膜厚 5 nm 以下、例えば 4 nm のゲート酸化膜 14 を形成する（図 16）。

反応器 141 に酸素と水素を導入する際には、水素を酸素より先に導入しないようにする。水素を酸素より先に導入すると、未反応の水素が高温のチャンバ 120 に流入するため危険である。他方、酸素を水素より先に導入すると、この酸素がチャンバ 120 に流入し、待機中の半導体ウエハ 1A の表面に低品質の酸化

膜（初期酸化膜）を形成する。従って、水素は酸素と同時に導入するか、あるいは作業の安全性を考慮して酸素よりも僅かに遅いタイミング（0から5秒以内）で導入する。このようにすると、半導体ウエハ1Aの表面に不所望に形成される初期酸化膜の膜厚を最小限に抑制することができる。

5 図17は、酸化膜成長速度に対する水分濃度の依存性を示すグラフであり、横軸は酸化時間、縦軸は酸化膜厚を示している。図示のように、酸化膜成長速度は、水分濃度が0（ドライ酸化）のときに最も遅く、水分濃度が高くなるにつれて速くなる。従って、膜厚が5nm程度もしくはそれ以下の極薄ゲート酸化膜を再現性良く、かつ均一な膜厚で形成するためには、水分濃度を低くして酸化膜成長速度を遅らせ、安定な酸化条件で成膜を行うことが有効である。

10 図18は、半導体基板、ゲート酸化膜およびゲート電極で構成されるMOSダイオードの酸化膜初期耐圧に対する水分濃度の依存性を示すグラフであり、横軸はMOSダイオードの一方の電極（ゲート電極）に印可する電圧、縦軸はゲート酸化膜中の欠陥密度を示している。ここでは、水分濃度の影響を顕在化させるために、膜厚=9nm、面積=0.19cm<sup>2</sup>のゲート酸化膜を（1）酸化温度=850°C、水分濃度=0、（2）酸化温度=850°C、水分濃度=0.8%、（3）縦型拡散炉を使用し、酸化温度=800°C、水分濃度=40%の条件で形成したMOSダイオードを使用した。図示のように、水分濃度=0.8%の低水分条件で形成したゲート酸化膜は、水分濃度=0（ドライ酸化）で形成したゲート酸化膜および20水分濃度=40%の高水分条件で形成したゲート酸化膜のいずれに比べても良好な初期耐圧を示した。

25 図19は、上記MOSダイオードの電極間に定電流（I<sub>s</sub>）を流したときの電圧変化量に対する水分濃度の依存性を示すグラフである。図示のように、水分濃度=0（ドライ酸化）で形成したゲート酸化膜を使用したMOSダイオードは、酸化膜中の欠陥密度が高いことに起因して電圧変化量が大きかった。

図20は、上記酸化膜形成装置100を使って形成したゲート酸化膜のウエハ面内における膜厚分布を示している。ここでは、ウエハ温度を850°Cに設定し、水分濃度=0.8%で2分30秒間酸化した場合について示した。図示のように、膜厚の最大値=2.881nm、最小値=2.814nmとなり、膜厚のばらつきが

± 1.18 %という良好な面内均一性が得られた。

以上のことから、酸化膜形成室 107 のチャンバ 120 に導入する水の好ましい濃度（水／水 + 酸素）は、ドライ酸化（水分濃度 = 0）で形成したときよりも優れた初期耐圧が得られる濃度を下限とし、従来の燃焼方式を採用した場合の上

5 限である 40 %程度までの範囲内とすればよく、特に膜厚が 5 nm 程度もしくはそれ以下の極薄ゲート酸化膜を均一な膜厚で再現性良く、しかも高品質が得られるように形成するためには、水の濃度を 0.5 %から 5 %の範囲内とするのが好ましいという結論が得られる。

図 21 は、熱酸化によって得られるゲート酸化膜の成分の内訳を示すもので、

10 図の右側のグラフは、上述した本実施の形態の方法で形成した膜厚 4 nm のゲート酸化膜、中央のグラフは、燃焼方式を利用した従来方法で形成した膜厚 4 nm のゲート酸化膜、左側のグラフは、同じ従来方法で形成した膜厚 9 nm のゲート酸化膜である。

図示のように、本実施の形態では、洗浄一酸化一貫処理システムを採用し、前 15 洗浄から酸化膜形成までの間の雰囲気中の酸素との接触を極力回避するようにした結果、酸化膜形成装置内での制御可能な酸化膜の形成に先立って形成されるこの自然酸化膜の膜厚を従来方法の 0.7 nm (トータル膜厚の 17.5%) から 0.3 nm (トータル膜厚の 7.5%) まで薄くすることができた。また、触媒による水分生成方式を採用し、酸化膜形成装置内への酸化種の即時導入を図った結果、 20 目的とする本来の酸化膜の形成に先立って、酸化種中の酸素との接触により不所望に形成される初期酸化膜の膜厚を従来方法の 0.8 nm (トータル膜厚の 20%) から 0.3 nm (トータル膜厚の 7.5%) まで薄くすることができた。この結果、目的とする本来の制御可能な酸化膜がトータル膜厚の 85% を占める高 25 品質の極薄ゲート酸化膜を形成することができた。さらに、前述したように、酸化種の水分濃度の最適化を図り、酸化膜成長速度を下げて安定な酸化条件で成膜を行うようにした結果、高品質の極薄ゲート酸化膜を均一な膜厚で再現性良く形成することができた。

次に、上記ゲート酸化膜を形成した以後の CMOS プロセスを簡単に説明する。

前記図 14 に示すように、ゲート酸化膜 14 の形成が完了した後、まず酸化膜

形成室 107 のチャンバ 120 にバージガスを 2 分 20 秒間導入し、チャンバ 120 内に残った酸化種を排気する。続いて半導体ウェハ 1 A をサセプタ 123 から 55 秒でアンロードし、チャンバ 120 から搬出する。

次に、半導体ウェハ 1 A を前記図 9 に示す酸窒化膜形成室 108 に搬送し、N<sub>2</sub>O (酸化窒素) あるいは N<sub>2</sub>O (亜酸化窒素) 雰囲気中で半導体ウェハ 1 A を熱処理することによって、ゲート酸化膜 14 と半導体基板 1 との界面に窒素を偏析させる。

ゲート酸化膜 14 が 5 nm 程度まで薄くなると、半導体基板 1 との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板 1 との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極薄ゲート酸化膜 14 の信頼性を向上できる。なお、N<sub>2</sub>O を使用して酸窒化処理を行うときは、N<sub>2</sub>O の分解によって生じた酸素による酸化も進行するので、ゲート酸化膜 14 の膜厚が 1 nm 程度厚くなる。この場合は、酸窒化膜形成室 107 で膜厚 3 nm のゲート酸化膜を形成した後に酸窒化処理を行うことにより、ゲート酸化膜厚を 4 nm に設定することができる。他方、NO を使用する場合は、酸窒化処理によってゲート酸化膜が厚くなることは殆どない。

次に、酸窒化処理が完了した半導体ウェハ 1 A をクーリングステージ 109 で室温まで冷却してから、ローダ／アンローダ 110 を通じて酸化膜形成装置 100 の外部に搬出し、ゲート電極用の導電膜を堆積するための CVD 装置（図示せず）へ搬送する。その際、この CVD 装置を酸化膜形成装置 100 の後段に接続し、ゲート酸化膜の形成からゲート電極用導電膜の堆積までを連続して一貫処理することにより、ゲート酸化膜 14 の汚染を有效地に防止することができる。

次に、図 22 に示すように、ゲート酸化膜 14 の上部にゲート長が 0.25 μm のゲート電極 15 を形成する。ゲート電極 15 は、半導体基板 1 上に CVD 法で膜厚 150 nm の n 型多結晶シリコン膜、膜厚 150 nm のノンドープ多結晶シリコン膜を順次堆積した後、フォトレジストをマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

次に、図 23 に示すように、p チャネル型 MOSFET の形成領域に p 型不純物、例えば B (ホウ素) を垂直方向および斜め方向からイオン打ち込みして、ゲ

ート電極 14 の両側の n 型ウエル 10 に p<sup>-</sup>型半導体領域 16 および p 型半導体領域 17 を形成する。また、n チャネル型MOSFET の形成領域に n 型不純物、例えば P (リン) を垂直方向および斜め方向からイオン打ち込みして、ゲート電極 14 の両側の p 型ウエル 11 に n<sup>-</sup>型半導体領域 18 および n 型半導体領域 19 を形成する。

次に、図 24 に示すように、半導体基板 1 上に CVD 法で堆積した酸化シリコン膜を異方性エッチングしてゲート電極 14 の側壁に厚さ 0.15 μm 程度のサイドウォールスペーサ 20 を形成する。このとき、p 型半導体領域 17 の上部のゲート酸化膜 14 および n 型半導体領域 19 の上部のゲート酸化膜 14 を除去する。続いて p チャネル型MOSFET の形成領域に p 型不純物、例えば B (ホウ素) をイオン打ち込みして、ゲート電極 14 の両側の n 型ウエル 10 に p<sup>+</sup>型半導体領域 21 を形成する。また、n チャネル型MOSFET の形成領域に n 型不純物、例えば P (リン) をイオン打ち込みして、ゲート電極 14 の両側の p 型ウエル 11 に n<sup>+</sup>型半導体領域 22 を形成する。

次に、図 25 に示すように、p チャネル型MOSFET のゲート電極 14、p<sup>+</sup>型半導体領域 21 (ソース領域、ドレイン領域)、n チャネル型MOSFET のゲート電極 14、n<sup>+</sup>型半導体領域 22 (ソース領域、ドレイン領域) のそれぞれの表面に TiSi<sub>2</sub> (チタンシリサイド) 層 23 を形成する。TiSi<sub>2</sub> 層 23 は、半導体基板 1 上にスパッタリング法で堆積した Ti 膜を熱処理して半導体基板 1 およびゲート電極 14 と反応させた後、未反応の Ti 膜をエッチングで除去して形成する。以上の工程により、p チャネル型MOSFET (Qp) および n チャネル型MISFET (Qn) が完成する。

その後、図 26 に示すように、半導体基板 1 上にプラズマ CVD 法で堆積した酸化シリコン膜 24 に接続孔 25 から 28 を形成し、続いて酸化シリコン膜 24 上にスパッタリング法で堆積した Al 合金膜をパターニングして配線 29 から 31 を形成することにより、本実施の形態の CMOS プロセスがほぼ完了する。

#### (半導体プロセス B)

本実施の形態の MOSFET の製造方法 (LOCOS アイソレーションプロセス) を図 27 から図 32 を用いて説明する。本プロセスではショートレンチア

イソレーション(Shallow Trench Isolation; S T I)の代わりに従来型のアイソレーションを用いている。この場合微細化に関しては限界があるが、従来からのプロセスがそのまま援用できるメリットがある。半導体プロセス1のS T IまたはS G I(Shallow Groove Isolation)でも、本実施例のL O C O SアイソレーションでもM O S F E Tは他のトランジスタとソースまたはドレインを共有しない限り原則として、その周りをアイソレーション領域で囲まれることになる。

まず、図27に示すように、半導体基板1を熱処理してその主面に膜厚10nm程度の薄い酸化シリコン膜2を形成(熱酸化プロセスB1)した後、この酸化シリコン膜2上に膜厚100nm程度の窒化シリコン膜3をCVD法で堆積する。次に、図28に示すように、窒化シリコン膜3上に素子分離領域を開孔したフォトレジスト4を形成し、このフォトレジスト4をマスクにして窒化シリコン膜3をパターニングする。

次に、フォトレジスト4を除去した後、図29に示すように、半導体基板1を熱処理することにより、素子分離領域にフィールド酸化膜40を形成(熱酸化プロセスB2)する。

次に、熱リン酸を用いたウェットエッチングで窒化シリコン膜3を除去し、半導体基板1の表面をウェット洗浄で清浄化した後、半導体基板1の活性領域の表面に前記実施の形態1と同様の方法で膜厚5nm以下の極薄ゲート酸化膜14を形成(熱酸化プロセスB3)する(図32)。

膜厚5nm以下の極薄ゲート酸化膜は、図30に示すようなバッチ式の縦型酸化膜形成装置150(酸化装置3;縦形バッチ酸化炉)に前記のような触媒方式の水分生成装置140を取り付けて形成することもできる。この縦型酸化膜形成装置150を使ったゲート酸化膜形成のシーケンスの一例を図31に示す。この場合のシーケンスは図15とほぼ同様であるが、ウエハのロードおよびアンロードに若干の時間的相違がある。また他にも説明があるように、この場合は一般にホットウォール方式となるため、バージガスへの実質的に酸化しない程度の少量の酸素ガスの添加が比較的重要である。

その後、前記実施の形態1と同様の方法で半導体基板1の主面上にMOSFETを形成する。

## (酸化プロセス等に関する共通事項)

以下では本願に開示された各半導体プロセスに共通して適用可能な処理装置および処理プロセスの詳細を説明する。

前記のごとく図9は、ゲート酸化膜の形成に使用する枚葉式酸化膜形成装置(マルチチャンバ方式)の概略図である。図示のように、この酸化膜形成装置100は、ゲート酸化膜の形成に先だって半導体ウエハ1Aの表面の酸化膜(一般に表面膜)をウェット洗浄方式(ドライ方式でもよい)で除去する洗浄装置101の後段に接続されている。このような洗浄-酸化一貫処理システムを採用することにより、洗浄装置101内で洗浄処理に付された半導体ウエハ1Aを大気(不所望な酸化性雰囲気等その他の表面状態を劣化させる雰囲気一般)に接触させることなく、かつ短時間で酸化膜形成装置100へ搬送できるので、酸化膜を除去してからゲート酸化膜を形成するまでの間に半導体ウエハ1Aの表面に自然酸化膜が形成されるのを極力抑制することができる。

乾燥処理の終わった半導体ウエハ1Aは、バッファ106を通って直ちに酸化膜形成装置100へと搬送される。

この酸化膜形成装置100は、例えば酸化膜形成室107、酸窒化膜形成室108、クーリングステージ109、ローダ／アンローダ110等を備えたマルチチャンバ方式で構成されており、装置中央の搬送系112は、半導体ウエハ1Aを上記各処理室に(から)搬入(搬出)するためのロボットハンド113を備えている。搬送系112の内部は、大気の混入によって半導体ウエハ1Aの表面に自然酸化膜が形成されるのを極力抑制するために、窒素等の不活性ガス雰囲気(真空にすることも可能であるが、不活性ガス等で陽圧にすると、外部および各処理室からの不所望なガスの混入を防ぐ効果がある)に保たれる。また、搬送系112の内部は、半導体ウエハ1Aの表面に水分が付着するのを極力抑制するために、ppbレベルの超低水分雰囲気(一般によく整備された真空系の脱ガスに含まれる水分は数 ppm以下である)に保たれる。酸化膜形成装置100に搬入された半導体ウエハ1Aは、ロボットハンド113を介してまず酸化膜形成室107に1枚あるいは2枚単位(一般に枚葉と言うときは一枚または2枚単位を言うが、1枚単位または2枚単位を特定するときはそれぞれ单枚葉、2枚葉と言う)で搬送される。

前記のごとく図11(a)は、酸化膜形成室107(図9の枚葉装置)の具体的な構成の一例を示す概略平面図、図11(b)は、図11(a)のB-B'線に沿った断面図(酸化装置1；ホットウォール型枚葉酸化炉)である。

この酸化膜形成室107は、多重壁石英管で構成されたチャンバ120を備えており、その上部および下部には半導体ウェハ1Aを加熱するヒータ121a、121b(ホットウォール形式の場合)が設置されている。チャンバ120の内部には、このヒータ121a、121bから供給される熱を半導体ウェハ1Aの全面に均等に分散させる円盤状の均熱リング122が収容され、その上部に半導体ウェハ1Aを水平に保持(垂直な重力に関してウェハ表面をほぼ水平に配置することによって混合ガスの濃度分布の影響を排除できる効果がある。このことは、300φウェハ等の大口径化において特に重要である。)するサセプタ123が載置されている。均熱リング122は、石英あるいはSiC(シリコンカーバイド)等の耐熱材料で構成され、チャンバ120の壁面から伸びる支持アーム124によって支持されている。均熱リング122の近傍には、サセプタ123に保持された半導体ウェハ1Aの温度を測定する熱電対125が設置されている。半導体ウェハ1Aの加熱は、ヒータ121a、121bによる加熱方式の他、例えば図12(酸化装置2；ランプ加熱型枚葉酸化炉)に示すようなランプ130による加熱方式を採用してもよい。この場合は、ウェハが所定の位置におかれてからランプ加熱を開始することができ、ランプを切るとウェハ表面の温度は急速に低下するため、ホットウォールの場合等に挿入および引き出し時に形成される初期酸化膜等をほとんど無視できる程度に低減することができる。なお、ランプで水分を添加する場合は水分導入部だけでなく、酸化炉自体も摂氏140度程度に予備加熱して結露を防止することが有効である。

チャンバ120の壁面の一部には、チャンバ120内に水、酸素およびパージガスを導入するためのガス導入管126の一端が接続されている。このガス導入管126の他端は、する触媒方式の水分生成装置に接続されている。ガス導入管126の近傍には、多数の貫通孔127を備えた隔壁128が設けられており、チャンバ120内に導入されたガスは、この隔壁128の貫通孔127を通過してチャンバ120内に均等に行き渡る。チャンバ120の壁面の他の一部には、

チャンバ120内に導入された上記ガスを排出するための排気管129の一端が接続されている。

前述のごとく図13および図14は、上記チャンバ120に接続された触媒方式の水分生成装置を示す概略図である。この水分生成装置140は、耐熱耐食性  
5 合金（例えば商品名「ハステロイ(Hastelloy)」として知られるNi合金等）で構成された反応器141を備えており、その内部にはPt(プラチナ)、Ni(ニッケル)あるいはPd(パラジウム)等の触媒金属からなるコイル142とこのコイル142を加熱するヒータ143とが収容されている。

上記反応器141には、水素および酸素からなるプロセスガスと、窒素あるいはAr(アルゴン)等の不活性ガスからなるパージガスとがガス貯留槽144a、  
10 144b、144cから配管145を通じて導入される。配管145の途中には、ガスの量を調節するマスフローコントローラ146a、146b、146cと、ガスの流路を開閉する開閉バルブ147a、147b、147cとが設置され、反応器141内に導入されるガスの量および成分比がこれらによって精密に制御  
15 される。

反応器141内に導入されたプロセスガス(水素および酸素)は、350から450°C程度(たとえば常圧下においては十分な酸素の存在下で4%以上の水素濃度で水素の爆発的燃焼が起きるので、量産装置の安全を考慮すると、水素が残留しないように反応器には酸素リッチな酸素水素混合ガスを導入するのが望ましいと考えられる)に加熱されたコイル142に接触して励起され、水素分子からは水素ラジカルが生成し( $H_2 \rightarrow 2H^+$ )、酸素分子からは酸素ラジカルが生成する( $O_2 \rightarrow 2O^-$ )。これら2種のラジカルは化学的に極めて活性であるために、速やかに反応して水を生成する( $2H^+ + O^- \rightarrow H_2O$ )。この水は、接続部148内で酸素と混合されて低濃度に希釈され、前記ガス導入管126を通って酸化膜  
20 形成室107のチャンバ120に導入される。この場合、酸素の代わりにアルゴンで希釈することも可能である。すなわち酸化炉に供給される雰囲気としては水分1%、アルゴン99%である。

上記のような触媒方式の水分生成装置140は、水の生成に関する水素と酸素の量を高精度に制御できるので、酸素と共に酸化膜形成室107のチャンバ1

20 に導入される水の濃度を ppt 以下の超低濃度から数 10 % 程度の高濃度まで  
広範囲に、かつ高精度に制御することができる。また、反応器 141 にプロセス  
ガスを導入すると瞬時に水が生成されるため、所望する水分濃度がリアルタイム  
で得られる。従って、反応器 141 内に水素と酸素を同時に導入(一般の場合に  
5 は安全のため酸素を若干早めに導入する)することができ、燃焼方式を採用する  
従来の水分生成システムのように、水素の導入に先立って酸素を導入する必要は  
ない。なお、反応器 141 内の触媒金属は、水素や酸素をラジカル化できるもの  
であれば前述した金属以外の材料を使用してもよい。また、触媒金属はコイル状  
に加工して使用する他、例えば中空の管あるいは細かい纖維フィルタ等に加工し  
10 てその内部にプロセスガスを通してもよい。

図 14において、水分発生炉 140、水素センサ、フィルタ、希釈部、パージ  
ガスまたは希釈ガス供給部および酸化炉接続部等は、結露防止のために摂氏 14  
0 度程度になるように温調または加熱されている。ここで水素センサは、合成さ  
れずに残った水素を検出するためのものである。また、フィルタは万が一酸化炉  
15 側で水素の燃焼等が発生した場合に、それが合成炉側まで伝達されないように一  
種のオリフィスとして働くように挿入されたガスフィルタである。パージガス、  
希釈ガス、水分ともに結露しない程度の温度(一般に摂氏 100 度以上 200 度  
以下程度)に予熱して酸化炉に供給されるが、(希釈ガスもあらかじめ予熱された  
後合成された水分と混合される)図 12 のようなランプ加熱炉においては炉体自  
20 体または被処理ウエハ自体の予熱も考慮する必要がある。この場合パージガスに  
よって酸化炉内のウエハを予熱することも可能である。ランプ加熱炉の場合特に  
ウエハ導入部の結露防止のための予熱機構にも注意を払う必要がある。いずれの  
場合にも摂氏 140 度程度に加熱または温調しておけば比較的有効である。酸化  
プロセスは所定の雰囲気ガスを一定の流量で酸化処理部に供給し、消費された成  
25 分を常に新しい雰囲気ガスで補いながら定常状態で行われるのが一般的である。

上記酸化膜形成装置 100 (図 9) を使ったゲート酸化膜形成のシーケンスの一  
例を図 15 を参照しながらさらに説明する。

まず、酸化膜形成室 107 (図 9) のチャンバ 120 (図 11) を開放し、その内  
部にパージガス (窒素) を導入しながら (図 15 に示すように、パージガスには

- ウエハのサーマルエッチ等の表面あれ防止のため若干の酸素等を添加してもよい) 半導体ウエハ 1 A をサセプタ 1 2 3 の上にロードする。半導体ウエハ 1 A をチャンバ 1 2 0 に搬入してからサセプタ 1 2 3 の上にロードするまでの時間は 5 5 秒である。その後、チャンバ 1 2 0 を閉鎖し、引き続きページガスを 3 0 秒間 5 導入してチャンバ 1 2 0 内のガス交換を十分に行う。サセプタ 1 2 3 は、半導体 ウエハ 1 A が速やかに加熱されるよう、あらかじめヒータ 1 2 1 a、1 2 1 b で 加熱しておく。半導体ウエハ 1 A の加熱温度は、8 0 0 から 9 0 0 °C の範囲内、 例えは 8 5 0 °C とする。ウエハ温度が 8 0 0 °C 以下ではゲート酸化膜の品質が低 下する。他方、9 0 0 °C 以上ではウエハの表面荒れが発生し易くなる。
- 10 反応器 1 4 1 に酸素と水素を導入する際には、水素を酸素より先に導入しない ようにする。水素を酸素より先に導入すると、未反応の水素が高温のチャンバ 1 2 0 に流入するため危険である。他方、酸素を水素より先に導入すると、この酸 素がチャンバ 1 2 0 に流入し、待機中の半導体ウエハ 1 A の表面に低品質の酸化 膜(初期酸化膜)を形成する。従って、水素は酸素と同時に導入するか、あるいは 15 作業の安全性を考慮して酸素よりも僅かに遅いタイミング(0 から 5 秒以内) で導入する。このようにすると、半導体ウエハ 1 A の表面に不所望に形成される 初期酸化膜の膜厚を最小限に抑制することができる。

膜厚 5 nm 以下(同様にそれ以上の厚さのゲートその他の酸化膜に対しても一定程度有効であることは言うまでもない)の極薄ゲート酸化膜は、枚葉式あるいはバ ッチ式の酸化膜形成装置(酸化炉 1 から 3 )に図 3 3 (酸化装置 4 ; 酸素水素燃焼 法式または水素燃焼法式酸化炉)に示すような燃焼方式の水分生成装置 1 6 0 を 20 取り付けて形成することもできる。

この場合は、水分生成装置 1 6 0 で比較的高濃度の水を含む酸化種を発生させ た後、この酸化種に酸素を加えることによって低水分濃度の酸化種を得る。その 25 際は、あらかじめバルブ (V<sub>vent</sub>) を開、バルブ (V<sub>process</sub>) を閉に設定してお き、水分濃度が所望する濃度に低下するまでは酸化種を酸化膜形成装置へ送らな いようにする。そして、水分濃度が十分に低下してからバルブ (V<sub>vent</sub>) を閉、 バルブ (V<sub>process</sub>) を開に切り替えて酸化種を酸化膜形成装置へ送る。

上記の方式は、酸化膜形成装置の直前にバルブ等の発塵源があることや、バル

ブを設けることによってデッドスペースが生じる等、前述した触媒方式に比べて不利な点もあるが、酸化種の低水分濃度化および初期酸化膜の抑制を実現することができる。

(半導体プロセス C)

5 本発明の酸化膜形成方法は、図 3 4 に示すような、フローティングゲート 4 4 とコントロールゲート 4 2 を有するフラッシュメモリのトンネル酸化膜 4 3 (熱酸化プロセス C 1) や第 2 ゲート酸化膜 4 4 (熱酸化プロセス C 2) を 5 nm 以下の薄い膜厚で形成する場合にも適用することができる。

(半導体プロセス D)

10 また、本発明の酸化膜形成方法は、例えばメモリ L S I とロジック L S I を同一半導体チップ上に混載した L S I のように、膜厚が異なる 2 種以上のゲート酸化膜を同一半導体チップ上に形成する場合にも適用することができる。この場合、膜厚が 5 nm 以下の薄いゲート酸化膜 (熱酸化プロセス D 1) と 5 nm 以上の比較的厚いゲート酸化膜 (熱酸化プロセス D 2) を共に本発明の方法によって形成することができることは勿論であるが、膜厚が薄いゲート酸化膜は本発明方法で形成し、厚いゲート酸化膜は従来方法で形成してもよい。

(本願の各種の酸化法の適用性)

以上に示した本願に示した触媒水分生成熱酸化法、低水分酸化法(一部水素燃焼法式によるものを含む)および従来の水素燃焼法式による高水分酸化の適用性  
20 について以下にまとめる。

すなわち、触媒水分生成熱酸化法、低水分酸化法を適用してもっとも効果の出るプロセスとしては酸化プロセス A 3, B 3, C 1, C 2, D 1 等(第 1 類)が挙げられる。

従来の水素燃焼法式による高水分酸化の適用も可能であるが、触媒水分生成熱酸化法、低水分酸化法を適用して効果の出るプロセスとしては、酸化プロセス A 1, A 2, B 1, B 2, D 2 等(第 2 類)が挙げられる。

特に、水素燃焼法式に酸化炉と触媒方式による酸化炉が混在するラインにおいては酸化膜に性質、厚さ等によって両方法を混用することも実用的価値がある。

(本願の各種の酸化装置の適用性)

以上に示した本願に示した各種酸化装置の適用性について以下にまとめ。本願に示した酸化装置 1 から 4 は、基本的にどれでも上記第 1 類および第 2 類の酸化工程に適用可能である。しかし、マルチチャンバ等によって精密な雰囲気のコントロールをする必要があるときは、酸化装置 1 または 2 によることが望ましい。

5 また、各酸化処理装置の酸化時の稼動圧力については、一般に常圧（600 Torr から 900 Torr）で行われるが、減圧で行うことも可能である。この場合、酸化速度を低く設定しやすい他、水素の爆発の可能性を低減できる等の付加的な効果もある。また、高圧酸化を行うことも可能である。この場合は、高い酸化速度を比較的低い温度で実現できるメリットがある。

10 (開示に関する留意点)

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

15 産業上の利用の可能性

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

本発明によれば、膜厚が 5 nm 以下でしかも高品質の極薄ゲート酸化膜を均一な膜厚で再現性良く形成することができるので、ゲート長が 0.25 μm あるいはそれ以下の微細な MOSFET を有する半導体集積回路装置の信頼性、製造歩留まりを向上させることができる。

## 請求の範囲

1. 以下の工程よりなる半導体集積回路装置の製造方法；
  - (a) 摂氏500度以下で触媒を用いて酸素と水素から水分を合成する工程、
  - 5 (b) 霧囲気全体の気圧に占める合成された上記水分の分圧の割合が0.5%から5%の範囲であって、水素が支配的でない酸化性霧囲気中で、かつウエハ上のシリコン表面が摂氏800度以上に加熱された条件下で上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。
- 10 2. 上記1項において、上記酸化性霧囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。
3. 上記1項または2項において、上記水分の合成は、酸素と水素の混合ガスに上記触媒を作用させて行う半導体集積回路装置の製造方法。
4. 上記1から3項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺15 に上記酸化性霧囲気を供給しながら行う半導体集積回路装置の製造方法。
5. 以下の工程よりなる半導体集積回路装置の製造方法；
  - (a) 摂氏500度以下で触媒を用いて酸素と水素から水分を合成する工程、
  - (b) 霧囲気全体の気圧に占める合成された上記水分の分圧の割合が0.5%から5%の範囲であって、酸素ガスを含む酸化性霧囲気中で、かつウエハ上のシリ20 コン表面が摂氏800度以上に加熱された条件下で上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。
6. 上記5項において、上記熱酸化は、ホットウォール炉を用いて行われる半導体集積回路装置の製造方法。
- 25 7. 上記5項において、上記熱酸化は、ランプ加熱炉を用いて行われる半導体集積回路装置の製造方法。
8. 上記5から7項のいずれか一つにおいて、上記合成させた水分を含むガスは、水分以外のガスで希釈された後に上記酸化性霧囲気として供給される半導体集積回路装置の製造方法。

9. 上記 5 から 8 項のいずれか一つにおいて、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(c) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく窒素酸化物を含む雰囲気中で表面処理を施す工程。

5 10. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 摂氏 500 度以下で触媒を用いて水分を生成する工程、

(b) 雰囲気全体の気圧に占める合成された上記水分の分圧比が 0.5% から 5% の範囲であって、酸素ガスを含む酸化性雰囲気中で、かつウエハ上のシリコン表面が摂氏 800 度以上に加熱された条件下で上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

10 11. 上記 10 項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

12. 上記 10 または 11 項において、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

15 13. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 摂氏 500 度以下で触媒を用いて酸素と水素から水分を合成する工程、

(b) 雰囲気全体の気圧に占める合成された上記水分の分圧の割合が 0.5% から 5% の範囲であって、酸素ガスを含む酸化性雰囲気を、シリコン表面が摂氏 800 度以上に加熱されたウエハ周辺に供給しながら、上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

14. 上記 13 項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

15. 上記 13 項または 14 項において、上記水分の合成は、酸素と水素の混合ガスに上記触媒を作用させて行う半導体集積回路装置の製造方法。

16. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 水分合成部において摂氏 500 度以下で触媒を用いて酸素と水素から水分を合成する工程、

(b) 雰囲気全体の気圧に占める合成された上記水分の分圧の割合が 0.5% か

ら 5 % の範囲であって、酸素ガスを含む酸化性雰囲気を、シリコン表面が摂氏 800 度以上に加熱されたウエハ周辺に水分合成部と酸化処理部の間に設けられた狭隘部を通して供給しながら、酸化処理部において上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する  
5 工程。

17. 上記 16 項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

18. 上記 16 項または 17 項において、上記水分の合成は、酸素と水素の混合ガスに上記触媒を作用させて行う半導体集積回路装置の製造方法。

19. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 触媒を用いて酸素と水素から水分を合成する工程、

(b) 合成された上記水分を含む第 1 のガスを水分以外の第 2 のガスで希釈する工程、

(c) 希釈された上記第 1 のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第 1 ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

20. 上記 19 項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

21. 上記 19 項または 20 項において、上記熱酸化は、摂氏 800 度以上で行われる半導体集積回路装置の製造方法。

22. 上記 19 から 21 項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

23. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 酸素と水素の混合ガスに水分合成触媒を作用させて水分を含む第 1 のガスを生成する工程、

(b) 上記第 1 のガスを水分以外の第 2 のガスで希釈する工程、

(c) 希釈された上記第 1 のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第 1 ガス雰囲気中でウエハ上のシ

リコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

24. 上記23項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

5 25. 上記23項または24項において、上記熱酸化は、摂氏800度以上で行われる半導体集積回路装置の製造方法。

26. 上記23から25項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

27. 以下の工程よりなる半導体集積回路装置の製造方法；

- 10 (a) 触媒を作用させて水分を含む第1のガスを生成する工程、  
(b) 上記第1のガスを水分以外の第2のガスで希釈する工程、  
(c) 希釈された上記第1のガスを処理領域に導入する工程、  
(d) 上記処理領域において、導入された上記第1ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

28. 上記27項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

29. 上記27項または28項において、上記熱酸化は、摂氏800度以上で行われる半導体集積回路装置の製造方法。

- 20 30. 上記27から29項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。

31. 以下の工程よりなる半導体集積回路装置の製造方法；

- (a) 酸素と水素の混合ガスに水分合成触媒を作用させて水分を含む第1のガスを生成する工程、  
25 (b) 上記第1のガスを酸素を主成分とする第2のガスで希釈する工程、  
(c) 希釈された上記第1のガスを処理領域に導入する工程、  
(d) 上記処理領域において、導入された上記第1ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

32. 上記31項において、上記酸化性雰囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。
33. 上記31項または32項において、上記熱酸化は、摂氏800度以上で行われる半導体集積回路装置の製造方法。
- 5 34. 上記31から33項のいずれか一つにおいて、上記熱酸化は、上記ウエハの周辺に上記酸化性雰囲気を供給しながら行う半導体集積回路装置の製造方法。
35. 以下の工程よりなる半導体集積回路装置の製造方法；
- (a) 表面を洗浄または表面膜を除去するために、ウエハ上のシリコン表面に表面処理を施す工程、
- 10 (b) 上記工程の後、上記ウエハを実質的に酸化性雰囲気に晒すことなく酸化処理部に移送する工程、
- (c) 触媒を用いて酸素と水素から水分を合成する工程、
- (d) 合成された上記水分を含む雰囲気中で上記シリコン表面にシリコン酸化膜を熱酸化により形成する工程。
- 15 36. 上記35項において、上記シリコン酸化膜は、MOSトランジスタのゲート電極となるべきものである半導体集積回路装置の製造方法。
37. 上記36項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；
- (e) 上記酸化膜が形成された上記ウエハを、外気または他の酸化性雰囲気に晒すことなく窒素酸化物を含む雰囲気中で表面処理を施す工程。
- 20 38. 上記37項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；
- (f) 上記表面処理がなされた上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。
- 25 39. 上記36項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；
- (f) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工

程。

4 0. 上記 3 5 から 3 9 項のいずれか一つにおいて、上記酸化工程は、ランプ加熱によって行われる半導体集積回路装置の製造方法。

4 1. 以下の工程よりなる半導体集積回路装置の製造方法；

5 ( a ) 表面を洗浄または表面膜を除去するために、ウエハ上のシリコン表面に表面処理を施す工程、

( b ) 上記工程の後、上記ウエハを実質的に酸化性雰囲気に晒すことなく酸化処理部に移送する工程、

( c ) 触媒を用いて水分を生成する工程、

10 ( d ) 合成された上記水分を含む雰囲気中で上記シリコン表面にシリコン酸化膜を熱酸化により形成する工程。

4 2. 上記 4 1 項において、上記シリコン酸化膜は、MOS トランジスタのゲート電極となるべきものである半導体集積回路装置の製造方法。

4 3. 上記 4 2 項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

( e ) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、窒素酸化物を含む雰囲気中で表面処理を施す工程。

4 4. 上記 4 3 項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

20 ( f ) 上記表面処理がなされた上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

4 5. 上記 4 2 項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

25 ( f ) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

4 6. 上記 4 1 から 4 5 項のいずれか一つにおいて、上記酸化工程は、ランプ加熱によって行われる半導体集積回路装置の製造方法。

4 7. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 触媒を用いて酸素と水素から水分を合成する工程、

(b) 合成された上記水分を含む雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する  
5 工程、

(c) 上記工程の後、外気に触れさせることなく上記シリコン酸化膜が形成された上記ウエハに対して、窒素酸化物を含むガス雰囲気中で表面処理を施す工程。

4 8. 上記4 7項において、上記シリコン酸化膜は、MOSトランジスタのゲート電極となるべきものである半導体集積回路装置の製造方法。

10 4 9. 上記4 8項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(e) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく窒素酸化物を含む雰囲気中で表面処理を施す工程。

15 5 0. 上記4 9項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(f) 上記表面処理がなされた上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

20 5 1. 上記4 8項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

(f) 上記酸化膜が形成された上記ウエハを外気または他の酸化性雰囲気に晒すことなく、ゲート電極となるべき電極材料を気相デポジションにより形成する工程。

25 5 2. 上記4 7から5 1項のいずれか一つにおいて、上記酸化工程は、ランプ加热によって行われる半導体集積回路装置の製造方法。

5 3. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) ウエハ上のシリコン表面に素子分離溝を形成する工程、

(b) 上記素子分離溝内に外部からの絶縁膜を形成する工程、

(c) 上記シリコン表面を平坦化して、上記シリコン表面の熱酸化膜を形成すべ

き部分を露出する工程、

(d) 触媒により水分を合成し、それを含む雰囲気中で上記露出された部分に電界効果トランジスタのゲート絶縁膜となるべき熱酸化膜を形成する工程。

5 4. 上記 5 3 項において、上記平坦化は、化学機械的方法により行われる半導体集積回路装置の製造方法。

5 5. 上記 5 3 または 5 4 項において、上記平坦化は、化学機械研磨により行われる半導体集積回路装置の製造方法。

5 6. 上記 5 3 から 5 5 項のいずれか一つにおいて、上記外部からの絶縁膜は、CVD (Chemical Vapor Deposition) により形成される半導体集積回路装置の製造方法。

5 7. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) ウエハ上のシリコン表面に素子分離溝を形成する工程、

(b) 上記素子分離溝内にデポジションにより絶縁膜を形成する工程、

15 (c) 触媒により水分を合成し、それを含む雰囲気中で上記素子分離溝により囲まれたシリコン表面に、電界効果トランジスタのゲート絶縁膜となるべき熱酸化膜を形成する工程。

5 8. 上記 5 7 項において、上記半導体集積回路装置の製造方法は、さらに以下の工程よりなる；

20 (d) 上記工程 (b) の後、上記シリコン表面を平坦化して、上記シリコン表面の熱酸化膜を形成すべき部分を露出する工程。

5 9. 上記 5 7 または 5 8 項において、上記平坦化は、化学機械的方法により行われる半導体集積回路装置の製造方法。

6 0. 上記 5 7 から 5 9 項のいずれか一つにおいて、上記平坦化は、化学機械研磨により行われる半導体集積回路装置の製造方法。

25 6 1. 上記 5 7 から 6 0 項のいずれか一つにおいて、上記外部からの絶縁膜は、CVD (Chemical Vapor Deposition) により形成される半導体集積回路装置の製造方法。

6 2. 以下の工程よりなる半導体集積回路装置の製造方法；

雰囲気全体の気圧に占める水分の分圧の割合が 0.5 % から 5 % の範囲の酸化

性雰囲気中で、ウエハ上のシリコン表面をランプにより加熱することにより、上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

63. 上記62項において、上記酸化性雰囲気は、酸素ガスを主要な成分として

5 含む半導体集積回路装置の製造方法。

64. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 酸素と水素の混合ガスに触媒を作用させて水分を含む第1のガスを生成する工程、

(b) 上記第1のガスを水分以外の第2のガスで希釈する工程、

10 (c) 希釈された上記第1のガスを処理領域に導入する工程、

(d) 上記処理領域において、導入された上記第1ガス雰囲気中でウエハ上のシリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜をランプ加熱による熱酸化により形成する工程。

65. 以下の工程よりなる半導体集積回路装置の製造方法；

15 (a) 水分が結露しない程度に予熱され、実質的に非酸化性雰囲気に保たれた酸化処理部に非処理ウエハを導入する工程、

(b) 上記酸化処理部において、雰囲気全体の気圧に占める水分の分圧の割合が0.1%以上の範囲の酸化性雰囲気下で、導入された上記ウエハ上のシリコン表面をランプにより加熱することにより、上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

66. 上記65項において、上記非酸化性雰囲気は、窒素ガスを主として少量の酸素ガスを添加したものである半導体集積回路装置の製造方法。

67. 上記65または66項において、上記予熱温度は、摂氏100度以上50度以下である半導体集積回路装置の製造方法。

25 68. 上記65から67項のいずれか一つにおいて、上記酸化処理時の上記ウエハの表面温度は、摂氏700度以上である半導体集積回路装置の製造方法。

69. 上記65から68項のいずれか一つにおいて、上記非酸化性雰囲気は、水分が結露しない程度に予熱された後に上記酸化処理部に導入される半導体集積回路装置の製造方法。

70. 上記 65 から 69 項のいずれか一つにおいて、上記ウエハは、水分が結露しない程度に予熱された後に上記酸化処理部に導入される半導体集積回路装置の製造方法。

71. 以下の工程よりなる半導体集積回路装置の製造方法；

5 霧囲気全体の気圧に占める水分の分圧の割合が 0.5 % から 5 % の範囲であつて、酸素ガスを含む酸化性霧囲気中で、かつウエハ上のシリコン表面が摂氏 80 度以上に加熱された条件下で、上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべき 5 nm 以下の厚みを有するシリコン酸化膜を熱酸化により形成する工程。

10 72. 上記 71 項において、上記酸化性霧囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

73. 上記 71 または 72 項において、上記熱酸化は、上記ウエハの周辺に上記酸化性霧囲気を供給しながら行う半導体集積回路装置の製造方法。

74. 以下の工程よりなる半導体集積回路装置の製造方法；

15 霧囲気全体の気圧に占める水分の分圧の割合が 0.5 % から 5 % の範囲であつて、酸素ガスを含む酸化性霧囲気中で、ウエハ上のシリコン表面にフラッシュメモリのトンネル絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

75. 上記 74 項において、上記酸化性霧囲気は、酸素ガスを主要な成分として含む半導体集積回路装置の製造方法。

20 76. 上記 74 または 75 項において、上記熱酸化は、上記ウエハの周辺に上記酸化性霧囲気を供給しながら行う半導体集積回路装置の製造方法。

77. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 触媒により水分を生成させる工程、

25 (b) 触媒により生成した水分を含む霧囲気ガスを第 1 の酸化処理部に供給しながら、前記第 1 の酸化処理部においてウエハ上の第 1 のシリコン表面領域に第 1 の熱酸化膜を形成する工程、

(c) 上記工程 (a) の前または上記工程 (b) の後に、酸素と水素を燃焼させることによって水分を生成させる工程、

(d) 燃焼により生成した水分を含む霧囲気ガスを第 1 または第 2 の酸化処理部

に供給しながら、前記第2の酸化処理部において上記ウェハ上の第2のシリコン表面領域に第2の熱酸化膜を形成する工程。

78. 以下の工程よりなる半導体集積回路装置の製造方法；

霧囲気全体の気圧に占める水分の分圧の割合が0.5%から5%の範囲の酸化

- 5 霧囲気下で、ウェハの主表面が実質的に水平になるように保持した状態で、前記ウェハ上の上記主表面上のシリコン表面にMOSトランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

79. 以下の工程よりなる半導体集積回路装置の製造方法；

(a) 爆発が起こらない温度条件下で、水に対応する化学量論的比率より酸素リ

- 10 ッチな酸素と水素の非化学量論的な混合ガスから触媒を用いて水分を合成する工程、

(b) 合成された上記水分を含む酸化性霧囲気中で、ウェハ上のシリコン表面にシリコン酸化膜を熱酸化により形成する工程。

80. 以下の工程よりなる半導体集積回路装置の製造方法；

- 15 (a) 実質的に酸化が進行しない程度の少量の酸素を含む非酸化性の霧囲気に保たれた摂氏700度以上の高温の酸化処理部に、被処理ウェハを導入する工程、

(b) 摂氏500度以下で触媒を用いて酸素と水素から水分を合成する工程、

(c) 上記酸化処理部において、霧囲気全体の気圧に占める合成された上記水分の分圧の割合が0.5%から5%の酸化性霧囲気中で、かつウェハ上のシリコン

- 20 表面が摂氏700度以上に加熱された条件下で、上記シリコン表面に電界効果トランジスタのゲート絶縁膜となるべきシリコン酸化膜を熱酸化により形成する工程。

図 1

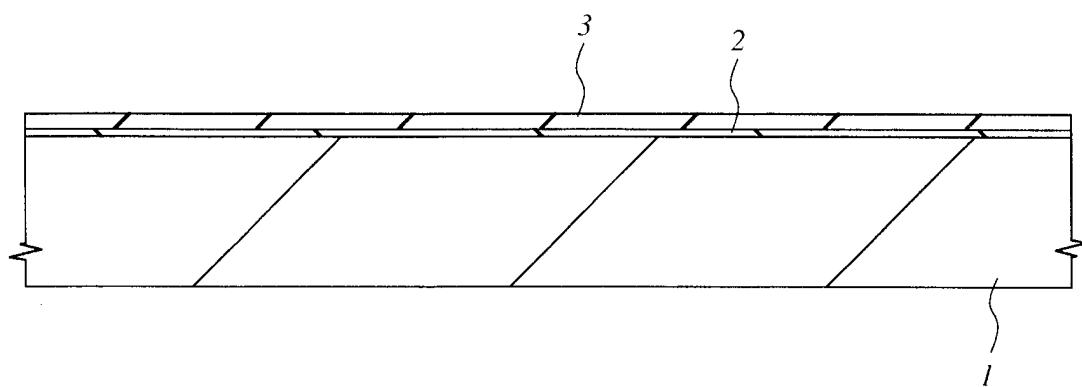


図 2

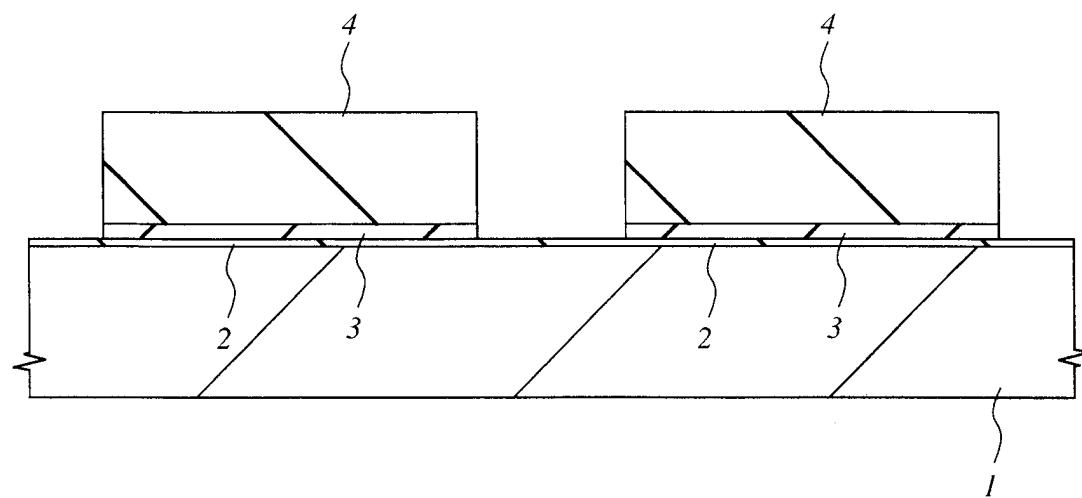


図 3

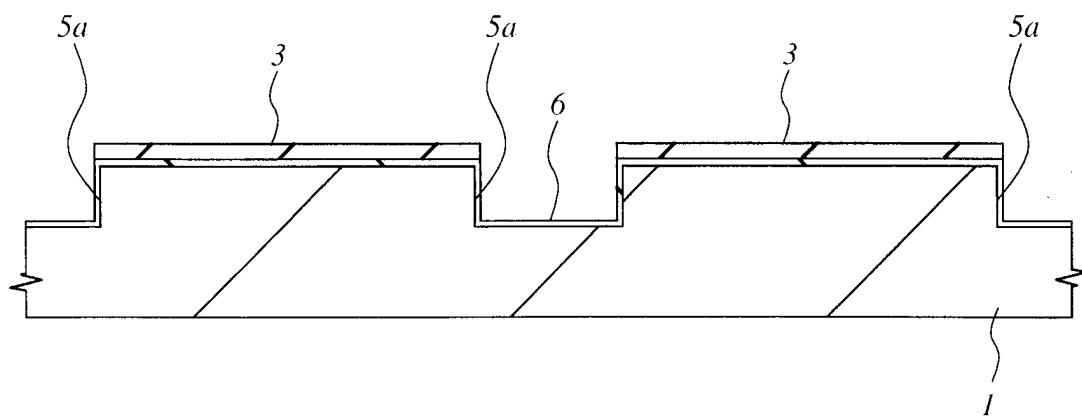


図 4

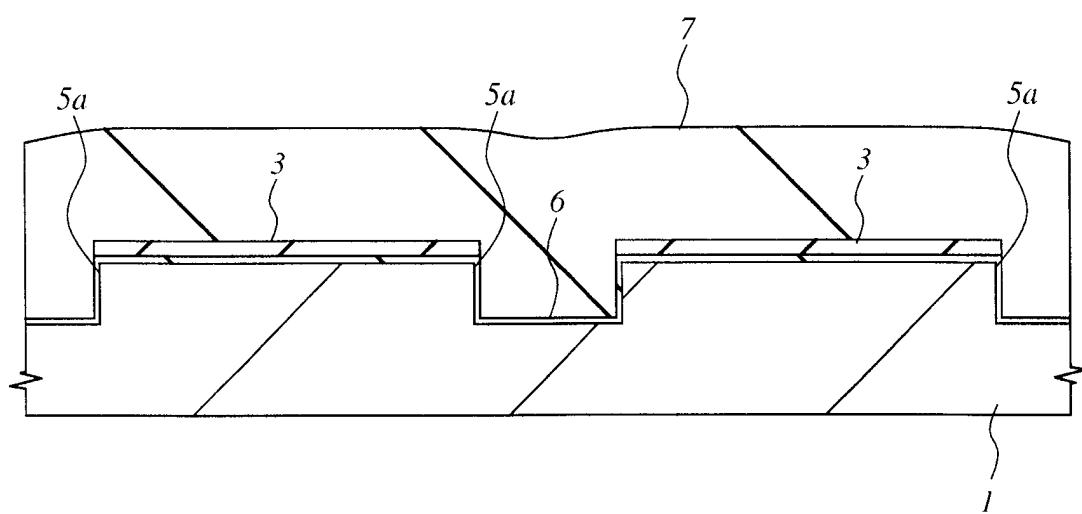


図 5

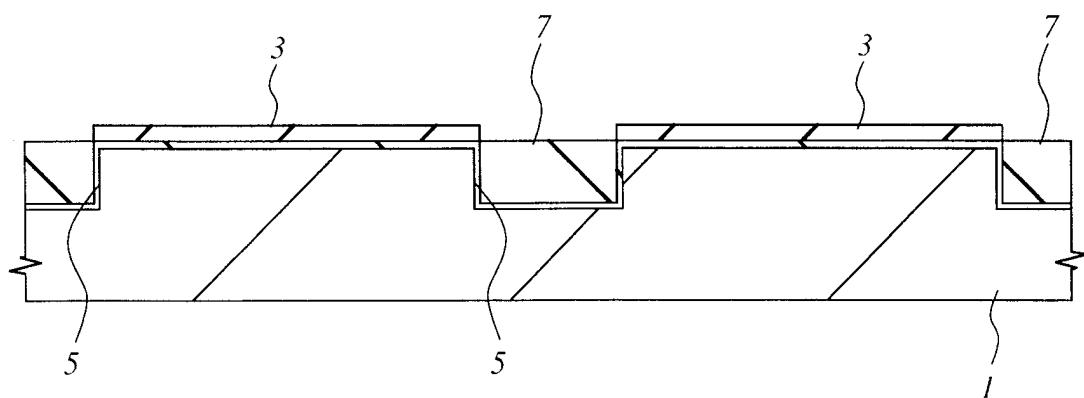


図 6

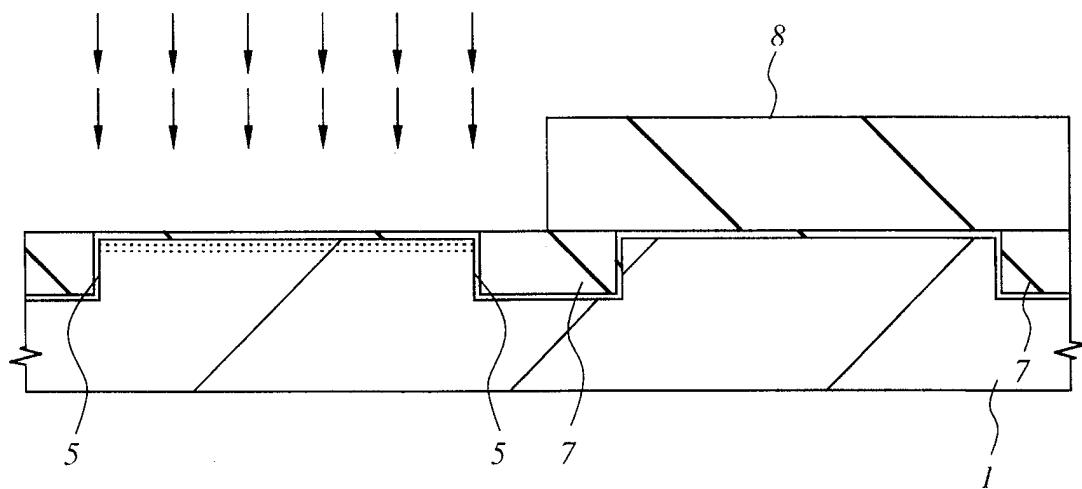


図 7

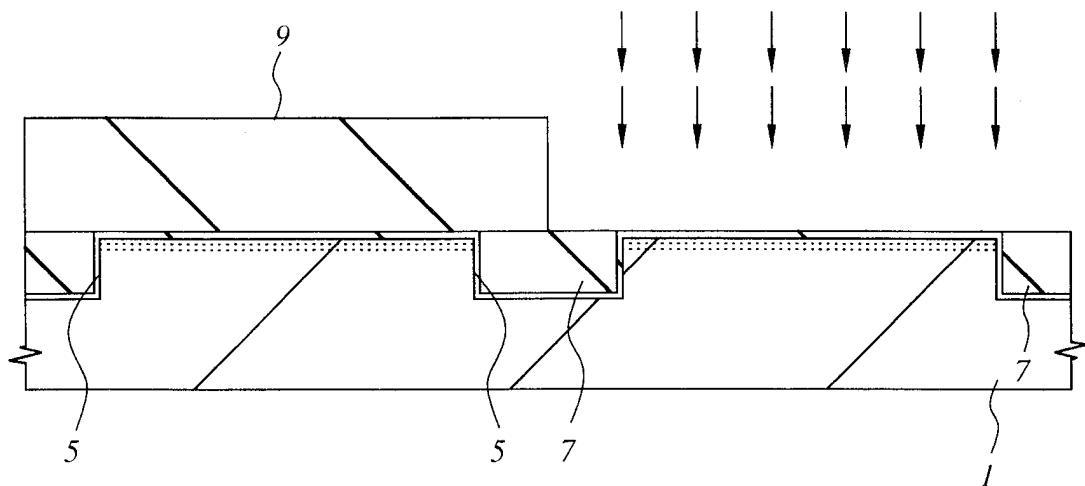


図 8

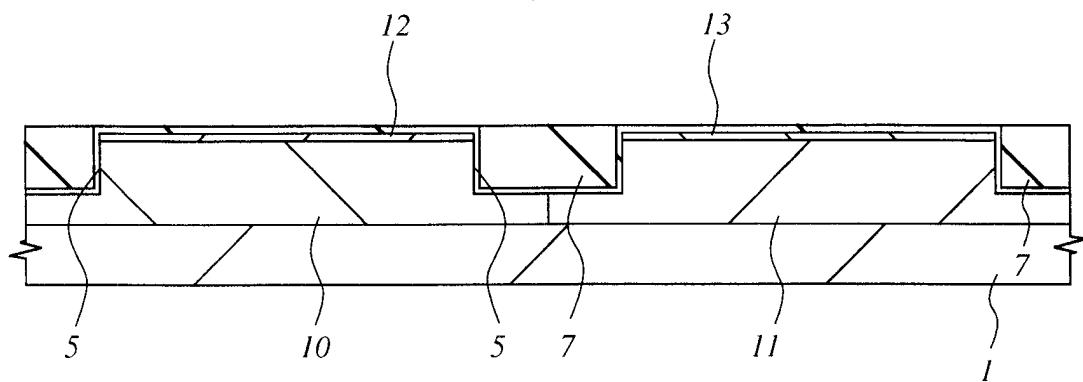


図 9

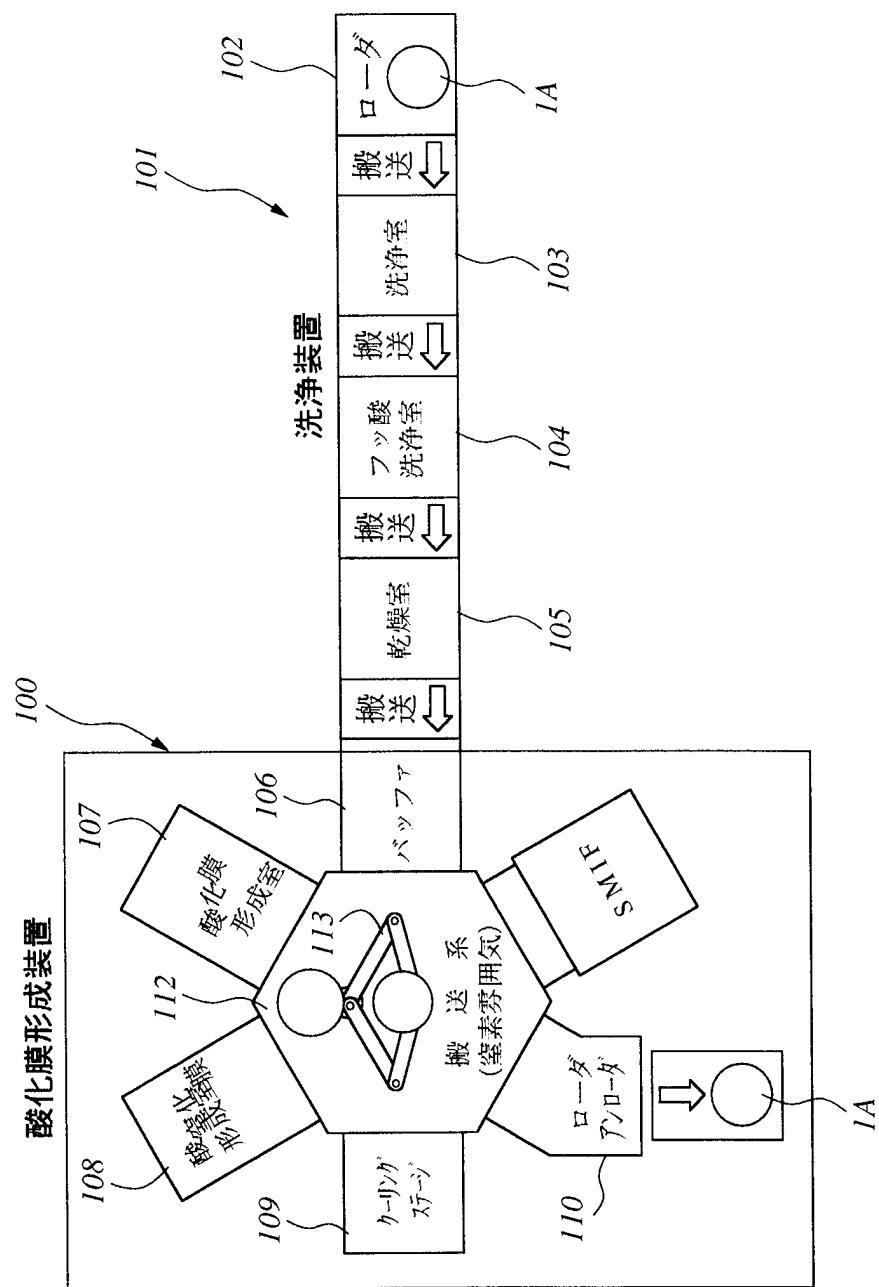


図 10

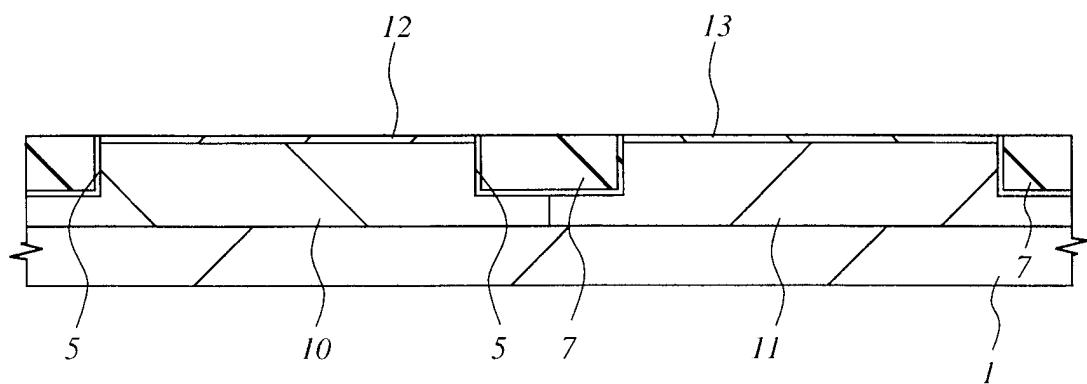


図 11

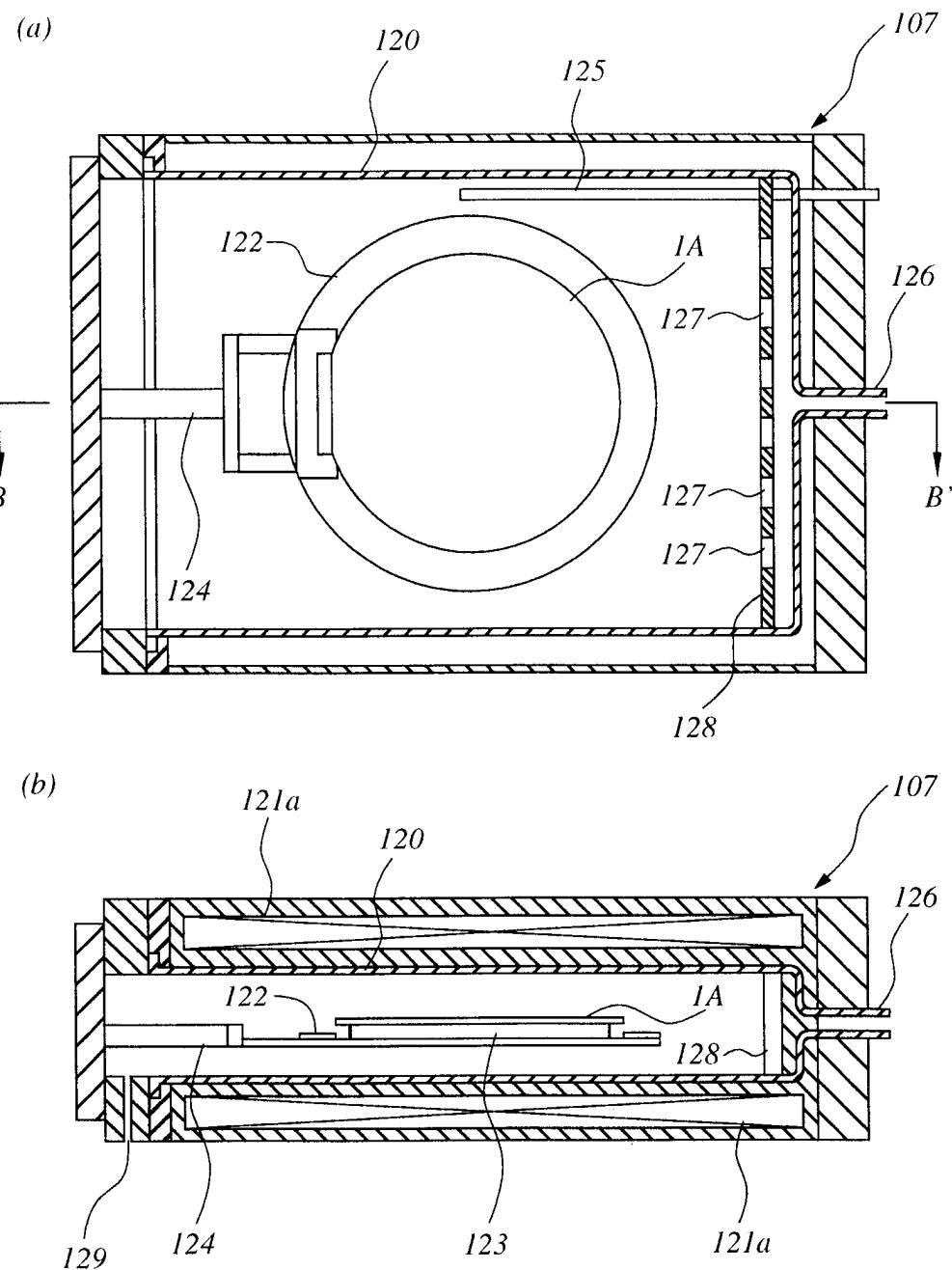
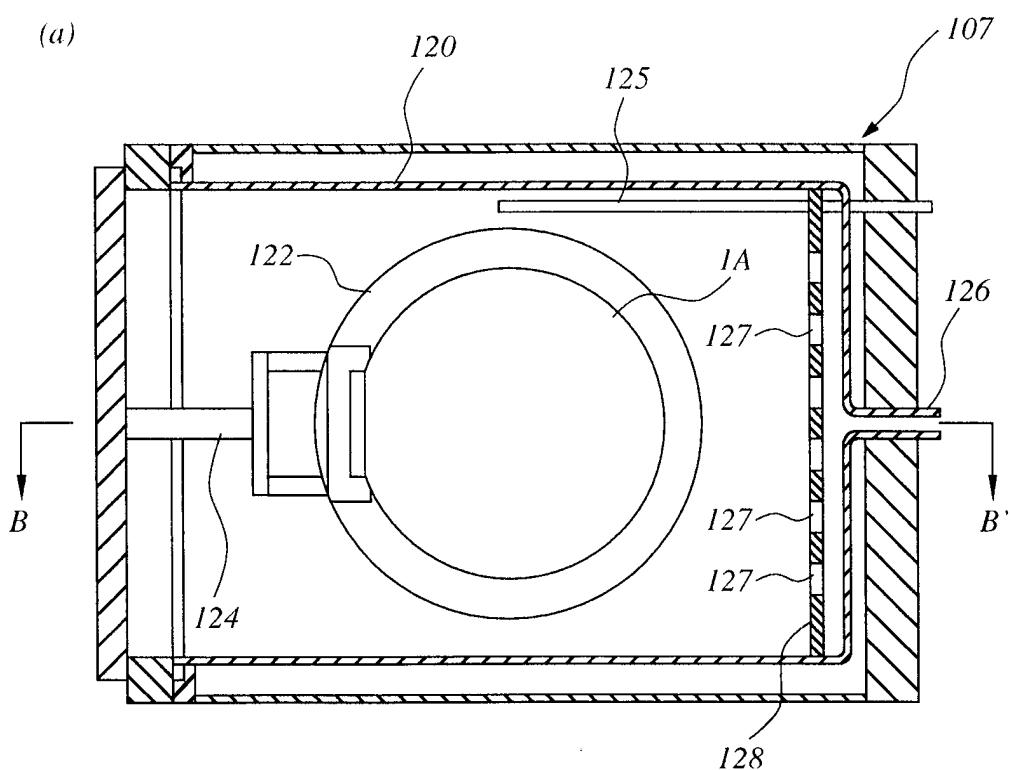


図 12

(a)



(b)

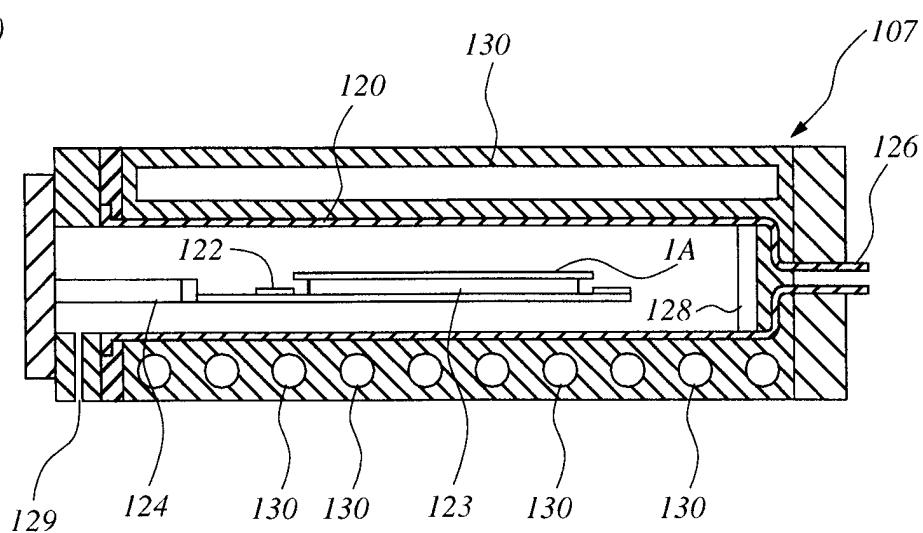


図 13

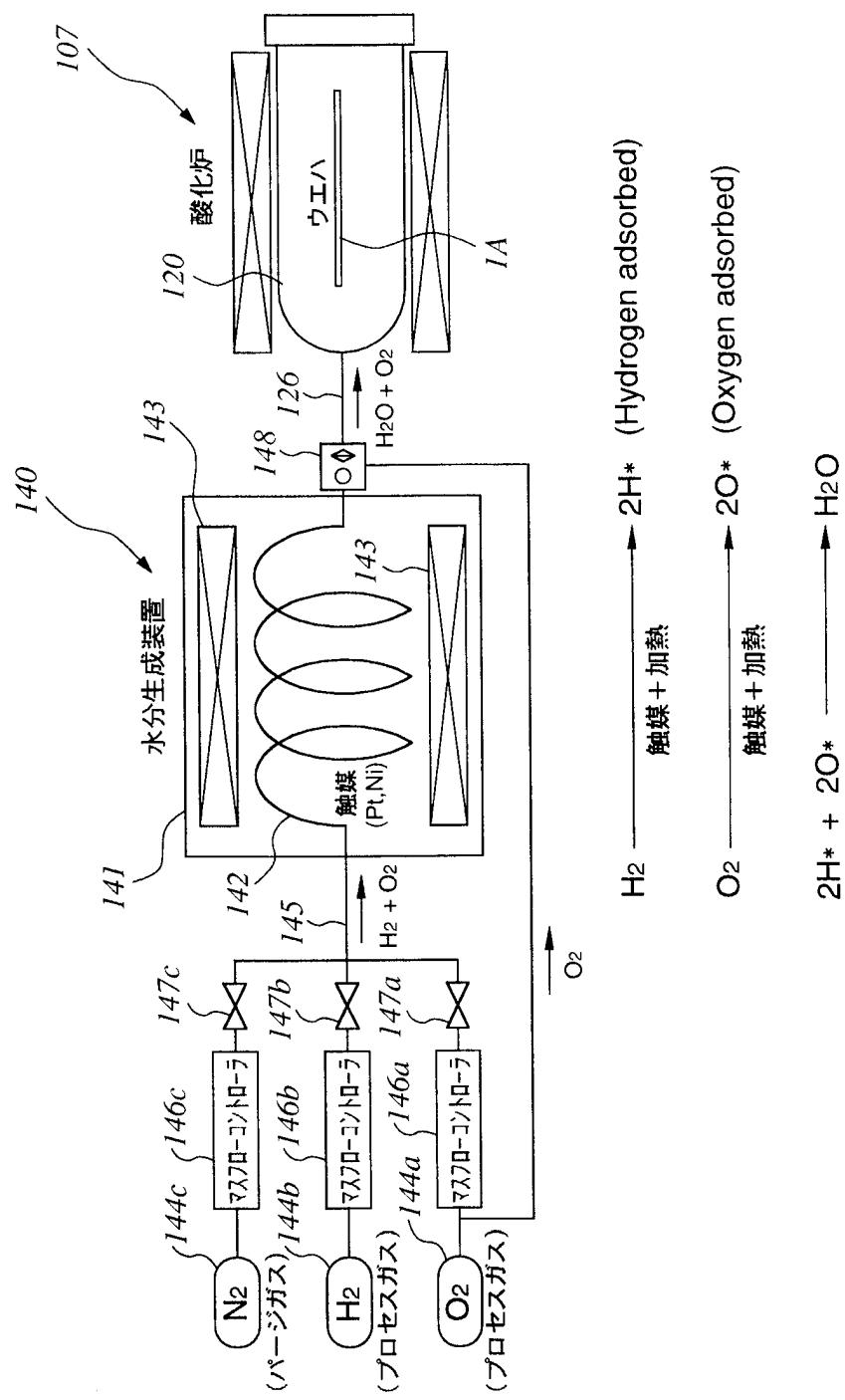


図 14

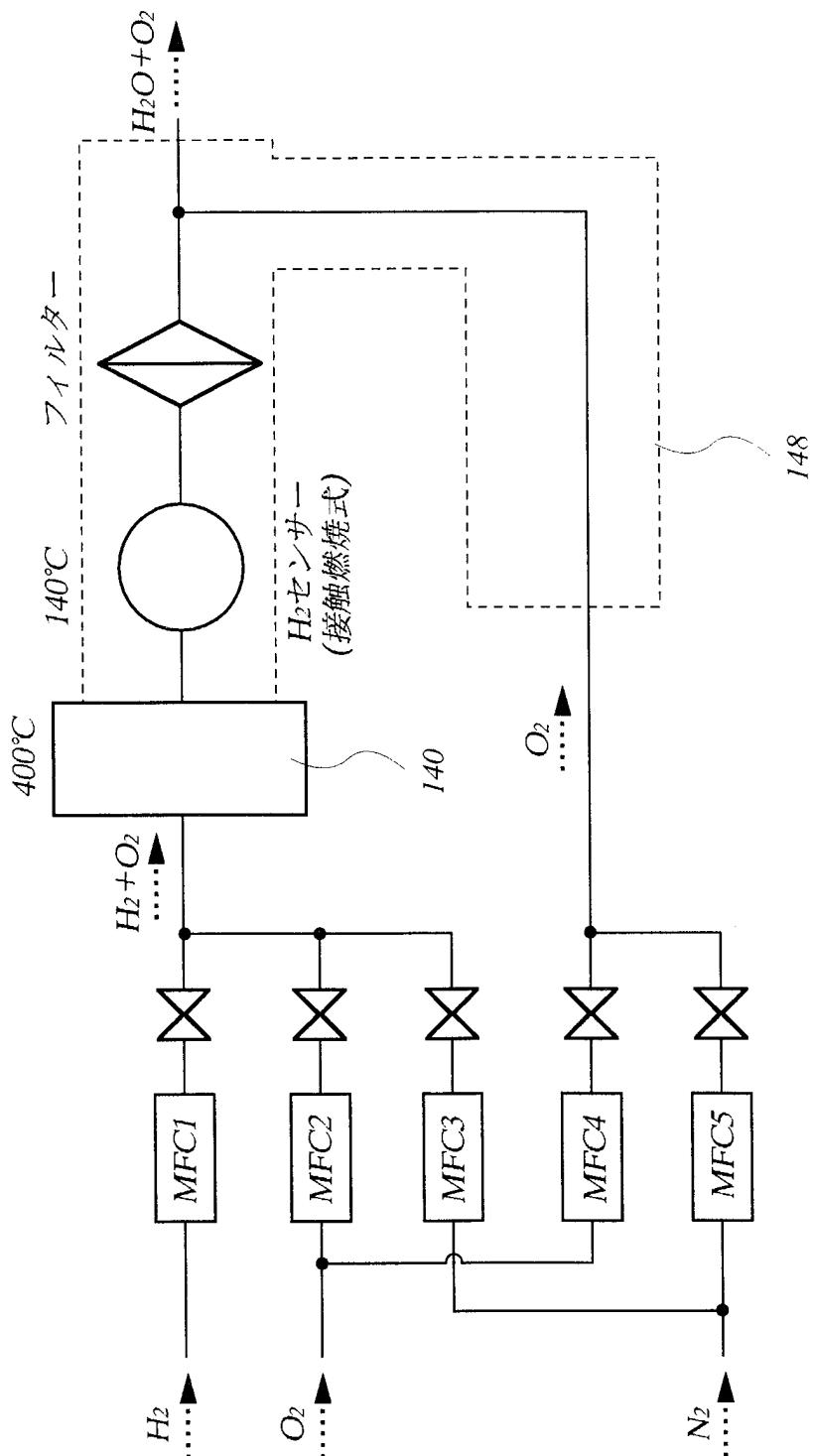


図 15

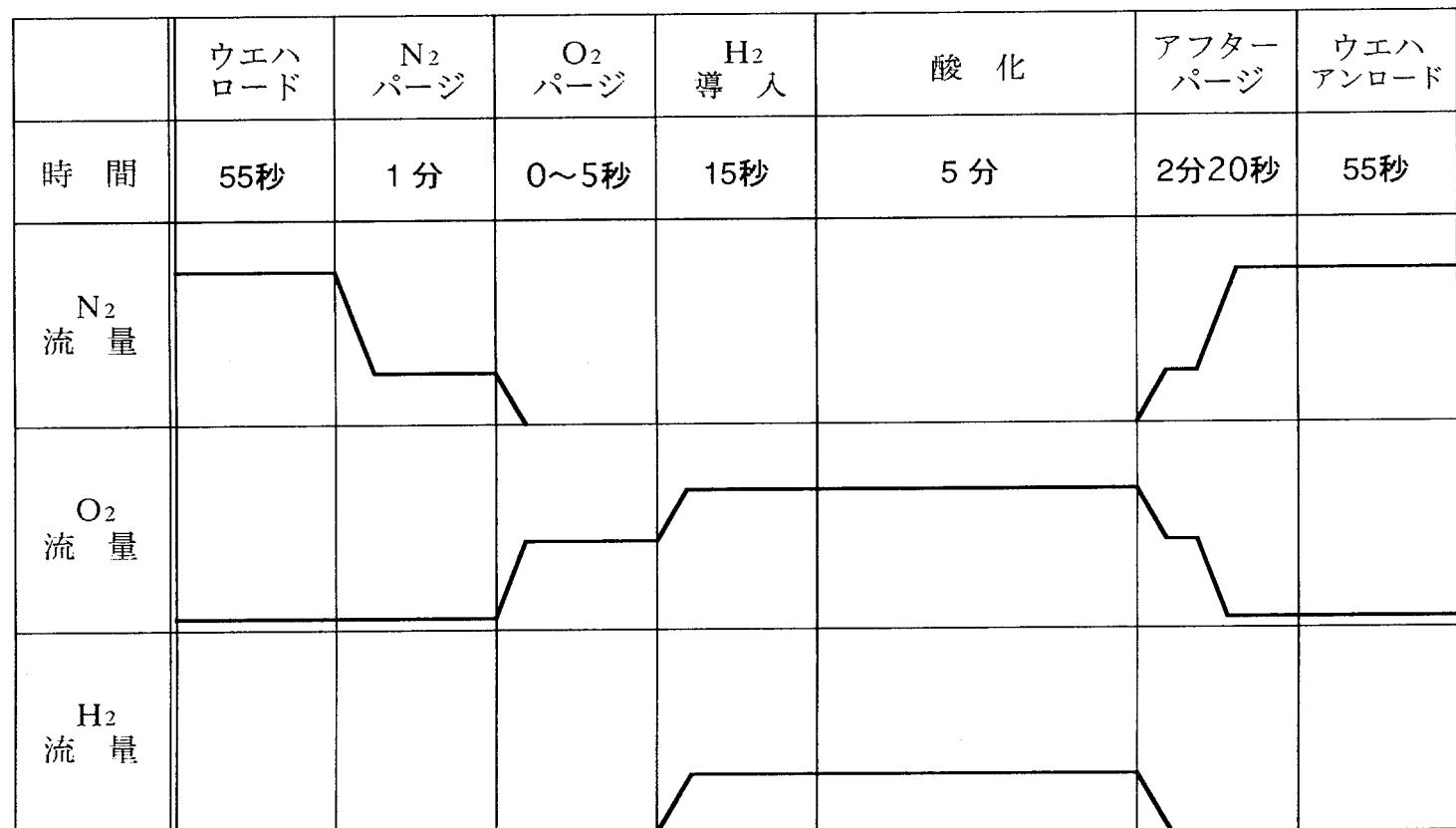


図 16

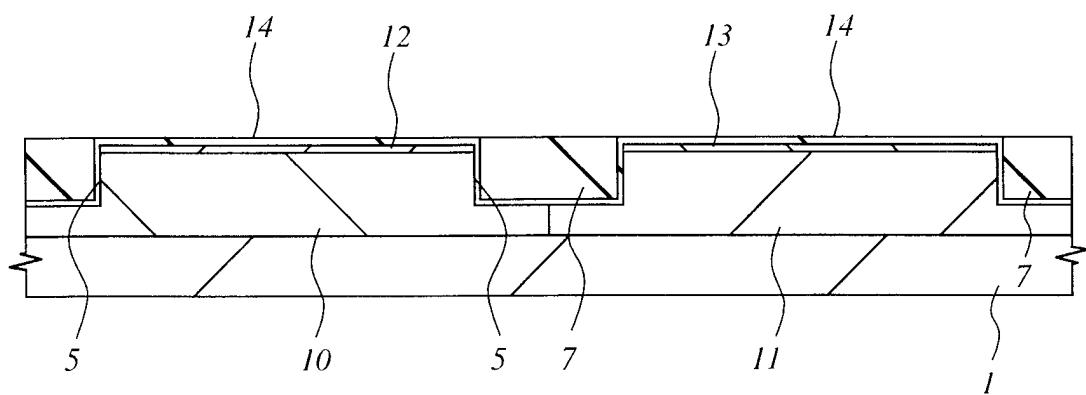


図 17

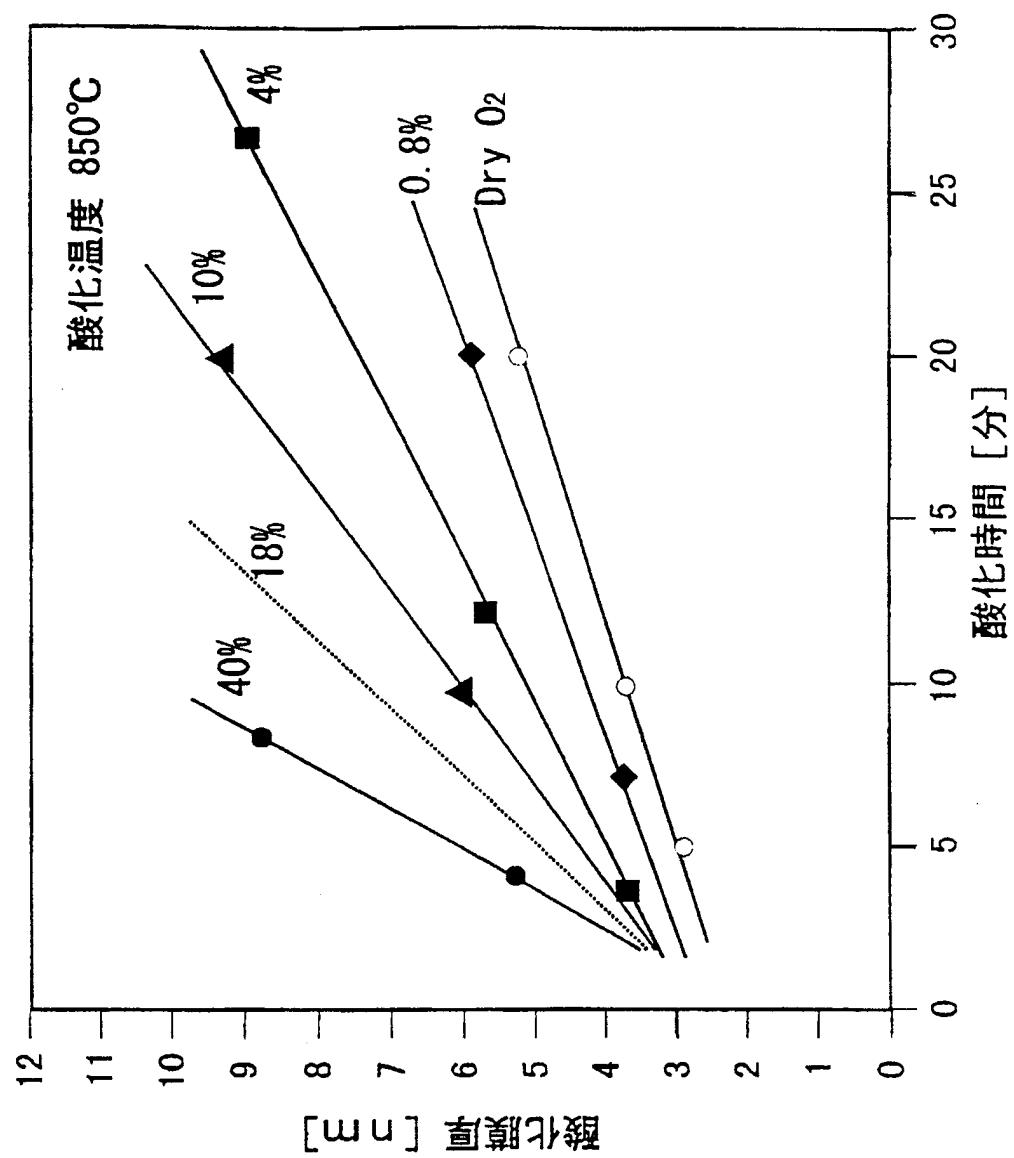


図 18

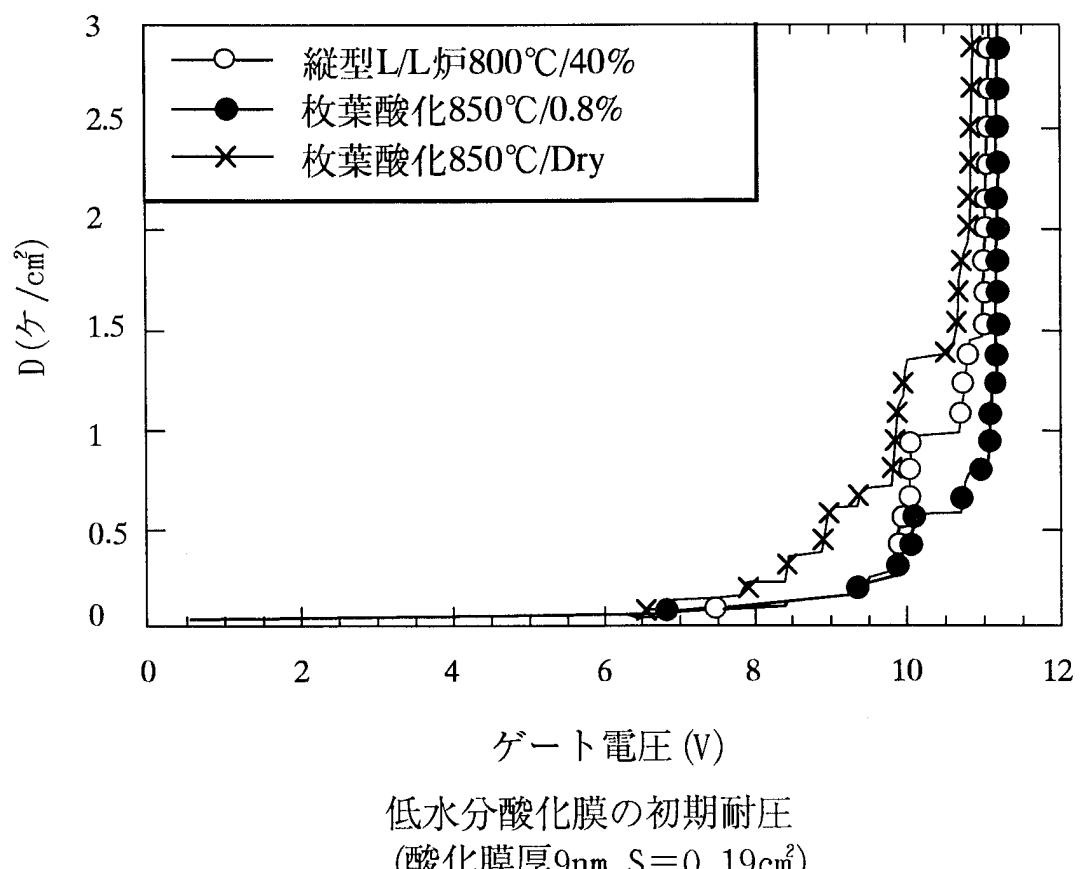


図 19

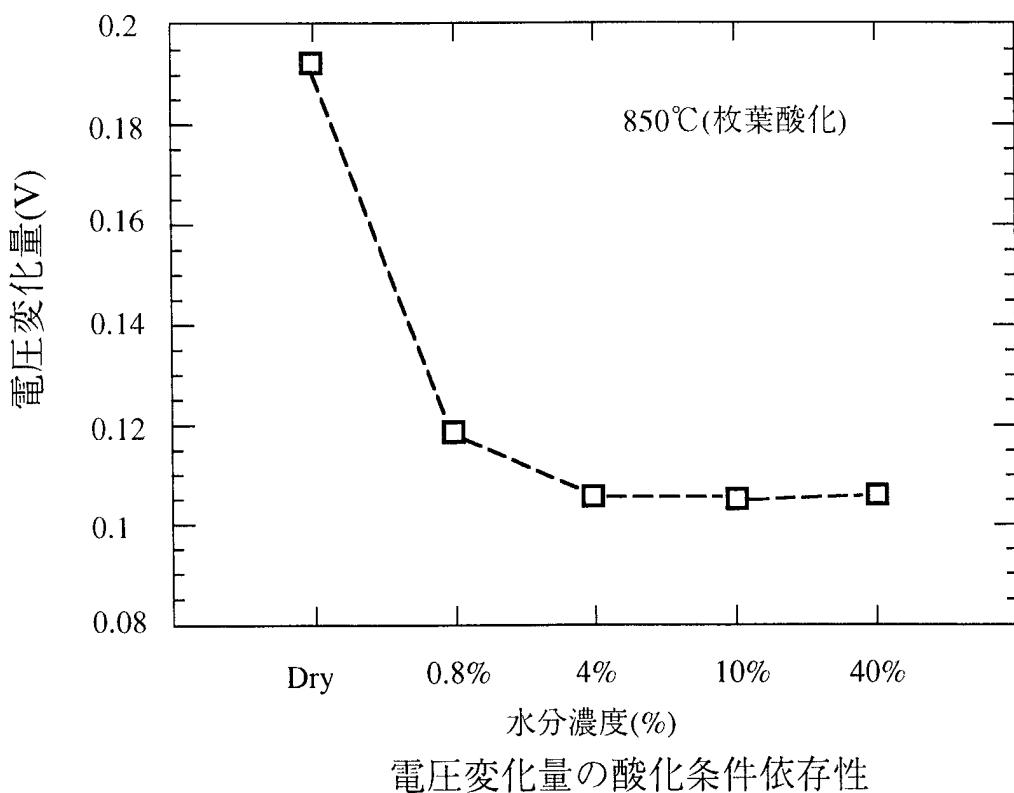
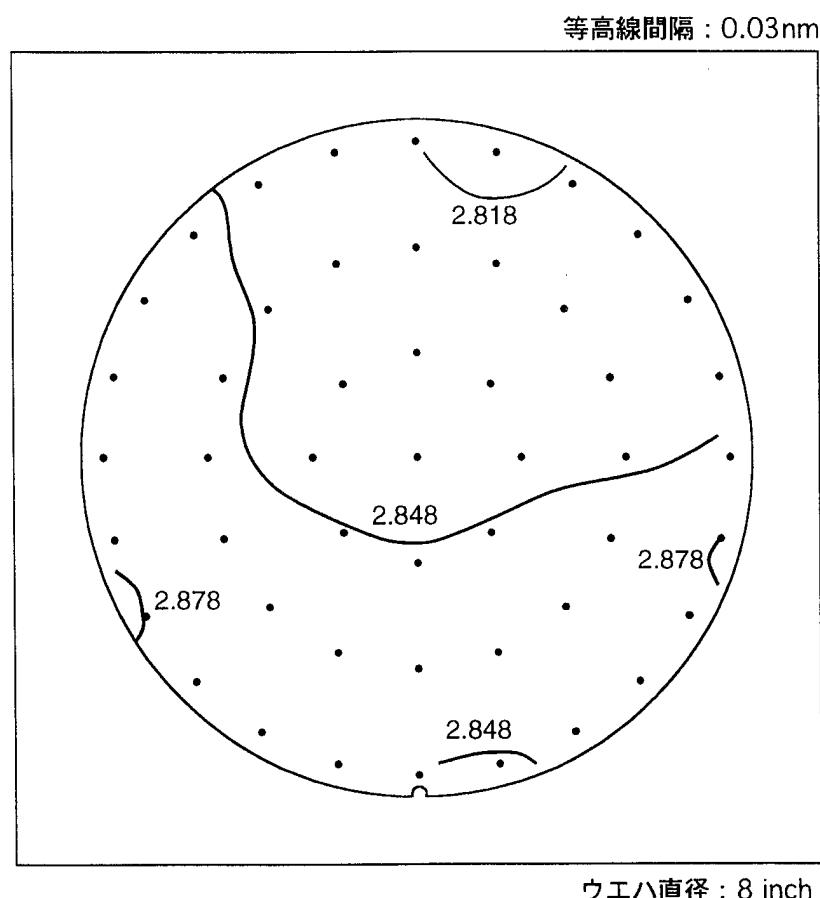


図 20



平均 : 2.848 [nm]

最大 : 2.881 [nm]

最小 : 2.814 [nm]

最大 - 最小 : 0.067 [nm]

±1.18 [%]

処理条件 : 850°C 2分30秒

H<sub>2</sub>O<sub>2</sub> : 0.05/4.9slm(水分濃度0.8%)

測定 : エリプソ 49点測定

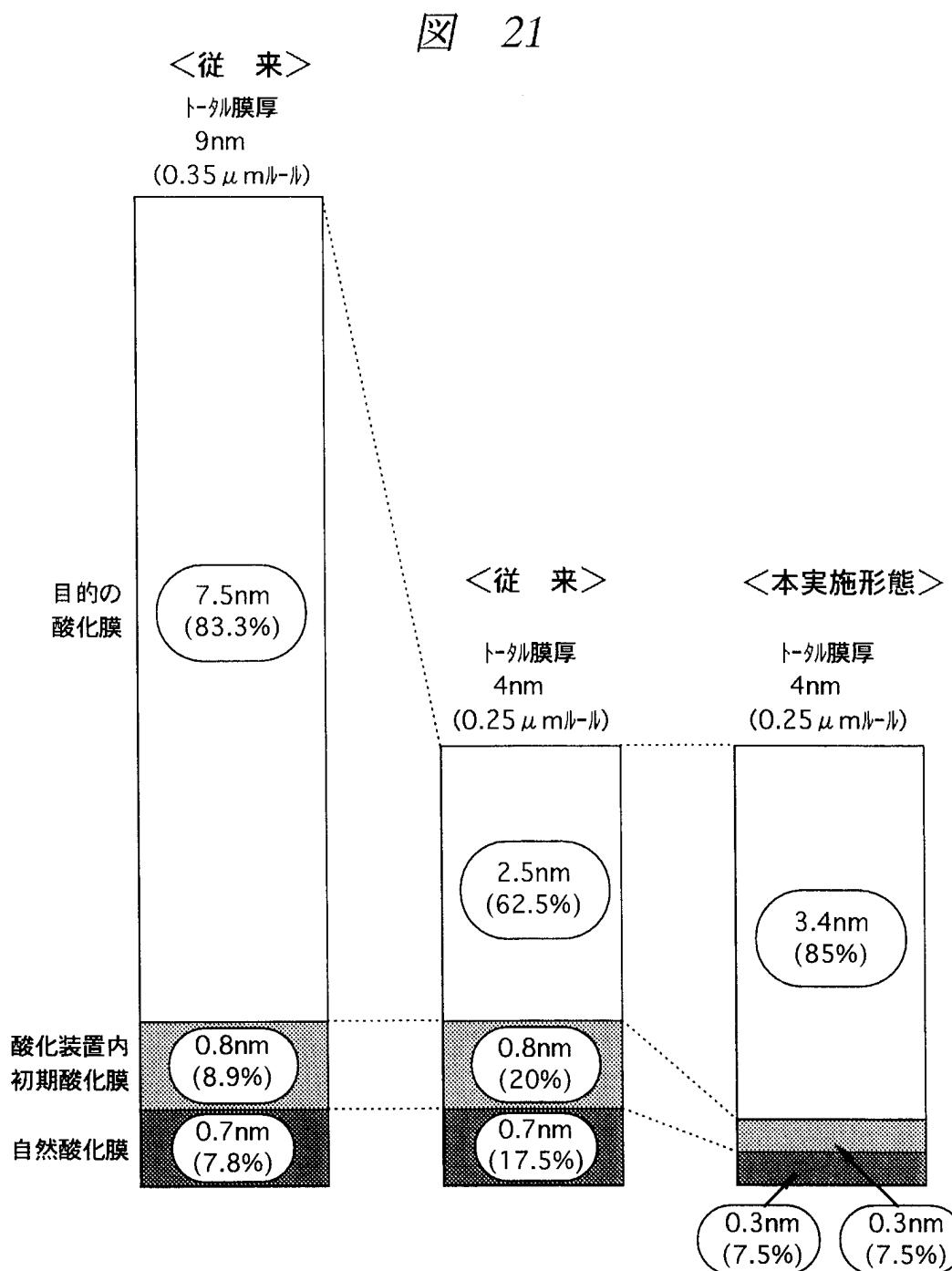


図 22

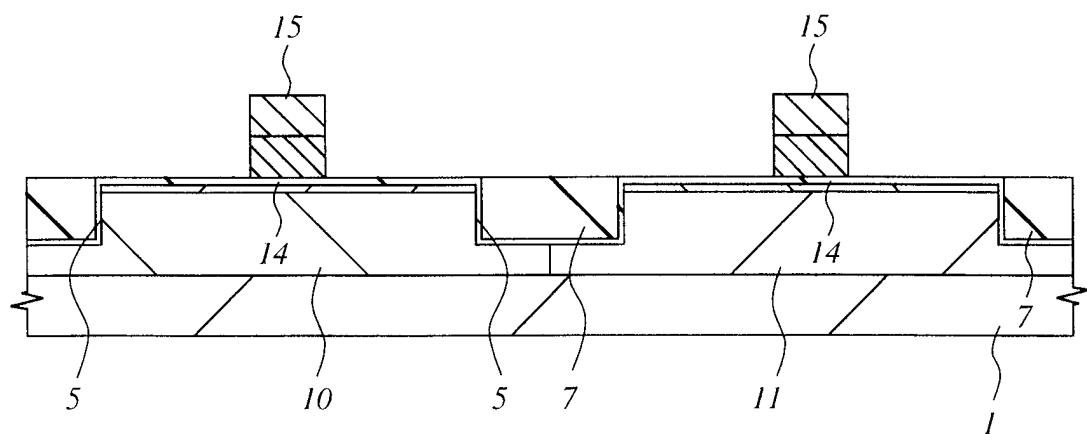


図 23

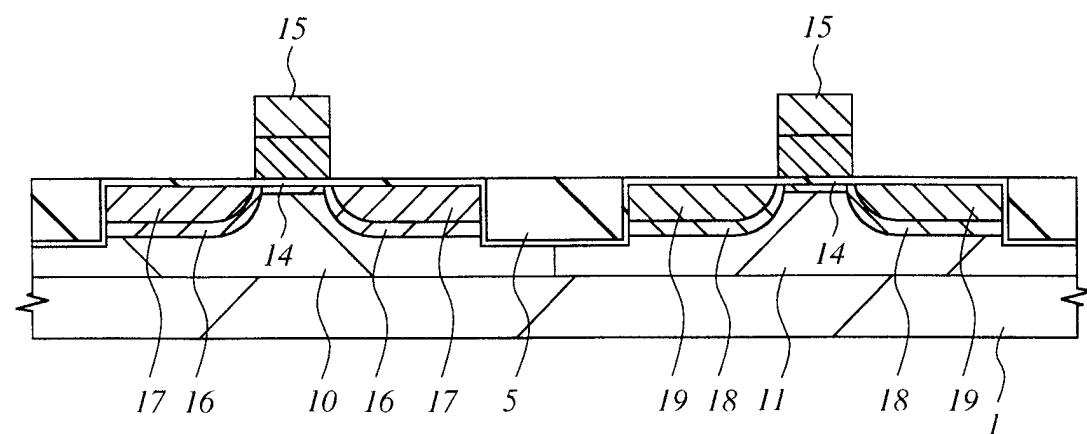


図 24

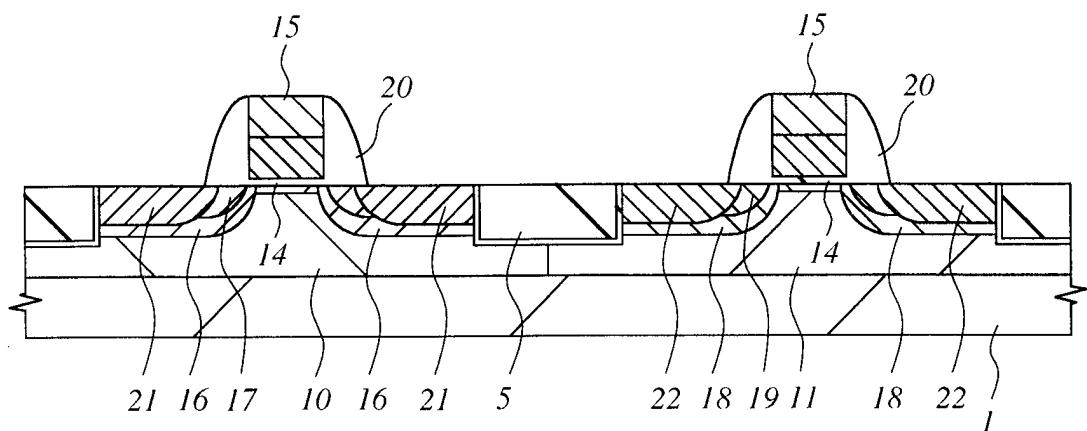


図 25

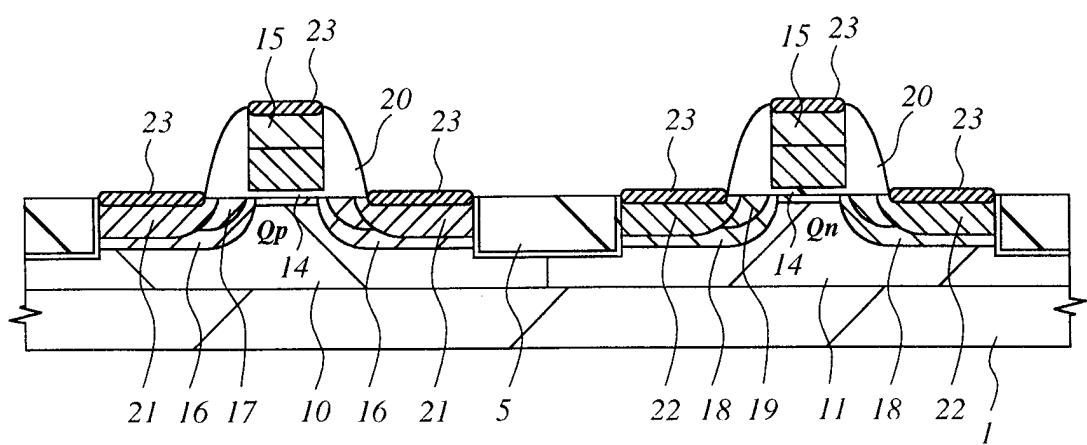


図 26

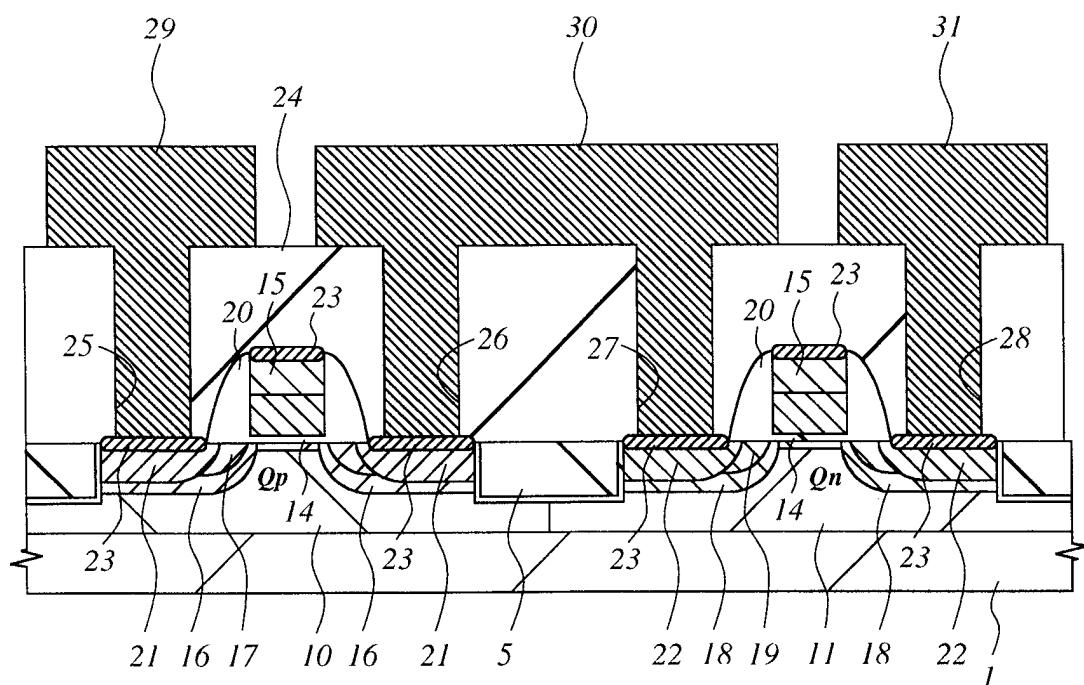


図 27

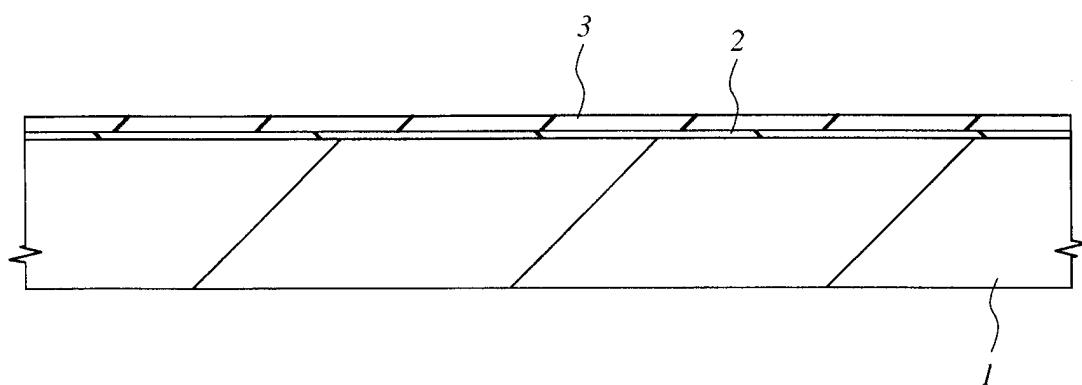


図 28

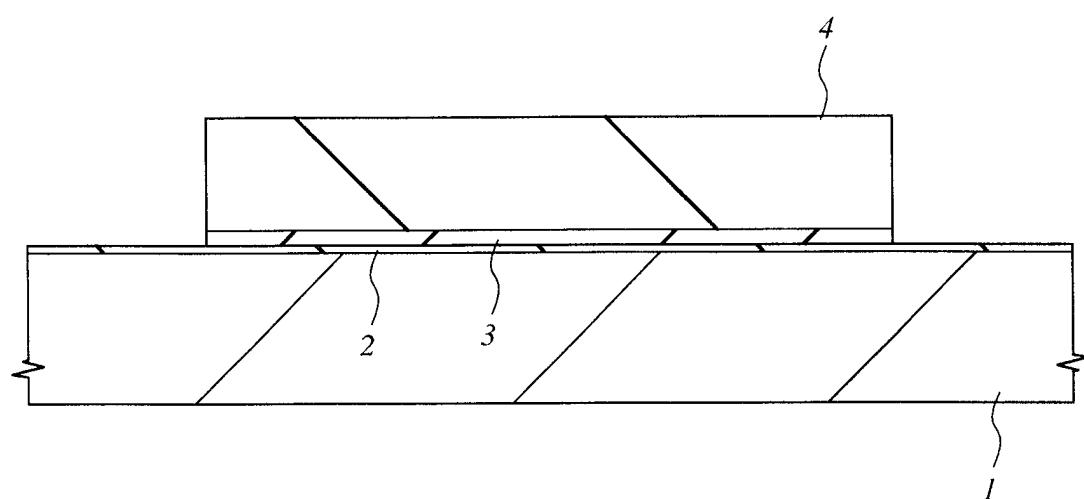


図 29

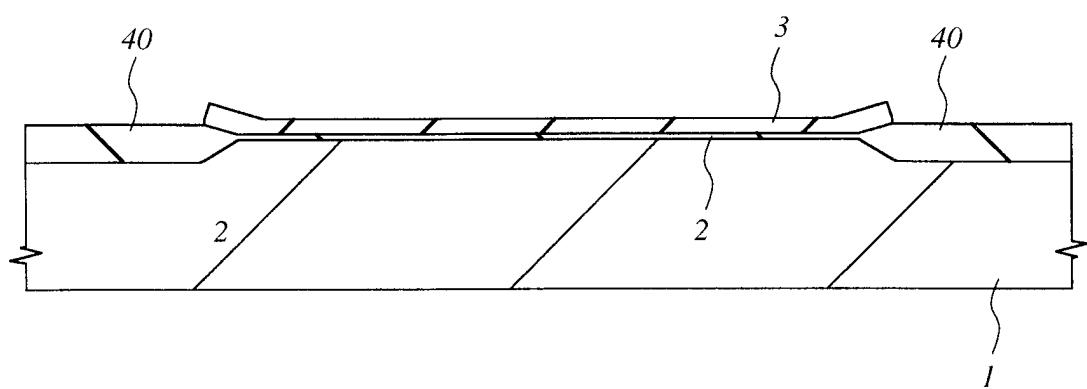


図 30

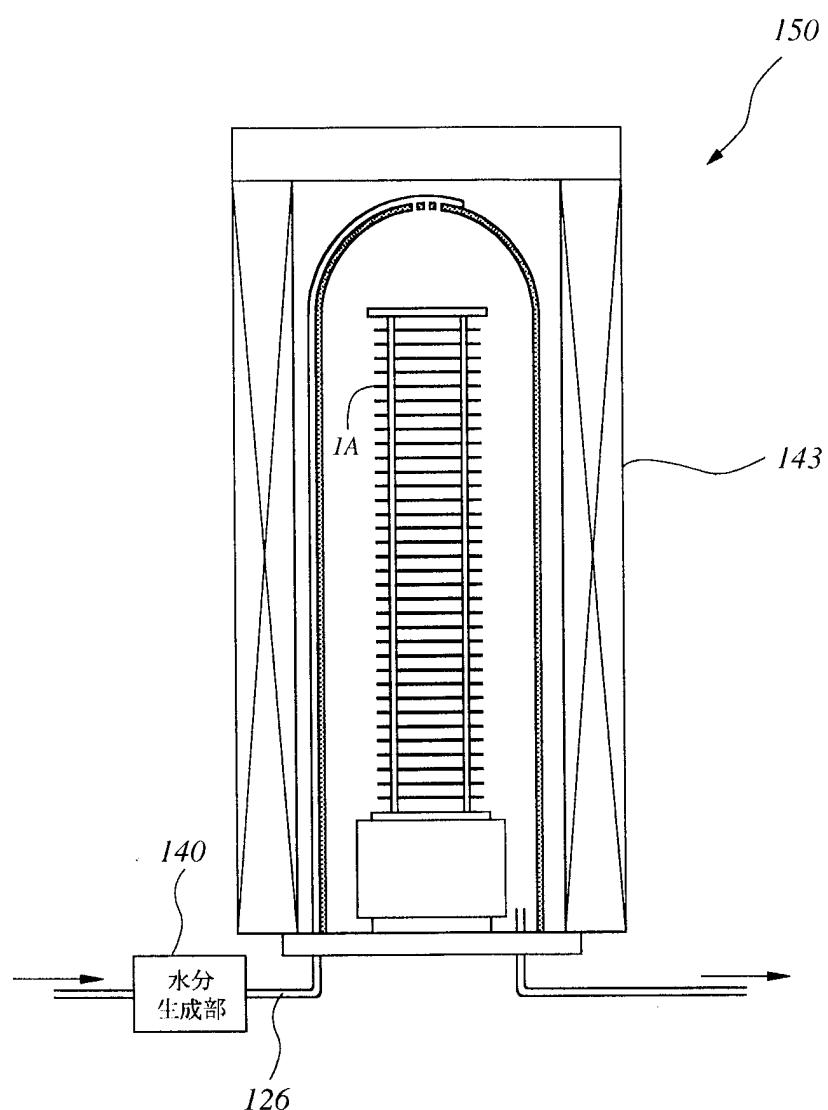


図 31

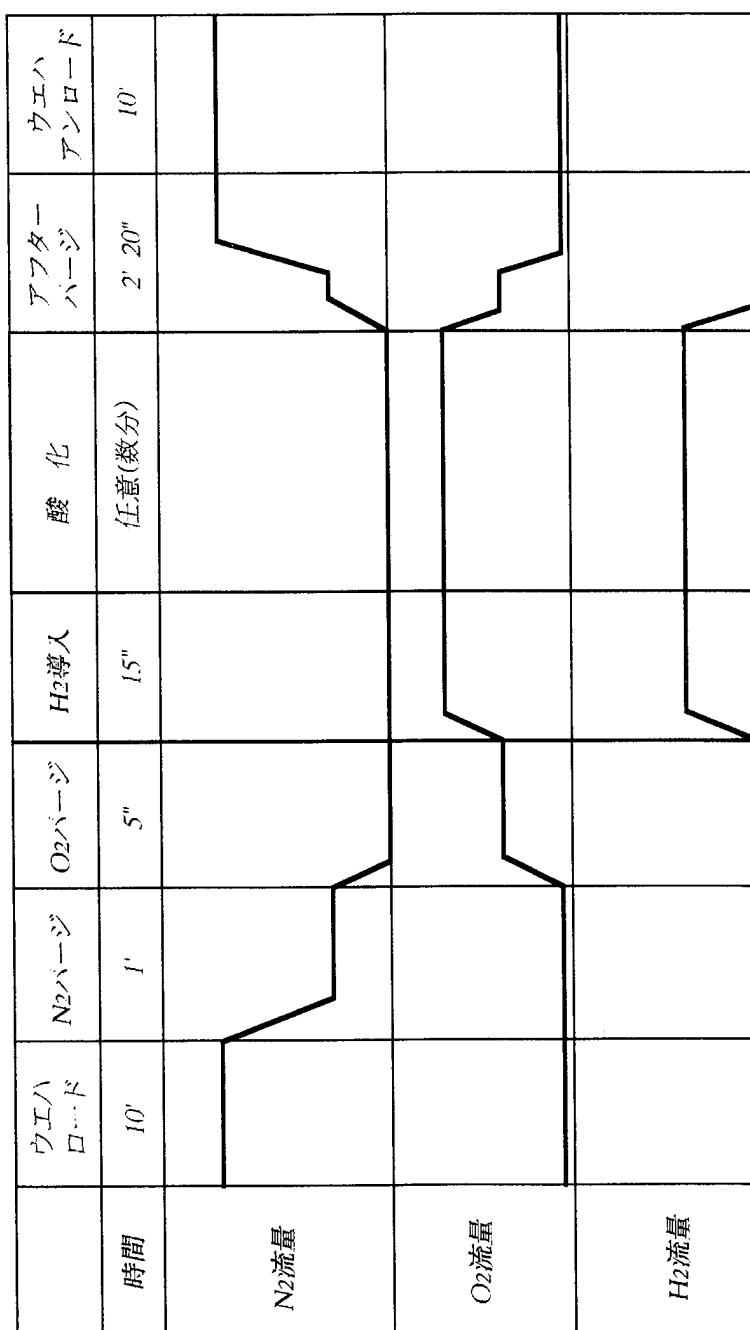


図 32

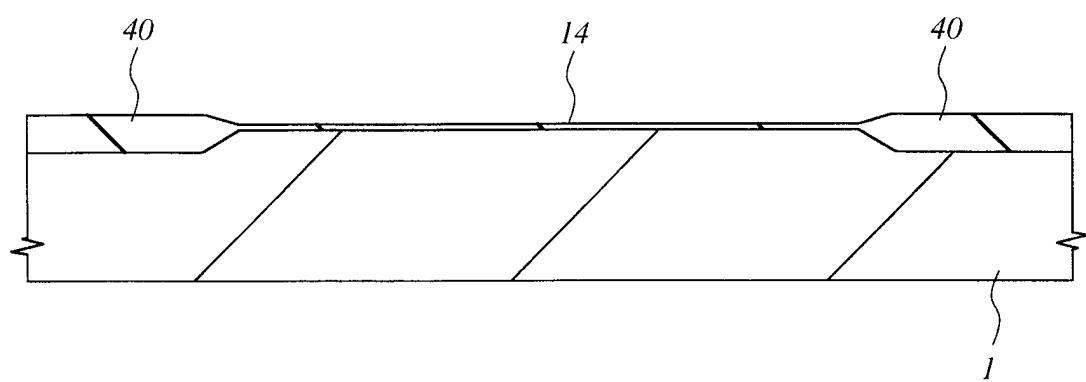


図 33

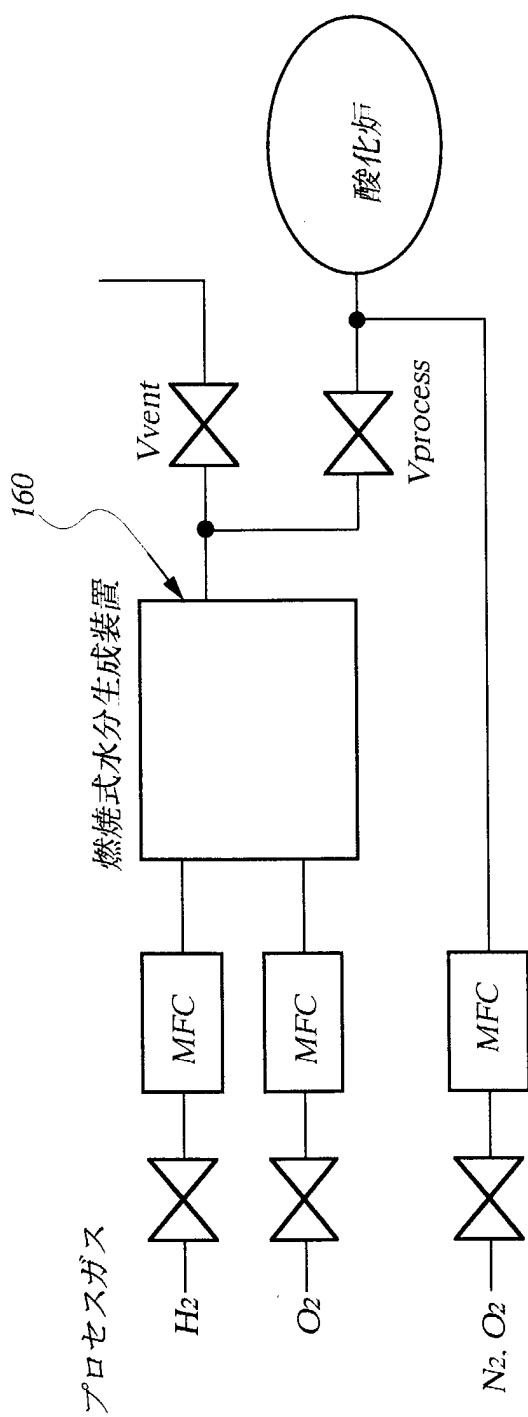
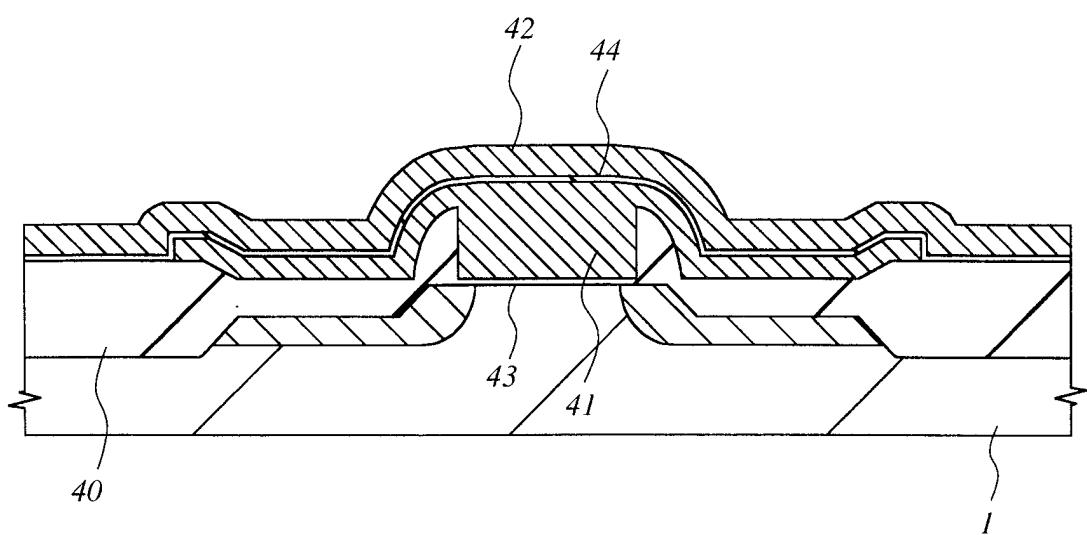


図 34



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00892

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>6</sup> H01L21/336, H01L29/78, H01L21/316, H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> H01L21/336, H01L29/78, H01L21/316, H01L21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1998  
 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-333918, A (Tadahiro Omi), December 2, 1994 (02. 12. 94), Column 3, lines 21 to 40 ; column 4, line 21 to column 6, line 11 & WO, 9428579, A1	1-8, 10-18, 53-63, 71-76, 78-80
Y		19-36, 40, 64-70
A		9, 37-39, 41-52, 77
Y	CD-ROM of the specification and drawings first annexed to the request of Japanese Utility Model Application No. 44645/1993 (Laid-open No. 10935/1995) (Yamaha Corp.), February 14, 1995 (14. 02. 95), Page 7, line 16 to page 8, line 1 (Family: none)	19-34, 64
Y	JP, 7-115069, A (Sony Corp.), May 2, 1995 (02. 05. 95), Claims 1 to 5 ; column 11, line 47 to column 12, line 7 (Family: none)	65-70

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search May 28, 1998 (28. 05. 98)	Date of mailing of the international search report June 9, 1998 (09. 06. 98)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Faxsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00892

## C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 5-152282, A (Tadahiro Omi), June 18, 1993 (18. 06. 93), Column 4, line 50 to column 6, line 48 & EP, 614216, A1 & WO, 9310556, A1	1-8, 10-15, 53-63, 71-76, 78-80
A		9, 16-52, 64-70, 77
Y	JP, 6-163517, A (Tadahiro Omi), June 10, 1994 (10. 06. 94), Column 3, lines 41 to 50 ; column 4, lines 16 to 33	1-8, 10-15, 53-63, 71-76, 78-80
A	& EP, 671761, A1 & WO, 9411901, A1	9, 16-52, 64-70, 77
A	Proceedings of the Symposium on Semiconductors and Integrated Circuits Technology, pages 128 to 133, Abstract, page 129, 8th line from the bottom to page 130, line 10	1-80
A	JP, 6-115903, A (Tadahiro Omi), April 26, 1994 (26. 04. 94), Column 3, line 41 to column 4, line 41 & EP, 614216, A1 & WO, 9310556, A1	1-80
A	JP, 8-111449, A (Tokyo Electron Ltd.), April 30, 1996 (30. 04. 96), Claims 1 to 13 & US, 5695564, A & TW, 295677, A	35-52, 77
A	JP, 7-86264, A (Tokyo Electron Ltd. and another), March 31, 1995 (31. 03. 95), Column 6, line 38 to column 7, line 3 (Family: none)	37-52

## 国際調査報告

国際出願番号 PCT/JP98/00892

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int C1° H01L21/336, H01L29/78, H01L21/316, H01L21/8247

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int C1° H01L21/336, H01L29/78, H01L21/316, H01L21/8247

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-1998年
日本国登録実用新案公報	1994-1998年
日本国実用新案登録公報	1996-1998年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 6-333918, A (大見忠弘) 2. 12月. 1994 (02. 12. 94) 第3欄第21-40行、第4欄第21行-第 6欄第11行 & WO, 9428579, A1	1-8, 10-18, 53-63, 71-76, 78-80
Y		19-36, 40, 64-70
A		9, 37-39, 41-52, 77

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」先行文献ではあるが、国際出願日以後に公表されたもの
- 「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

## 国際調査を完了した日

28. 05. 98

## 国際調査報告の発送日

09.06.98

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官(権限のある職員)

今井 拓也

4M

9169

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願 5-44645号 (日本国実用新案登録出願公開 7-10935号) の願書に最初に添付した明細書及び図面の内容を撮影した CD-ROM (ヤマハ株式会社), 14. 2月. 1995 (14. 02. 95) 第7頁第16行-第8頁第1行 (ファミリー無し)	19-34, 64
Y	J P, 7-115069, A (ソニー株式会社) 2. 5月. 1995 (02. 05. 95) 請求項1-5、第11欄第47行-第12欄第7行 (ファミリー無し)	65-70
Y	J P, 5-152282, A (大見忠弘) 18. 6月. 1993 (18. 06. 93) 第4欄第50行-第6欄第48行	1-8, 10-15, 53-63, 71-76, 78-80
A	& E P, 614216, A1 & WO, 9310556, A1	9, 16-52, 64-70, 77
Y	J P, 6-163517, A (大見忠弘) 10. 6月. 1994 (10. 06. 94) 第3欄第41-50行、第4欄第16-33行	1-8, 10-15, 53-63, 71-76, 78-80
A	& E P, 671761, A1 & WO, 9411901, A1	9, 16-52, 64-70, 77
A	半導体・集積回路技術 第45回シンポジウム講演論文集 p. 1 28-133, Abstract 及び p. 129下から8行 - p. 130第10行	1-80
A	J P, 6-115903, A (大見忠弘) 26. 4月. 1994 (26. 04. 94) 第3欄第41-第4欄第41行  & E P, 614216, A1 & WO, 9310556, A1	1-80
A	J P, 8-111449, A (東京エレクトロン株式会社) 30. 4月. 1996 (30. 04. 96) 請求項1-13  & U S, 5695564, A & T W, 295677, A	35-52, 77
A	J P, 7-86264, A (東京エレクトロン株式会社 外1名) 31. 3月. 1995 (31. 03. 95) 第6欄第38-第7欄 第3行 (ファミリー無し)	37-52