

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 11 月 5 日 (05.11.2015)



(10) 国际公布号
WO 2015/165148 A1

- (51) 国际专利分类号:
H01L 21/8239 (2006.01)
- (21) 国际申请号: PCT/CN2014/081925
- (22) 国际申请日: 2014 年 7 月 10 日 (10.07.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410174677.7 2014 年 4 月 28 日 (28.04.2014) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人: 霍宗亮 (HUO, Zongliang); 中国北京市海淀区中关村 956 楼 2 门 203 室, Beijing 100082 (CN)。
- (74) 代理人: 北京蓝智辉煌知识产权代理事务所 (普通合伙) (BEIJING BLUEIP INTELLECTUAL PROPERTY AGENCY FIRM); 中国北京市海淀区上

地信息产业基地北区 5 号地上地辉煌国际中心 4 号楼 1803 室, Beijing 100085 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: METHOD FOR MANUFACTURING THREE-DIMENSIONAL SEMICONDUCTOR DEVICE

(54) 发明名称: 三维半导体器件制造方法

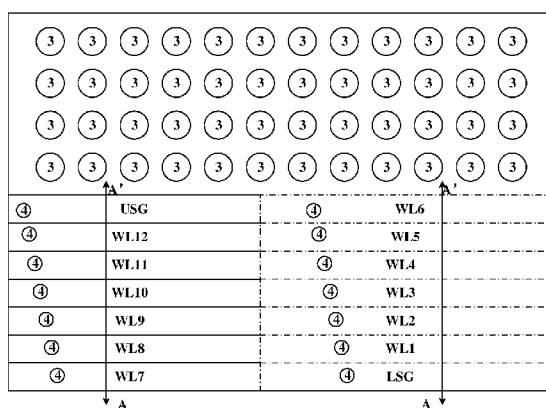


图10 / FIG. 10

(57) Abstract: A method for manufacturing a three-dimensional semiconductor device comprises: a) forming on a substrate a device unit comprising a stacked structure that is constituted by multiple first material layers and multiple second material layers in a direction perpendicular to a surface of the substrate; b) forming around the device unit a contact lead-out area comprising multiple sub-areas, each sub-area exposing a different second material layer; c) forming on the substrate a photoresist that covers the multiple sub-areas and exposes a part of the second material layer in each sub-area; d) using the photoresist as a mask to simultaneously etch the part of the second material layer exposed in each sub-area till another second material layer below the second material layer is exposed; e) reducing the size of the photoresist to expose a part of the another second material layer; f) repeating Step d and Step e till all the second material layers are exposed; and g) forming a contact lead to connect each of the second material layers. The method is used to perform selective etching on each sub-area, and therefore, the process steps are reduced and the utilization rate of the area is effectively raised.

(57) 摘要:

[见续页]

WO 2015/165148 A1

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种三维半导体器件制造方法,包括: a)在衬底上形成器件单元,包括沿垂直衬底表面方向多个第一材料层和多个第二材料层构成的堆叠结构; b)在器件单元周围形成接触引出区域,包括多个子分区,每一个暴露各自不同的一个第二材料层; c)在衬底上形成光刻胶覆盖多个子分区,暴露一个第二材料层的一部分; d)以光刻胶为掩模同时刻蚀多个子分区中暴露的一个第二材料层的一部分,直至暴露一个第二材料层下方的另一个第二材料层; e)缩减光刻胶的尺寸,以暴露另一个第二材料层的一部分; f)重复步骤 d 和步骤 e 直至所有的第二材料层均暴露; g)形成接触引线,连接多个第二材料层的每一个。依照上述方法,对各个子分区进行选择刻蚀,减少工艺步骤,有效提高面积利用率。

三维半导体器件制造方法

技术领域

- 5 本发明涉及一种半导体器件制造方法，特别是涉及一种三维半导体器件制造方法。

背景技术

- 10 为了改善存储器件的密度，业界已经广泛致力于研发减小二维布置的存储器单元的尺寸的方法。随着二维（2D）存储器件的存储器单元尺寸持续缩减，信号冲突和干扰会显著增大，以至于难以执行多电平单元（MLC）操作。为了克服2D存储器件的限制，业界已经研发了具有三维（3D）结构的存储器件，例如采用位成本可缩减（BiCS）的NAND结构，通过将存储器单元三维地布置在衬底之上来提高集成密度、其中沟道层垂直竖立在衬底上，栅极分为下层的选择栅极、中层的控制栅极以及上层的选择栅极三部分，通过将栅极信号分布在三组栅电极中以减小信号之间的串扰。

- 15 上述器件的具体制造工艺一般包括，在硅衬底上沉积下层选择栅电极层，刻蚀下层选择栅电极层形成直达衬底的孔槽以沉积沟道层的下部分以及下层栅电极的引出接触，在上方沉积控制栅极层，刻蚀控制栅极层形成作为存储器单元区域的中间沟道区以及中层控制栅电极的引出接触，刻蚀形成控制栅极，按照字线、位线划分需要将整个器件分割为多个区域，在之上沉积上层选择栅极并刻蚀、沉积形成上部沟道以及上层引出接触，之后采用后续工艺完成器件的制造。在这种工艺过程中，最为关键的刻蚀步骤仅在于对于中间层存储器沟道区和引出接触的光刻，这直接决定了整个器件的集成度以及信号抗干扰能力。

- 20 在上述BiCS工艺过程中，为了便于对每一层刻蚀接触孔以引出信号，多层结构的沉积一般采用台阶式字线形成工艺，也即在多个叠层结构顶部先形成用于定义底部结构的最宽的光刻胶PR1，通过RIE刻蚀叠层结构形成底部最宽台阶之后，采用UV光照、激光照射、加热处理或者化学试剂处理等工艺使得光刻胶缩窄为用于定义次底层的次宽
- 25
- 30

光刻胶PR2，通过RIE刻蚀叠层结构形成次底层的次宽台阶，接着再次缩窄光刻胶使其成为PR3…重复循环此种工艺步骤，直至得到最终所需的多层台阶叠层结构。

然而，这种台阶式缩窄光刻胶再刻蚀的循环工艺随着介质层层数增加、也即多层层叠结构增厚而面临越来越大的挑战。一个因素在于栅极或栅极之间的绝缘层数目每增加一层，则相应地必需增加缩减光刻胶以及刻蚀台阶工艺步骤各一次，工艺步骤倍增使得耗费时间以及制造成本大大提升。而如果层数太多，光刻胶耗损严重、特别是在台阶边缘处发生断裂或失真，除了需要重新涂布新光刻胶而增加工艺时间之外，还可能引起中间层图形失真导致线条短路、断路。此外，对于每一层而言，栅极是共享的，因此除了一个必要的接触孔引出之外，其余的面积是浪费了，影响了存储器的集成密度。

发明内容

由上所述，本发明的目的在于克服上述技术困难，提出一种创新性的三维半导体器件及其制造方法。

为此，本发明一方面提供了一种三维半导体器件制造方法，包括步骤：a)在衬底上形成器件单元，所述器件单元包括沿垂直衬底表面方向多个第一材料层和多个第二材料层构成的堆叠结构；b)在所述器件单元周围形成接触引出区域，所述接触引出区域包括多个子分区，所述多个子分区的每一个暴露各自不同的一个第二材料层；c)在所述衬底上形成光刻胶，覆盖所述多个子分区，暴露所述一个第二材料层的一部分；d)以所述光刻胶为掩模，同时刻蚀所述多个子分区中暴露的所述一个第二材料层的一部分，直至暴露所述一个第二材料层下方的另一个第二材料层；e)缩减所述光刻胶的尺寸，以暴露所述另一个第二材料层的一部分；f)重复所述步骤d和步骤e，直至所有的第二材料层均暴露；g)形成接触引线，连接所述多个第二材料层的每一个。

其中，刻蚀所述多个第一和第二材料层以形成垂直的孔槽，在所述孔槽中形成沟道层。

其中，所述沟道层的材质包括单晶硅、非晶硅、多晶硅、微晶硅、单晶锗、SiGe、Si:C、SiGe:C、SiGe:H及其组合。

其中，所述沟道层的平行于衬底表面的截面形状包括选自矩形、

方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形及其组合的几何形状，以及包括选自所述几何形状演化得到的实心几何图形、空心环状几何图形、或者空心环状外围层与绝缘层中心的组合图形。

5 其中，在形成沟道层之前和/或之后，在所述孔槽的侧面形成栅极介质层的堆叠结构。

其中，所述栅极介质层进一步包括隧穿层、存储层、阻挡层。

其中，所述隧穿层包括 SiO_2 、高k材料及其组合的单层或多层结构；其中高k材料包括但不限于选自 SiN 、 AlN 、 TiN 及其组合的氮化物，选自
10 自 MgO 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 ZnO 、 ZrO_2 、 HfO_2 、 CeO_2 、 Y_2O_3 、 La_2O_3 及其组合的金属氧化物，氮氧化物、选自PZT、BST及其组合的钙钛矿相氧化物。

其中，所述存储层包括具有电荷俘获能力的介质材料的单层或多层结构，所述介质材料选自 SiN 、 HfO 、 ZrO 及其组合。

15 其中，所述阻挡层的包括选自氧化硅、氧化铝、氧化铪及其组合的介质材料的单层或多层结构。

所述多个第一材料层或多个第二材料层之一用作栅极导电层，所述栅极导电层包括可掺杂的半导体材料和/或导电材料的单层或多层结构，所述可掺杂的半导体材料包括多晶硅、多晶锗硅、非晶硅、非
20 晶锗硅、微晶硅、多晶锗、非晶锗及其组合，所述导电材料包括金属、或所述金属的合金、或所述金属的氮化物，其中所述金属包括选自 Co 、 Ni 、 Cu 、 Al 、 Pd 、 Pt 、 Ru 、 Re 、 Mo 、 Ta 、 Ti 、 Hf 、 Zr 、 W 、 Ir 、 Eu 、 Nd 、 Er 、 La 及其组合的金属。

所述栅极介质层与所述栅极导电层之间还包括氮化物的阻挡层，
25 所述氮化物为 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ ，其中M为 Ta 、 Ti 、 Hf 、 Zr 、 Mo 、 W 及其组合，x、y均大于等于0且小于等于1。

其中，所述器件单元包括基于电荷俘获的三维存储器、多晶硅浮栅或金属浮栅的存储单元的三维堆叠、三维阻变存储器。

其中，所述子分区位于所述器件单元的同侧或不同侧。

30 其中，所述子分区的个数N为大于等于2的正整数。

其中，所述接触引线分布在同一平面上，或者在不同的子分区而位于不同的平面上。

其中，所述步骤b进一步包括，在所述衬底上形成光刻胶，依次暴露总数为N个子分区的每一个，以所述光刻胶为掩模，刻蚀所述堆叠结构依次暴露第i子分区中的第 $i \times M/N$ 层第二材料层，其中M为第二材料层的总数。

5 其中，所述多个第一材料层用作栅电极之间的绝缘隔离层。

依照本发明的三维半导体器件的制造方法，将引出接触区域分为多个子分区并完成多层膜选区刻蚀，对不同子分区执行相同的缩减光刻胶和刻蚀多层膜工艺以选择性对各个子分区进行选择刻蚀，由此可以大幅减少总的刻蚀工艺步骤数目，有效提高三维器件的引出接触区域

10 的面积利用率。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图1至图10为依照本发明的三维半导体器件制造方法的各个步骤

15 的顶视图；

图11为依照本发明的三维半导体器件的沿A-A'线的剖视图；

图12为依照本发明的三维半导体器件制造方法的另一实施例的顶视图；以及

图13为依照本发明的三维半导体器件制造方法的又一实施例的

20 顶视图。

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了有效提高器件可靠性的半导体器件制造方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

25

如图1所示，在衬底1上形成器件单元。在本发明图中所示优选实施例中，器件单元为三维存储器的多个垂直沟道3。在图中未示出的其他优选实施例中，器件单元可以是多晶硅浮栅或金属浮栅的存储单元，也可以是三维阻变存储器中层叠的阻变电阻。

30

首先, 在衬底 1 上交替形成第一材料层 2A 与第二材料层 2B 的堆叠结构 2。为了与现有的 IC 制造工艺兼容, 衬底优选地为含硅材质的衬底, 例如 Si、SOI、SiGe、Si:C 等。在本发明一个实施例中, 堆叠结构中的第一层 2A 为选自以下材料的绝缘介质: 如氧化硅、氮化硅、非晶碳、类金刚石无定形碳 (DLC)、氧化锗、氧化铝、氮化铝等及其组合; 第二层 2B 则为选自以下材料的半导体或导体材料: 多晶硅、非晶硅、微晶硅、SiGe、Si:C、金属。在本发明优选实施例中, 层 2A、层 2B 为氧化硅与多晶硅的叠层结构 (OP 叠层)。第一材料层具有第一刻蚀选择性, 第二材料层具有第二刻蚀选择性并且不同于第一刻蚀选择性。在本发明另一优选实施例中, 第一层与第二层在湿法腐蚀条件或者在氧等离子干法刻蚀条件下具有较大的刻蚀选择比 (例如大于 5:1)。层 2A、2B 的沉积方法包括 PECVD、LPCVD、HDPCVD、MOCVD、MBE、ALD、热氧化、蒸发、溅射等各种工艺。在本发明一个优选实施例中, 第一层 2A 与第二层 2B 的数目均为 14, 也即形成了 14 个 A、B 叠层子结构。在本发明一个优选实施例中, 层 2B 用于字线 WL 的接触引出, 因此从衬底直至顶部, 多个第二层 2B 可以标记为 WL1、WL2... 直至 WL14。在基于 gate-first 工艺的本发明最佳实施例中, 第一与第二材料层的一个包括可掺杂的半导体材料 (例如多晶硅、非晶硅、微晶硅、多晶锗、非晶锗、多晶 SiGe 等) 和/或例如金属、金属合金、金属氮化物的导电材料而用作控制栅电极 (控制栅极 2B 侧部进一步可以包括氮化物的阻挡层, 材质例如 M_xN_y 、 $M_xSi_yN_z$ 、 $M_xAl_yN_z$ 、 $M_aAl_xSi_yN_z$, 其中 M 为 Ta、Ti、Hf、Zr、Mo、W 或其它元素), 另一个则包括绝缘介质材料 (例如上述半导体或金属基材质的氧化物或氮化物及其组合) 而用作控制栅电极之间的绝缘隔离层。

然后, 刻蚀堆叠结构 2 直至露出衬底 1, 形成垂直穿透堆叠结构的孔槽以用于定义沟道区。优选地, 采用 RIE 或等离子干法刻蚀各向异性刻蚀第一层 2A/第二层 2B 的堆叠结构 2, 露出衬底 1 以及衬底 1 上交替堆叠的层 2A/层 2B 的侧壁。更优选地, 控制各向异性刻蚀堆叠结构 2 的工艺条件以使得横向刻蚀速度显著小于纵向刻蚀速度而得到高深宽比 (例如深宽比 AR 大于等于 10:1) 的垂直的深孔或深槽。平行于衬底 1 表面切得的孔槽的截面形状可以为矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状, 在图 1 所示实施例中为圆形。

在本发明基于 Gate-First 工艺的一个优选实施例中, 由于采用第二材料层 2B 作为控制栅极的导电材料, 因此在形成深孔槽之后先在

孔槽底部以及侧壁上沉积栅极介质材料的堆叠结构（贴附在沟道层的内壁，图 1 中并未示出）。沉积方法包括 PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等。栅极介质层优选地进一步包括多个子层，例如隧穿层、存储层、阻挡层。其中隧穿层包括 SiO_2 或高 k 材料，其中高 k 材料包括但不限于氮化物（例如 SiN 、 AlN 、 TiN ）、金属氧化物（主要为副族和镧系金属元素氧化物，例如 MgO 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 ZnO 、 ZrO_2 、 HfO_2 、 CeO_2 、 Y_2O_3 、 La_2O_3 ）、氮氧化物（如 HfSiON ）、钙钛矿相氧化物（例如 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ （PZT）、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ （BST））等，隧穿层可以是上述材料的单层结构或多层堆叠结构。存储层是具有电荷俘获能力的介质材料，例如 SiN 、 HfO 、 ZrO 等及其组合，同样可以是上述材料的单层结构或多层堆叠结构。

随后在孔槽底部、衬底 1 表面形成沟道层 3。沟道层 3 的材质可以包括单晶硅、非晶硅、多晶硅、微晶硅、单晶锗、 SiGe 、 Si:C 、 SiGe:C 、 SiGe:H 等半导体材料，沉积工艺包括 PECVD、LPCVD、HDPCVD、MOCVD、MBE、ALD、热氧化、蒸发、溅射等各种工艺。在本发明一个实施例中，沟道层 3 的沉积方式为完全填充孔槽的侧壁而形成实心柱形。在本发明图中未示出的其他实施例中，选择沟道层 3 的沉积方式以完全或者局部填充孔槽，形成实心柱、空心环（中间具有空气隙）、或者空心环内填充绝缘层（未示出）的核心-外壳结构。沟道层 3 的水平截面的形状与孔槽类似并且优选地图形，可以为实心的矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状，或者为上述几何形状演化得到的空心的环状、桶状结构（并且其内部可以填充绝缘层）。

值得注意的是，在图 1 所示本发明的优选实施例中仅示出了采用 Gate-first 工艺制备的一种器件结构。此外，还可以采用 Gate-Last 工艺形成三维存储结构。

如图 2 所示，将用于引出、引入器件单元电信号的接触引出区 A 划分为多个子分区，如图 2 所示包括两个子分区 A1、A2。在本发明一个实施例中，引出接触分区 A1、A2 均位于沟道层 3 的一侧（例如图 2 中下方）。但是在本发明另一实施例中，例如如图 13 所示，子分区包括四个，均位于沟道层 3 的同一侧，分别为 A1、A2、A3、A4，每个子分区用于定义 7 个 OP 叠层结构，也即层 2B 的总层数为 28 层。在本发明其他实施例中，例如如图 14 所示，两个子分区 A1、A2 位于沟道层 3 的两侧，每个子分区用于定义 7 个 OP 叠层结构，也即层 2B 的总层数为 14。自然，子分区的数目 N 可以是大于等于 2 的任意正整数，

M 为器件单元需要引出的接触的总数目，则每个子分区可以用于定义 M/N 个 OP 叠层结构的引出接触。如图 2 所示，在本发明一个优选实施例中，在器件单元之上以及子分区 A1 上涂布光刻胶（未示出），以光刻胶为掩模，刻蚀暴露的子分区 A2，直至暴露第 7 层的第二材料层 WL6，保留了在区域 A1 上的第 8 至第 14 层的第二材料层 WL7 至 USG。对于 N 个子分区、每个子分区用于定义 M/N 个叠层结构的情形，则采用 N-1 次光刻/刻蚀工艺，依次暴露第 N 子分区中的第 M/N 层的第二材料层 2B、第 N-1 子分区中的第 2M/N 的第二材料层、第 N-2 子分区中的第 3M/N 的第二材料层……直至第 2 子分区中的第 (N-1)M/N 的第二材料层，保留的第 1 子分区上的光刻胶保护了第 M 层第二材料层以及下方的共 M/N 个第二材料层不受刻蚀影响。上述刻蚀工艺优选各向异性的干法刻蚀工艺，以减小图形边缘的失真，例如 RIE。

如图 3 所示，对所有多个子分区涂覆光刻胶 PR1，暴露各个子分区中的一个第二材料层 2B 的一部分，并且以光刻胶 PR1 为掩模，刻蚀去除该部分。在图 3 所示实施例中，PR1 暴露了顶层 USG 的部分以及第 7 层的 WL7 的部分，刻蚀之后暴露了图 3 可见的第 13 层 WL12 以及第 6 层 WL5。对于 M、N 的情形而言，PR1 依次暴露了第 M 层、第 (N-1)M/N……直至第 M/N 的第二材料层 2B，刻蚀之后暴露了第 M-1 层、第 ((N-1)M/N)-1 层、……直至第 (M/N)-1 层材料 2B 的部分，这些部分稍后将用于刻蚀形成接触孔以引出电信号。上述刻蚀工艺优选各向异性的干法刻蚀工艺，以减小图形边缘的失真，例如 RIE

如图 4 所示，执行缩减工艺，使得光刻胶 PR1 宽度/长度变小而成为 PR2，以暴露第 M-1 层、第 ((N-1)M/N)-1 层、……直至第 (M/N)-1 层的材料 2B（图 4 实施例中则为第 13 层 WL12 和第 6 层 WL6），然后采用与图 3 类似的刻蚀工艺刻蚀暴露出的材料层 2B，以暴露其下方的第 M-2 层…第 (M/N)-2 层（图 4 中实施例为第 12 层 WL11 和第 5 层 WL4）。其中，缩减工艺例如包括使用 UV 光照、激光照射、加热处理或者化学试剂处理等工艺使得光刻胶宽度/长度变小、缩窄为用于定义下一层引出接触的光刻胶。

此后，如图 5 至所示图 9，重复图 3、图 4 所示的步骤，也即先缩减光刻胶宽度/长度以暴露第二材料层，然后以光刻胶为掩模刻蚀第二材料层直至暴露更下层的第二材料层。其中，图 9 中第一区域 A1 中最顶层的第二材料层 2B 标记为 UGS，用于顶层选择栅极引出，第二区域 A2 中最底层的第二材料层 2B 标记为 LSG，用于底层选择栅极引出。

最后，如图 10 所示，在器件上形成层间介质层（ILD，未示出），在 ILD 中刻蚀形成多个接触孔，直至暴露作为 WL 的各个第二材料层 2B，并且在接触孔中填充金属、金属合金、金属氮化物等导电材料，形成字线 WL 接触塞 4，完成外围 WL 连线设置。

5 值得注意的是，图 11 所示各个接触塞 4 的引出金属线为垂直分布，而实际版图设计过程中，这些金属线可以平行的分布在一个平面上，或者也可以在不同子分区 A_i 中分布在不同的平面上。

10 依照本发明的三维半导体器件的制造方法，将引出接触区域分为多个子分区并完成多层膜选区刻蚀，对不同子分区执行相同的缩减光刻胶和刻蚀多层膜工艺以选择性对各个子分区进行选择刻蚀，由此可以大幅减少总的刻蚀工艺步骤数目，有效提高三维器件的引出接触区域的面积利用率。

15 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构或方法流程做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

20

权 利 要 求 书

1. 一种三维半导体器件制造方法，包括步骤：
 - a) 在衬底上形成器件单元，所述器件单元包括沿垂直衬底表面方向多个第一材料层和多个第二材料层构成的堆叠结构；
 - 5 b) 在所述器件单元周围形成接触引出区域，所述接触引出区域包括多个子分区，所述多个子分区的每一个暴露各自不同的一个第二材料层；
 - c) 在所述衬底上形成光刻胶，覆盖所述多个子分区，暴露所述一个第二材料层的一部分；
 - 10 d) 以所述光刻胶为掩模，同时刻蚀所述多个子分区中暴露的堆叠结构，直至暴露所述一个第二材料层下方的另一个第二材料层；
 - e) 缩减所述光刻胶的尺寸，以暴露所述另一个第二材料层的一部分；
 - f) 重复所述步骤d和步骤e，直至所有的第二材料层均暴露；
 - 15 g) 形成接触引线，连接所述多个第二材料层的每一个。
2. 如权利要求1所述的方法，其中，刻蚀所述多个第一和第二材料层以形成垂直的孔槽，在所述孔槽中形成沟道层。
3. 如权利要求2所述的方法，其中，所述沟道层的材质包括单晶硅、非晶硅、多晶硅、微晶硅、单晶锗、SiGe、Si:C、SiGe:C、SiGe:H
20 及其组合。
4. 如权利要求2所述的方法，其中，所述沟道层的平行于衬底表面的截面形状包括选自矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形及其组合的几何形状，以及包括选自所述几何形状演化得到的实心几何图形、空心环状
25 几何图形、或者空心环状外围层与绝缘层中心的组合图形。
5. 如权利要求2所述的方法，其中，在形成沟道层之前和/或之后，在所述孔槽的侧面形成栅极介质层的堆叠结构。
6. 如权利要求5所述的方法，其中，栅极介质层进一步包括隧穿层、存储层、阻挡层。
- 30 7. 如权利要求6所述的方法，其中，所述隧穿层包括SiO₂、高k材料及其组合的单层或多层结构；其中高k材料包括但不限于选自SiN、AlN、TiN及其组合的氮化物，选自MgO、Al₂O₃、Ta₂O₅、TiO₂、

ZnO、ZrO₂、HfO₂、CeO₂、Y₂O₃、La₂O₃及其组合的金属氧化物，氮氧化物、选自PZT、BST及其组合的钙钛矿相氧化物。

8. 如权利要求6所述的方法，其中，所述存储层包括具有电荷俘获能力的介质材料的单层或多层结构，所述介质材料选自SiN、HfO、ZrO及其组合。

9. 如权利要求6所述的方法，其中，所述阻挡层的包括选自氧化硅、氧化铝、氧化铪及其组合的介质材料的单层或多层结构。

10. 如权利要求5所述的方法，其中，所述多个第二材料层用作栅极导电层，所述栅极导电层包括可掺杂的半导体材料和/或导电材料的单层或多层结构，所述可掺杂的半导体材料包括多晶硅、多晶锗硅、非晶硅、非晶锗硅、微晶硅、多晶锗、非晶锗及其组合，所述导电材料包括金属、或所述金属的合金、或所述金属的氮化物，其中所述金属包括选自Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合的金属。

11. 如权利要求10所述的方法，其中，所述栅极介质层与所述栅极导电层之间还包括氮化物的阻挡层，所述氮化物为M_xN_y、M_xSi_yN_z、M_xAl_yN_z、M_aAl_xSi_yN_z，其中M为Ta、Ti、Hf、Zr、Mo、W及其组合，x、y均大于等于0且小于等于1。

12. 如权利要求1所述的方法，其中，所述器件单元包括基于电荷俘获的三维存储器、多晶硅浮栅或金属浮栅的存储单元的三维堆叠、三维阻变存储器。

13. 如权利要求1所述的方法，其中，所述子分区位于所述器件单元的同一侧或不同侧。

14. 如权利要求1所述的方法，其中，所述子分区的个数N为大于等于2的正整数。

15. 如权利要求1所述的方法，其中，所述接触引线分布在同一平面上，或者在不同的子分区而位于不同的平面上。

16. 如权利要求1所述的方法，其中，所述步骤b进一步包括，在所述衬底上形成光刻胶，依次暴露总数为N个子分区的每一个，以所述光刻胶为掩模，刻蚀所述堆叠结构依次暴露第i子分区中的第i*M/N层第二材料层，其中M为第二材料层的总数。

17. 如权利要求1所述的方法，其中，所述多个第一材料层用作栅电极

之间的绝缘隔离层。

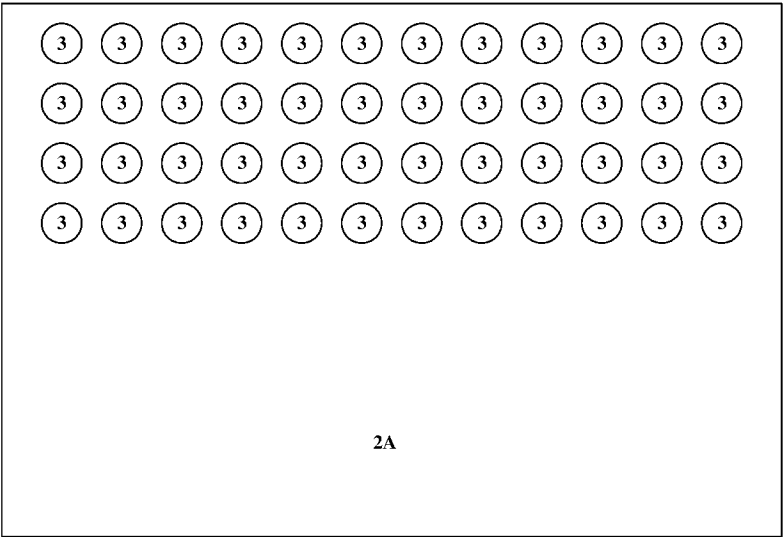


图1

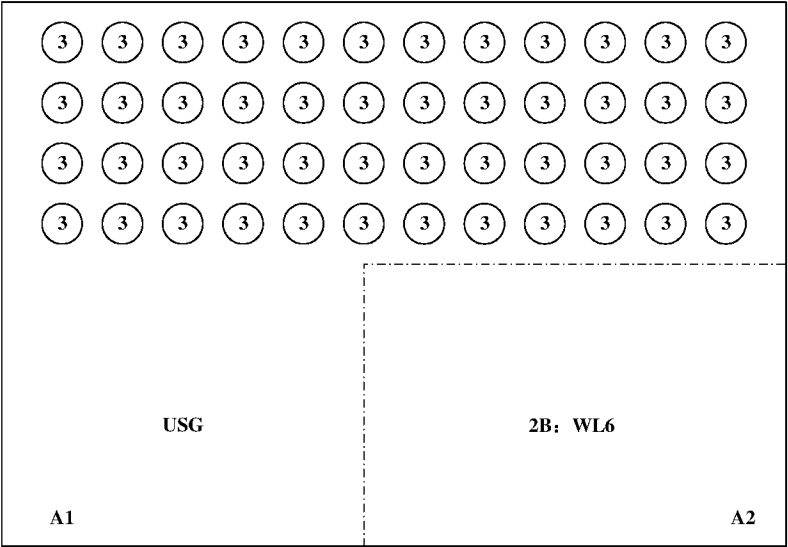


图2

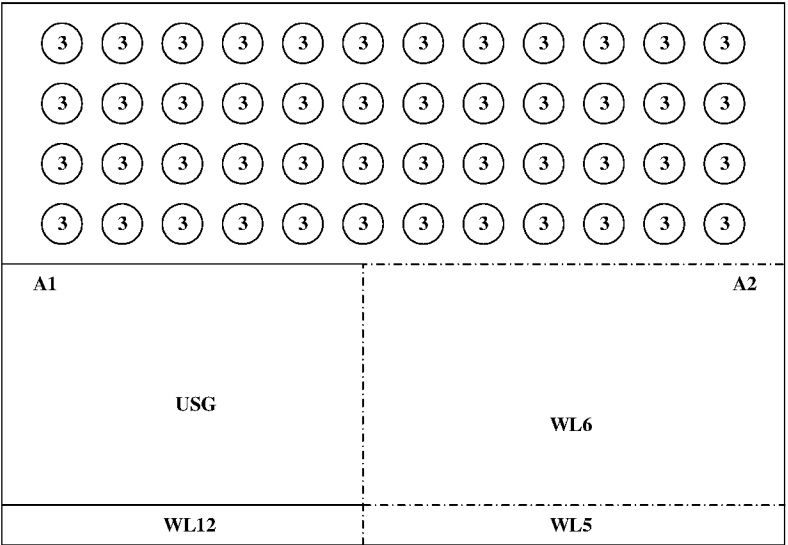


图3

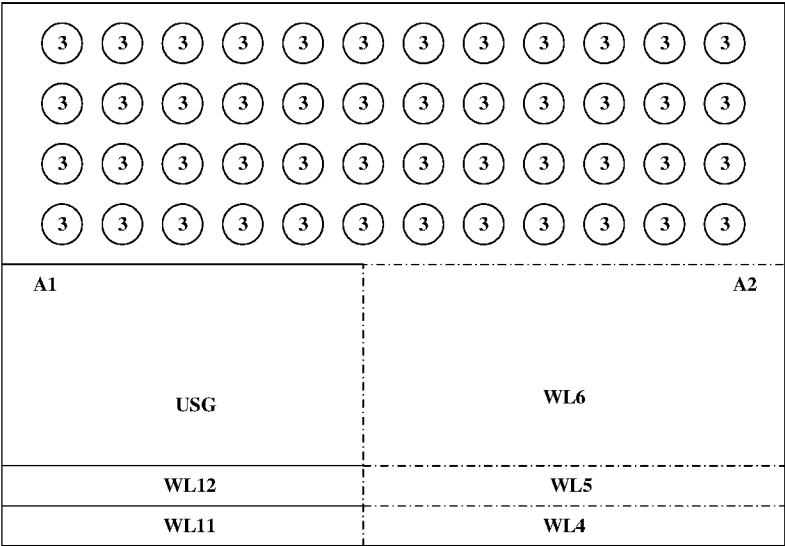


图4

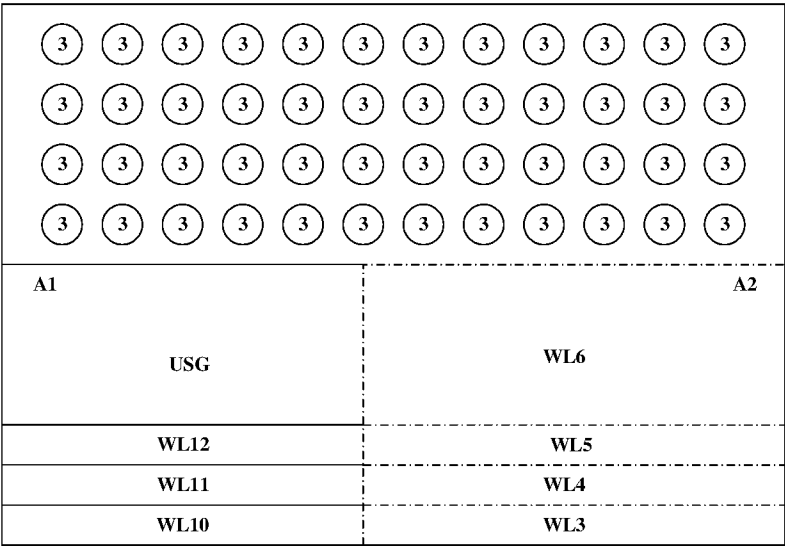


图5

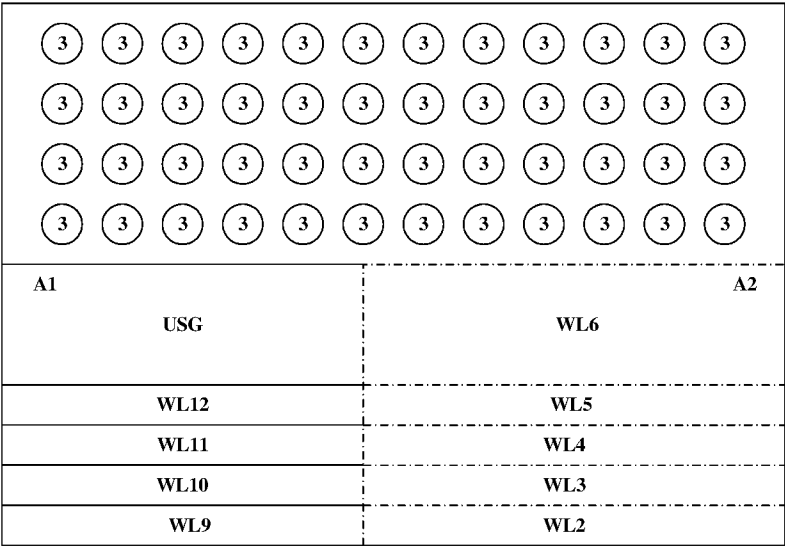


图6

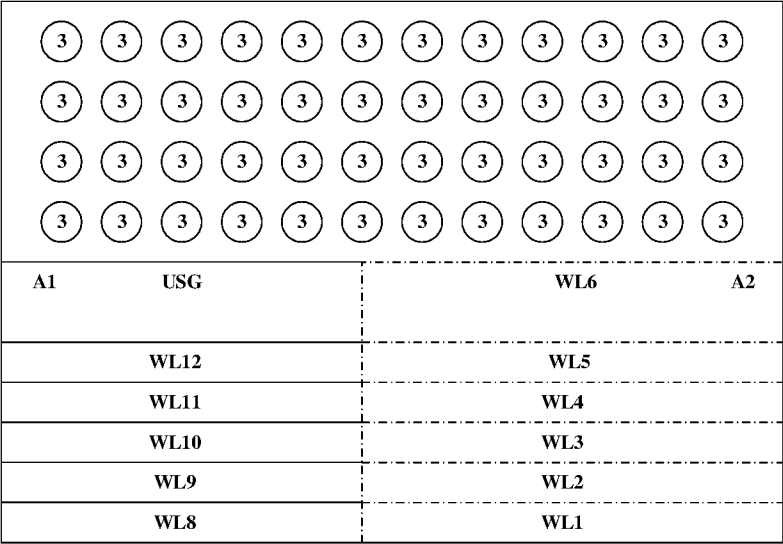


图7

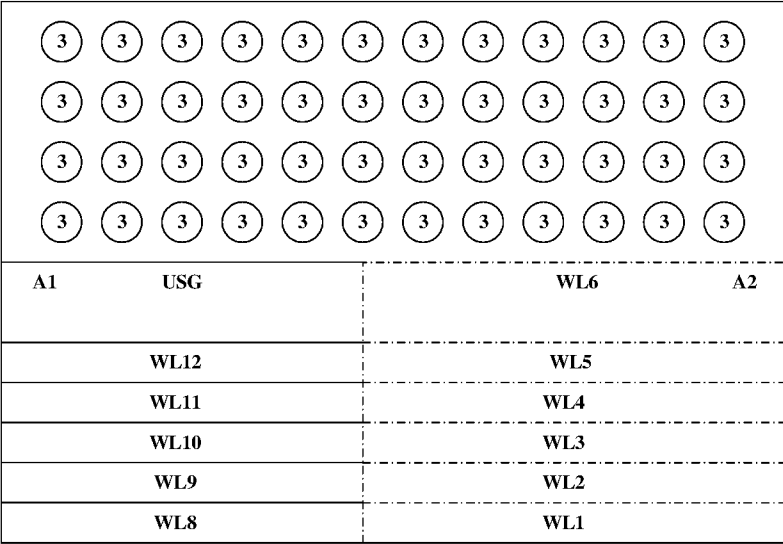


图8

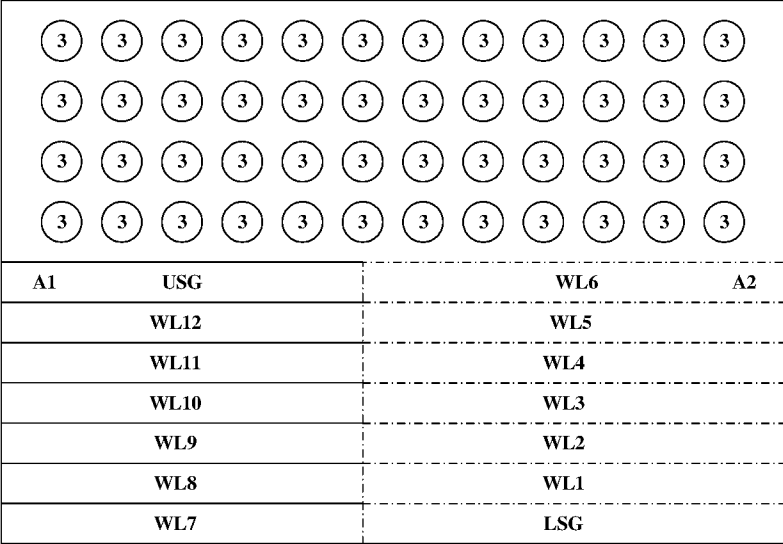


图9

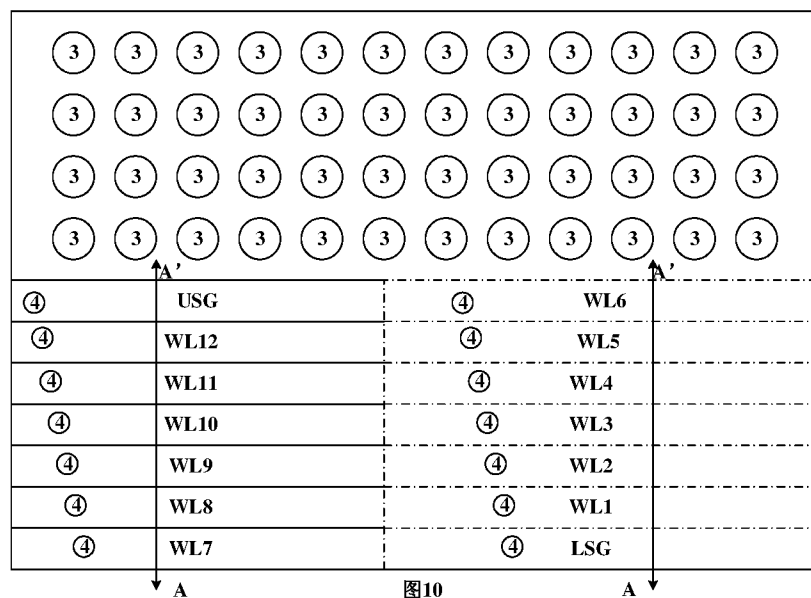


图10

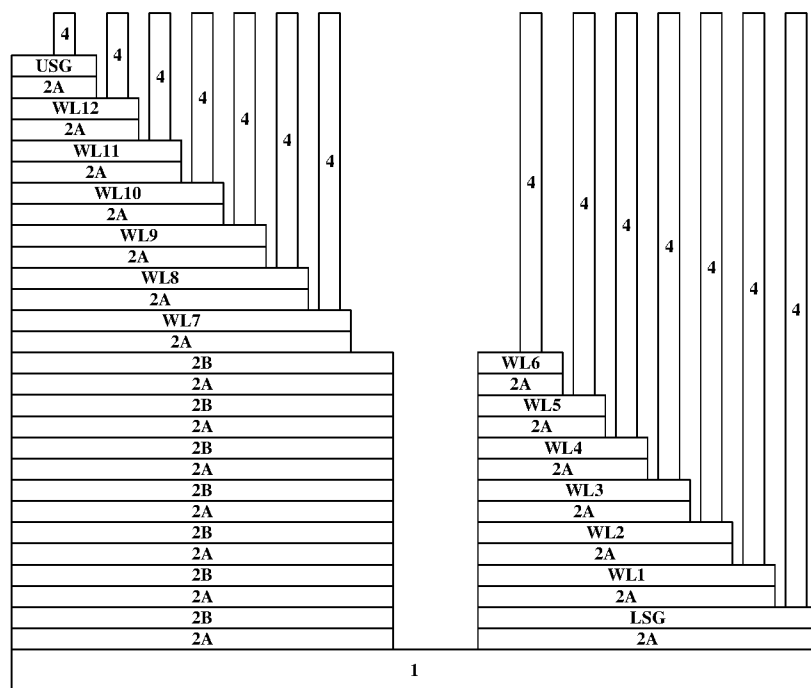


图11

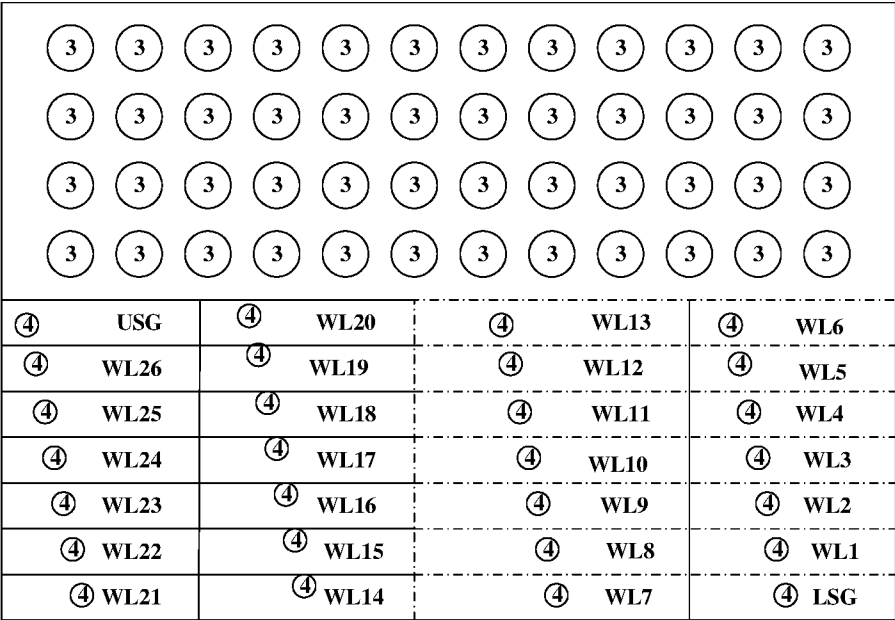


图12

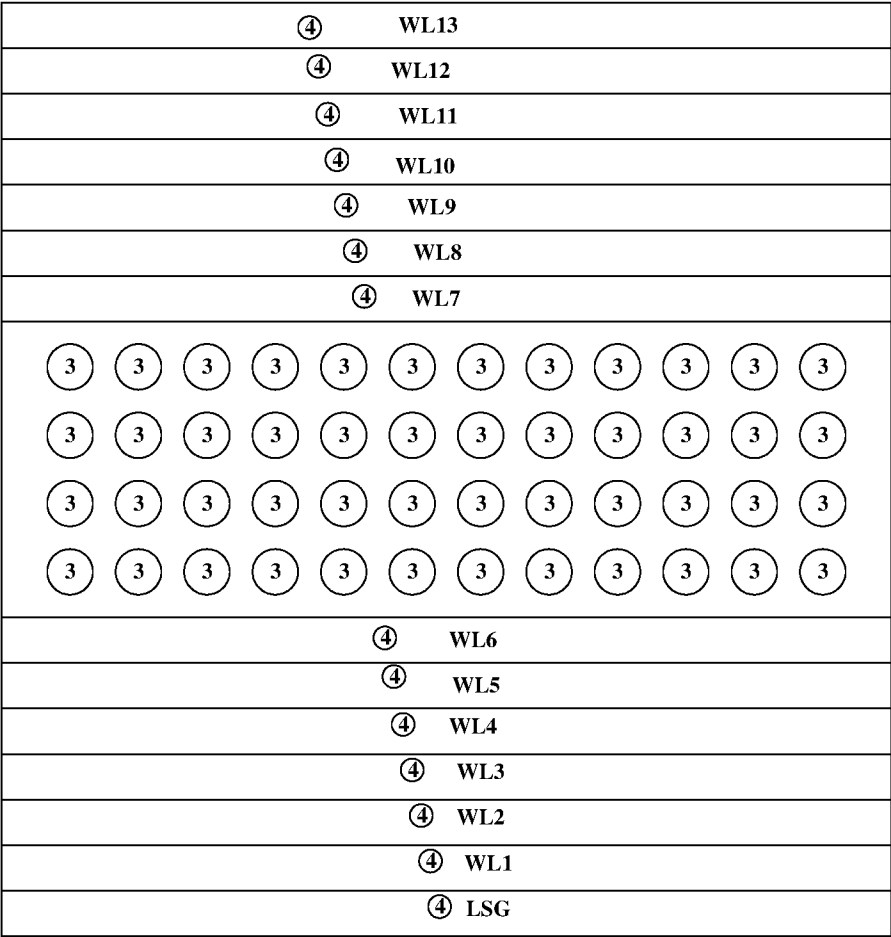


图13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/081925

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8239 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, IEEE, CNKI: three-dimensional, reduce, three, dimension+, 3D, memory, photoresist, mask, interconnect+, stair+, shrink+, bics

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103633043 A (SAMSUNG ELECTRONICS CO., LTD.), 12 March 2014 (12.03.2014), description, paragraphs [0092]-[0110] and [0177]-[0179], and figures 15-18, 38-45 and 60-63	1-4, 12-17
Y	CN 103633043 A (SAMSUNG ELECTRONICS CO., LTD.), 12 March 2014 (12.03.2014), description, paragraphs [0092]-[0110] and [0177]-[0179], and figures 15-18, 38-45 and 60-63	5-11
Y	CN 101651144 A (SAMSUNG ELECTRONICS CO., LTD.), 17 February 2010 (17.02.2010), description, page 15, paragraph 5 to page 17, paragraph 1, and figures 22-23	5-11
A	CN 101847647 A (SHARP KABUSHIKI KAISHA), 29 September 2010 (29.09.2010), the whole document	1-17
A	CN 103563070 A (MICRON TECHNOLOGY, INC.), 05 February 2014 (05.02.2014), the whole document	1-17
A	US 2011018036 A1 (SAMSUNG ELECTRONICS CO., LTD.), 27 January 2011 (27.01.2011), the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 November 2014 (05.11.2014)	Date of mailing of the international search report 26 November 2014 (26.11.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YAN, Miaoqing Telephone No.: (86-10) 82245409

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/081925

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103633043 A	12 March 2014	US 2014054787 A1	27 February 2014
		DE 102013109011 A1	27 February 2014
		KR 20140025798 A	05 March 2014
		JP 2014042029 A	06 March 2014
CN 101651144 A	17 February 2010	CN 101651144 B	30 October 2013
		US 2009310425 A1	17 December 2009
		KR 20090128776 A	16 December 2009
		US 8441059 B2	14 May 2013
		US 2013242654 A1	19 September 2013
CN 101847647 A	29 September 2010	US 8450713 B2	28 May 2013
		JP 4956598 B2	20 June 2012
		JP 2010287872 A	24 December 2010
		US 2010219392 A1	02 September 2010
		CN 102637686 A	15 August 2012
		CN 101847647 B	26 September 2012
CN 103563070 A	05 February 2014	WO 2012166483 A3	07 March 2013
		US 8530350 B2	10 September 2013
		WO 2012166483 A2	06 December 2012
		US 2012306089 A1	06 December 2012
		KR 20130142195 A	27 December 2013
		JP 2014517530 A	17 July 2014
		US 2013341798 A1	26 December 2013
		TW 201304106 A	16 January 2013
		EP 2715787 A2	09 April 2014
US 2011018036 A1	27 January 2011	KR 20110009555 A	28 January 2011
		US 8492831 B2	23 July 2013
		US 2013279233 A1	24 October 2013

国际检索报告

国际申请号

PCT/CN2014/081925

A. 主题的分类

H01L 21/8239 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

WPI, EPODOC, CNPAT, IEEE, CNKI: 三维, 存储, 光刻胶, 掩膜, 缩, 减, 台阶, 阶梯, 互连, three, dimension+, 3D, memory, photoresist, mask, interconnect+, stair+, shrink+, bics

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103633043 A (三星电子株式会社) 2014年 3月 12日 (2014 - 03 - 12) 说明书第[0092]-[0110]、[0177]-[0179]段、附图15-18、38-45、60-63	1-4, 12-17
Y	CN 103633043 A (三星电子株式会社) 2014年 3月 12日 (2014 - 03 - 12) 说明书第[0092]-[0110]、[0177]-[0179]段、附图15-18、38-45、60-63	5-11
Y	CN 101651144 A (三星电子株式会社) 2010年 2月 17日 (2010 - 02 - 17) 说明书第15页第5段至第17页第1段、附图22-23	5-11
A	CN 101847647 A (夏普株式会社) 2010年 9月 29日 (2010 - 09 - 29) 全文	1-17
A	CN 103563070 A (美光科技公司) 2014年 2月 05日 (2014 - 02 - 05) 全文	1-17
A	US 2011018036 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2011年 1月 27日 (2011 - 01 - 27) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 11月 05日

国际检索报告邮寄日期

2014年 11月 26日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10) 62019451

授权官员

颜庙青

电话号码 (86-10) 82245409

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/081925

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103633043	A	2014年 3月 12日	US	2014054787	A1	2014年 2月 27日
				DE	102013109011	A1	2014年 2月 27日
				KR	20140025798	A	2014年 3月 05日
				JP	2014042029	A	2014年 3月 06日
CN	101651144	A	2010年 2月 17日	CN	101651144	B	2013年 10月 30日
				US	2009310425	A1	2009年 12月 17日
				KR	20090128776	A	2009年 12月 16日
				US	8441059	B2	2013年 5月 14日
				US	2013242654	A1	2013年 9月 19日
CN	101847647	A	2010年 9月 29日	US	8450713	B2	2013年 5月 28日
				JP	4956598	B2	2012年 6月 20日
				JP	2010287872	A	2010年 12月 24日
				US	2010219392	A1	2010年 9月 02日
				CN	102637686	A	2012年 8月 15日
				CN	101847647	B	2012年 9月 26日
CN	103563070	A	2014年 2月 05日	WO	2012166483	A3	2013年 3月 07日
				US	8530350	B2	2013年 9月 10日
				WO	2012166483	A2	2012年 12月 06日
				US	2012306089	A1	2012年 12月 06日
				KR	20130142195	A	2013年 12月 27日
				JP	2014517530	A	2014年 7月 17日
				US	2013341798	A1	2013年 12月 26日
				TW	201304106	A	2013年 1月 16日
				EP	2715787	A2	2014年 4月 09日
US	2011018036	A1	2011年 1月 27日	KR	20110009555	A	2011年 1月 28日
				US	8492831	B2	2013年 7月 23日
				US	2013279233	A1	2013年 10月 24日

表 PCT/ISA/210 (同族专利附件) (2009年7月)