(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2011-519476
(P2011-519476A)
(43)公表日　平成23年7月7日(2011.7.7)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8246	(2006.01)	H01L	27/10	447	4M119
H01L 27/105	(2006.01)	G11C	11/15	110	5F092
G11C 11/15	(2006.01)	H01L	43/08	Z	
H01L 43/08	(2006.01)				

審査請求 有　予備審査請求 未請求　（全 15 頁）

(21)出願番号　特願2011-503030 (P2011-503030)
(86)(22)出願日　平成21年3月23日 (2009.3.23)
(85)翻訳文提出日　平成22年12月2日 (2010.12.2)
(86)国際出願番号　PCT/US2009/037935
(87)国際公開番号　WO2009/123874
(87)国際公開日　平成21年10月8日 (2009.10.8)
(31)優先権主張番号　12/098,017
(32)優先日　平成20年4月4日 (2008.4.4)
(33)優先権主張国　米国 (US)

(71)出願人　595020643
クゥアルコム・インコーポレイテッド
ＱＵＡＬＣＯＭＭ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、カリフォルニア州　９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ　５７７５
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘

最終頁に続く

(54)【発明の名称】磁気抵抗ランダムアクセスメモリ（ＭａｇｎｅｔｏｒｅｓｉｓｔｉｖｅＲａｎｄｏｍＡｃｃｅｓｓＭｅｍｏｒｙ：ＭＲＡＭ）ビットセルのアレイ・ストラクチャル・デザイン（ａｒｒａｙｓｔ

(57)【要約】
スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルが開示される。前記ビットセルは、第１の面内に形成されたソース線と、第２の面内に形成されたビット線とを含む。ビット線は、前記ソース線の長手方向軸に対して平行である長手方向軸を有し、かつ、前記ソース線は少なくとも前記ビット線の一部にオーバーラップする。

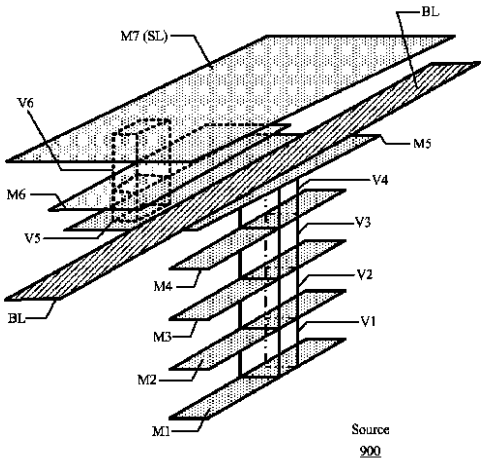


FIG. 10

【特許請求の範囲】
【請求項１】
スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルは、
第１の面内に形成されたソース線と、
第２の面内に形成され、かつ、前記ソース線の長手方向軸に対して平行である長手方向軸を有するビット線とを具備していること、
ここにおいて、前記ソース線は少なくとも前記ビット線の一部にオーバーラップする。
【請求項２】
請求項１のＳＴＴ－ＭＲＡＭビットセルにおいて、前記ソース線は、第１のラテラルエクステンション（lateral extension）を含み、前記第１のラテラルエクステンションはその一部が前記ビット線にオーバーラップしないように、前記第１の面内において前記ソース線の前記長手方向軸に対して垂直な方向に延びる。
【請求項３】
請求項２のＳＴＴ－ＭＲＡＭビットセルにおいて、前記ソース線は第１のメタル層であり、かつ、前記ビット線は第２のメタル層であり、
前記ビットセルは、さらに、第３の面内に形成され、前記第１のメタル層の長手方向軸に対して平行である長手方向軸を有する第３のメタル層を具備していること、
ここにおいて、前記第２のメタル層は、前記第１のメタル層と前記第２のメタル層の間に入っている（interposes）。
【請求項４】
請求項３のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第１のメタル層および／または前記第２のメタル層は、少なくとも前記第３のメタル層の一部にオーバーラップする。
【請求項５】
請求項３のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第３のメタル層は、前記第３の面内において前記第３のメタル層の長手方向軸に対して垂直な方向に延びる、第２のラテラルエクステンションを含み、
ここにおいて、前記第１のラテラルエクステンションは、前記第２のラテラルエクステンションにオーバーラップし、かつ、前記第２のラテラルエクステンションに電気的に接続されている。
【請求項６】
請求項５のＳＴＴ－ＭＲＡＭビットセルは、さらに、前記第１のラテラルエクステンションを前記第２のラテラルエクステンションに接続する少なくとも一つのヴィア相互接続（via interconnect）を具備していること。
【請求項７】
請求項５のＳＴＴ－ＭＲＡＭビットセルは、さらに、
前記第１のラテラルエクステンションと前記第２のラテラルエクステンションとの間に入っている（interposing）第４のメタル層と、
前記第１のラテラルエクステンションを前記第４のメタル層に接続する第１のヴィア相互接続と、
前記第４のメタル層を前記第２のラテラルエクステンションに接続する第２のヴィア相互接続とを具備していること。
【請求項８】
請求項７のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第４のメタル層は、前記第２の面内に形成され、かつ、前記第２のメタル層から電気的に絶縁されている。
【請求項９】
請求項１のＳＴＴ－ＭＲＡＭビットセルにおいて、前記ソース線は実質的に前記ビット線にオーバーラップする。
【請求項１０】
請求項１のＳＴＴ－ＭＲＡＭビットセルは、さらに、

ワード線と、
記憶要素と、
前記記憶要素に結合されたワード線トランジスタとを具備していること。
【請求項１１】
請求項１０のＳＴＴ－ＭＲＡＭビットセルにおいて、前記記憶要素は磁気トンネル接合（ＭＴＪ）であり、かつ、前記ワード線トランジスタは前記ＭＴＪに直列に結合されている。
【請求項１２】
スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルは、
第１の面内の長手方向軸を有するソース線を形成している第１のメタル層と、
第２の面内の長手方向軸を有するビット線を形成している第２のメタル層とを具備していること、
ここにおいて、前記第１のメタル層の前記長手方向軸は、前記第２のメタル層の前記長手方向軸に対して平行であり、かつ、
ここにおいて、前記第１のメタル層は少なくとも前記第２のメタル層の一部にオーバーラップする。
【請求項１３】
請求項１２のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第１のメタル層は、第１のラテラルエクステンションを含み、前記第１のラテラルエクステンションはその一部が前記第２のメタル層に一部がオーバーラップしないように、前記第１の面内において前記第１のメタル層の長手方向軸に対して垂直な方向に延びる。
【請求項１４】
請求項１３のＳＴＴ－ＭＲＡＭビットセルは、さらに、
第３の面内に形成され、前記第１のメタル層の長手方向軸に対して平行な長手方向軸を有する第３のメタル層を具備していること、
ここにおいて、前記第２のメタル層は、前記第１のメタル層と前記第３のメタル層の間に入っている（interposes）。
【請求項１５】
請求項１４のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第１のメタル層および／または前記第２のメタル層は、少なくとも前記第３のメタル層の一部にオーバーラップする。
【請求項１６】
請求項１４のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第３のメタル層は、前記第３のメタル層の長手方向軸に対して垂直な方向に延びる第２のラテラルエクステンションを含み、かつ、
ここにおいて、前記第１のラテラルエクステンションは、前記第２のラテラルエクステンションにオーバーラップし、かつ、前記第２のラテラルエクステンションから電気的に絶縁されている。
【請求項１７】
請求項１６のＳＴＴ－ＭＲＡＭビットセルは、さらに、前記第１のラテラルエクステンションを前記第２のラテラルエクステンションに接続する少なくとも一つのヴィア相互接続を具備していること。
【請求項１８】
請求項１６のＳＴＴ－ＭＲＡＭビットセルは、さらに、
前記第１のラテラルエクステンションと前記第２のラテラルエクステンションとの間に入っている（interposing）第４のメタル層と、
前記第１のラテラルエクステンションを前記第４のメタル層に接続する第１のヴィア相互接続と、
前記第４のメタル層を前記第２のラテラルエクステンションに接続する第２のヴィア相互接続とを具備していること。

【請求項１９】
請求項１８のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第４のメタル層は、前記第２の面内に形成され、かつ、前記第２のメタル層から電気的に絶縁されている。
【請求項２０】
請求項１２のＳＴＴ－ＭＲＡＭビットセルにおいて、前記第１のメタル層は実質的に前記第２のメタル層にオーバーラップする。
【請求項２１】
請求項１２のＳＴＴ－ＭＲＡＭビットセルは、さらに、
ワード線と、
記憶要素と、
前記記憶要素に結合されたワード線トランジスタとを具備していること。
【請求項２２】
請求項２１のＳＴＴ－ＭＲＡＭビットセルにおいて、前記記憶要素は磁気トンネル接合（ＭＴＪ）であり、かつ、前記ワード線トランジスタは前記ＭＴＪに直列に結合されている。
【請求項２３】
スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルアレイは、複数のビットセルを具備していること、
各ビットセルは、
第１の面内に形成されたソース線と、
第２の面内に形成され、前記ソース線の長手方向軸に対して平行な長手方向軸を有するビット線とを含むこと、
ここにおいて、前記ソース線は少なくとも前記ビット線の一部にオーバーラップする。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の例示的な実施形態は、磁気抵抗ランダムアクセスメモリ（ＭＲＡＭ）のビットセルのアレイ・ストラクチャル・デザインを対象とする。より詳細には、本発明の実施形態は、スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（Spin Transfer Torque Magnetoresistive Random Access Memory: STT-MRAM）に関する。
【背景技術】
【０００２】
磁気抵抗ランダムアクセスメモリ（ＭＲＡＭ）は、磁気要素（magnetic elements）を用いた不揮発性メモリテクノロジーである。例えば、スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）は、薄膜（スピンフィルタ）を通り抜けることでスピン偏極する電子を用いる。ＳＴＴ－ＭＲＡＭは、スピン・トランスファ・トルクＲＡＭ（ＳＴＴ－ＲＡＭ）、スピン・トルク・トランスファ・マグネタイゼーション・スイッチングＲＡＭ（Ｓｐｉｎ－ＲＡＭ）、そして、スピン・モーメンタム・トランスファ（ＳＭＴ－ＲＡＭ）としても知られている。
【０００３】
図１に関しては、従来のＳＴＴ－ＭＲＡＭセル１００のダイアグラムが示されている。ＳＴＴ－ＭＲＡＭビットセル１００は、磁気トンネル接合（magnetic tunnel junction: MTJ）記憶要素（storage element）１０５、トランジスタ１１０、ビット線１２０およびワード線１３０を含む。ＭＴＪ記憶要素は、図１に示されるように、例えば、絶縁（トンネルバリア）層により分離され、各々が磁場を保持できる、ピン層（pinned layer）とフリー層（free layer）とから形成されている。ＳＴＴ－ＭＲＡＭビットセル１００は、ソース線１４０、センスアンプ１５０、読込み／書込み回路（circuitry）１６０およびビット線レファレンス１７０も含んでいる。当業者であればメモリセル１００の動作および構成は技術的に理解できるであろう。さらなる詳細は、例えば、M. Hosomi. et al., A Novel Nonvolatile Memory with Spin Transfer Torque Magnetoresistive Mangnetizaito

n Switching: Spin-RAM, proceeding of IEDM conference (2005) により提供され、それは全てはここにレファレンスとして取り入れられている。

【０００４】

図２を参照すると、従来のデザインにおいては、磁気トンネル接合（ＭＴＪ）ビットセルアレイのソース線（ＳＬ）は、ビット線（ＢＬ）かワード線のどちらかに平行になるように配置される。しかしながら、従来のデザインにおいては、ヴィアおよびメタルスペーシングルールによってダイレクトかつ平行なオーバーラップはソース線（ＳＬ）とビット線（ＢＬ）との間にはない。したがって、ヴィアおよびメタルスペーシングルールの結果として、従来デザインの最小ビットセルサイズを縮小させたり、または、最小限に抑えることはできない。

【０００５】

図３は、ビット線（ＢＬ）に対して平行に配置されたソース線（ＳＬ）を有する、従来の磁気トンネル接合（ＭＴＪ）ビットセルアレイのトップダウン画面図（top down screen view）である。図３に示されるように、ソース線（ＳＬ）はビット線（ＢＬ）とはオーバーラップせず、そして、それ故に、ビットセルサイズは、ソース線（ＳＬ）とビット線（ＢＬ）との間の前記スペーシングルールによって制限される。

【発明の概要】

【０００６】

本発明の例示的な実施形態は、磁気抵抗ランダムアクセスメモリ（ＭＲＡＭ）ビットセルのアレイ・ストラクチャル・デザインを対象とする。より詳細には、本発明の実施形態は、スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（Spin Transfer Torque Magnetoresistive Random Access Memory: STT-MRAM）に関する。したがって、本発明の例示的な実施形態は、第１の面内に形成されたソース線と、第２の面内に形成され、前記ソース線の長手方向軸に対して平行な長手方向軸を有するビット線とを含み、前記ソース線が少なくとも前記ビット線の一部（a portion）にオーバーラップするスピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルを含むことができる。

【０００７】

本発明の別の例示的な実施形態は、第１の面内の長手方向軸を有するビット線を形成している第１のメタル層と、第２の面内の長手方向軸を有するソース線を形成している第２のメタル層とを含み、前記第１のメタル層の前記長手方向軸が前記第２のメタル層の前記長手方向軸に対して平行であり、前記第１のメタル層が少なくとも前記第２のメタル層の一部にオーバーラップするスピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルを含むことができる。

【０００８】

本発明の別の例示的な実施形態は、複数のビットセルを含んでいる、スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルを含むことができる。各ビットセルは、第１の面内に形成されたソース線と、第２の面内に形成され、前記ソース線の長手方向軸に対して平行な長手方向軸を有するビット線とを含むことができ、前記ソース線は少なくとも前記ビット線の一部にオーバーラップする。

【図面の簡単な説明】

【０００９】

添付の図面は、本発明の実施形態の説明を助けるために提示され、実施形態の限定ではなく例示のためのみに提供される。

【図１】従来のスピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）セルを例説する図である。

【図２】従来のＭＲＡＭビットセルアレイのイラストレーションである。

【図３】従来のＭＲＡＭビットセルアレイのトップダウン画面図（top down screen view）である。

【図４】ＭＲＡＭビットセルアレイの一実施形態の概略図である。

【図５】ＭＲＡＭビットセルアレイの一実施形態のトップダウンイラストレーションである。
【図６】ＭＲＡＭビットセルアレイの一実施形態のトップダウン画面図である。
【図７】ＭＲＡＭビットセルアレイの一実施形態の他のトップダウン画面図である。
【図８】Ａ８－Ａ８に沿った図５のＭＲＡＭビットセルアレイの実施形態の断面のイラストレーションである。
【図９】Ａ９－Ａ９に沿った図５のＭＲＡＭビットセルアレイの実施形態の断面のイラストレーションである。
【図１０】ＭＲＡＭビットセルアレイの一実施形態の斜視図である。
【発明を実施するための形態】
【００１０】
本発明の態様は、本発明の特定の実施形態を対象とする以下の説明および関連する図面に開示される。代替実施形態は、本発明の範囲から逸脱することなく、案出することができる。さらに、本発明の関連する詳細を不明瞭にしないように、本発明のよく知られている要素については詳細には説明しないか、または省略する。
【００１１】
「例示的」という単語は、本明細書では「例、事例、または例説の働きをすること」を意味するために使用する。本明細書に「例示的」と記載されたいかなる実施形態も、必ずしも他の実施形態よりも好ましいまたは有利であると解釈されるべきではない。同様に、「本発明の実施形態」という用語は、本発明のすべての実施形態が、論じられた特徴、利点、または動作モードを含むことを必要としない。
【００１２】
本明細書で使用する用語は、特定の実施形態を説明するためのものにすぎず、本発明の実施形態を限定するものではない。本明細書で使用する単数形「ａ」、「ａｎ」、および「ｔｈｅ」は、文脈が別段に明確に示すのでなければ、複数形をも含むものとする。さらに、本明細書で使用する「具備する（comprises）」、「具備すること（comprising）」、「含む（includes）」、および／または「含んでいること（including）」という用語は、述べられた特徴、整数、ステップ、動作、要素、および／または構成要素の存在を明示するが、１つまたは複数の他の特徴、整数、ステップ、動作、要素、構成要素、および／またはそのグループの存在または追加を排除しないことを理解されたい。
【００１３】
本発明の実施形態は、ビットセルサイズを縮小できる（may reduce）ＭＲＡＭビットセルアレイを提供することができる（can provide）。例えば、一実施形態のＳＴＴ－ＭＲＡＭビットセルアレイは、従来のメタルとヴィアの相互接続スペーシングルールにより強いられる制限を克服できるように、少なくともソース線（ＳＬ）の一部（a portion）をビット線（ＢＬ）のトップ上に置くことにより、平均ビットセルサイズを縮小できる。
【００１４】
実施形態は、従来のＭＲＡＭビットセルアレイの問題を解決できる。実施形態は、従来のメインメタルおよびヴィアデザインルールの制約を克服するために、ソース線（ＳＬ）が直接的にビット線（ＢＬ）のトップ上または上方になるように構成されるべく（例えば、オーバーラップし且つ平行に）、ソース線（ＳＬ）に対して相互接続するヴィアを加え、そして、トップ薄（thin）メタル層（例えば、Ｍ７）を加えることによって、ＭＴＪビットセルサイズを縮小でき、それにより、シリコンスペースは節約される。
【００１５】
図４－１０を参照すると、本発明の実施形態は、ビットセルサイズを縮小または最小限に抑えるＭＲＡＭビットセルアレイを提供できる。例えば、図４は、ＭＲＡＭビットセルアレイの一実施形態を概略的に示している。一実施形態のＳＴＴ－ＭＲＡＭビットセルアレイは、従来のメタルとヴィアの相互接続スペーシングルールに起因する制約を解くため又は克服するために、ビット線（ＢＬ）にオーバーラップし且つ平行なソース線（ＳＬ）を（例えば、上方に）置くことにより、平均ビットセルサイズを縮小できる。

【００１６】
図５に示されるように、例示的なＳＴＴ－ＭＲＡＭビットセルアレイ５００は、第１の面内に形成されたソース線（ＳＬ）と、第２の面内に形成されたビット線（ＢＬ）とを含む。ビット線（ＢＬ）は、ソース線（ＳＬ）の長手方向軸に対して平行な長手方向軸を有する。例示的な実施形態によれば、ソース線（ＳＬ）は、少なくともビット線（ＢＬ）の幅の一部においてオーバーラップし、それにより、ビットセルサイズは縮小する。一実施形態において、ソース線（ＳＬ）はビット線（ＢＬ）の幅に実質的にオーバーラップすることができ、それにより、ビットセルサイズはさらに縮小する。他の例は、図５の例示的な実施形態に示されるように、ソース線（ＳＬ）はビット線（ＢＬ）に完全にオーバーラップし、それにより、ビットセルサイズはさらに縮小する。
【００１７】
図５に示された例示的な実施形態において、ビット線（ＢＬ）のトップ上または上方に直接的（directly）に、（例えば、ビット線に対してオーバーラップし且つ平行な）ソース線（ＳＬ）を形成するための、トップ薄メタル層（Ｍ７）を加えることによって、ＭＴＪビットセルサイズは縮小される。メタル層Ｍ５およびＭ７は、前記ソース線（ＳＬ）および前記ビット線（ＢＬ）の前記長手方向軸に対して垂直な方向に、それぞれ、前記ビット線に一部がオーバーラップしないように同一面内において延びる。ヴィア相互接続（via interconnect）は、メタル層Ｍ５およびＭ７の前記一部を接続し（例えば、電気的に接続し）、それは互いにビット線（ＢＬ）に対してオーバーラップしていない。
【００１８】
例えば、一実施形態において、メタル層Ｍ５およびＭ７の一部は、ラテラルエクステンション（例えば、第１および第２のラテラルエクステンション）を形成するように、前記ソース線（ＳＬ）および前記ビット線（ＢＬ）の前記長手方向軸に対して垂直な方向に、それぞれ、前記ビット線に一部がオーバーラップしないように同一面内において延びる。ヴィア相互接続は前記ラテラルエクステンション（the lateral extensions）を互いに接続する（例えば、電気的に接続する）。
【００１９】
一実施形態において、メタル層Ｍ６は、メタル層５およびＭ７間の前記エクステンションの領域内に形成される。図５に示された例説的な実施形態は、メタル層Ｍ５のラテラルエクステンションをメタル層Ｍ６に接続するためのヴィア相互接続Ｖ５と、メタル層Ｍ６をメタル層Ｍ７のラテラルエクステンションに接続するためのヴィア相互接続Ｖ６とを含む。このようにして実施形態は、さもなければソース線（ＳＬ）とビット線（ＢＬ）との平行オーバーラップが原因で生じうる、ソース線（例えば、Ｍ７）がビット線（ＢＬ）にショートすること又は相互接続することを回避できる。図５のＭＲＡＭビットセルアレイの実施形態の断面の例説は、図８および９を参照して以下に説明される。
【００２０】
他の例示的な実施形態では、現存しているトップ薄メタル（例えば、Ｍ６）はソース線（ＳＬ）として用いることができるので、ＭＴＪセルは一つメタル層の下に移動させることができる。したがって、この例説的な実施形態においては、追加のメタルレイヤ（例えば、Ｍ７）はビットセル内には含まれない。
【００２１】
図６は、図５に示された実施形態に概ね対応し、同様の素子には同じラベルがなされている、ＭＲＡＭビットセルアレイ６００の一実施形態のトップダウン画面図である。図７は、より高い集積度のビットセルを例説しているＭＲＡＭビットセルアレイ７００の一実施形態のトップダウン画面図である。
【００２２】
図８は、Ａ８－Ａ８に沿った図５のＭＲＡＭビットセルアレイのドレイン８００の実施形態の断面のイラストレーションである。図８に示すように、メタル層Ｍ１，Ｍ２，Ｍ３，Ｍ４，Ｍ５およびＭ６（ＢＬ）はそれぞれヴィア相互接続Ｖ１，Ｖ２，Ｖ３，Ｖ４およびＶ５によって互いに接続されている。ソース線Ｍ７は、メタル層Ｍ６（ＢＬ）に対して

平行になり且つオーバーラップするように構成されているが、相互接続はされていない。

【００２３】

図９は、Ａ９－Ａ９に沿った図５のＭＲＡＭビットセルアレイのソース９００の実施形態の断面のイラストレーションである。図９に示されるように、メタル層Ｍ１，Ｍ２，Ｍ３，Ｍ４およびＭ５はそれぞれヴィア相互接続Ｖ１，Ｖ２，Ｖ３およびＶ４によって互いに接続されている。メタル層Ｍ５およびＭ７は、それぞれのメタル層Ｍ５およびＭ７の同一面内において、ラテラルエクステンション（例えば、第１のラテエクステンション９１０および第２のラテラルエクステンション９２０）を形成するように、ソース線（ＳＬ）およびビット線（ＢＬ）の長手方向軸に対して垂直な方向に延びている。メタル層（例えば、図９のＭ６）は、メタル層Ｍ５およびＭ７の間のラテラルエクステンションの領域内に形成されている。例えば、図９の実施形態に示されるように、メタル層（例えば、Ｍ６）は、ビット線（ＢＬ）と同じ面内に形成でき、しかし、電気的にはビット線（ＢＬ）から絶縁されている。実施形態は、メタル層Ｍ５のラテラルエクステンション９２０をメタル層Ｍ６に、および、メタル層Ｍ６をメタル層Ｍ７のラテラルエクステンション９１０にそれぞれ接続するためのヴィア相互接続Ｖ５およびＶ６を含む。

【００２４】

ＭＲＡＭビットセルアレイの一実施形態の斜視図である図１０に示されるように、ソース線（ＳＬ）（例えば、Ｍ７）は、ビット線（ＢＬ）に対して平行になり且つオーバーラップするように構成されているが、相互接続はされていない（例えば、電気的には相互接続されてない）。このようにして、例示的な実施形態は、従来のビットセルデザインに比べて、最小ビットセルサイズを最小限に抑えたり又は縮小できるとともに、さもなければソース線（ＳＬ）とビット線（ＢＬ）との平行オーバーラップが原因で生じうる、ソース線（例えば、Ｍ７）のビット線（ＢＬ）へのショートを回避できる。

【００２５】

したがって、一実施形態によれば、ソース線（例えば、Ｍ７）をビット線（ＢＬ）にショートさせたり又は相互接続させることなく、ビット線（ＢＬ）のトップ上または上方に（例えば、オーバーラップし且つ平行に）ソース線（ＳＬ）を直接的に（directly）置くことができるように、一つ又はそれ以上のヴィア相互接続（例えば、Ｖ５およびＶ６）およびトップ薄メタル層（Ｍ７）が、ＭＪＴビットセル内のアクセストランジスタのソース線（ＳＬ）に接続するように設計することができ、それにより平均ビットセルサイズは縮小する。

【００２６】

したがって、本発明の一実施形態は、第１の面内に形成されたソース線（ＳＬ）と、ソース線（ＳＬ）の長手方向軸に対して平行な長手方向軸を有し、第２の面内に形成されたビット線（ＢＬ）とを含み、ソース線（ＳＬ）が少なくともビット線（ＢＬ）の一部にオーバーラップする、スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルとすることができる。一実施形態において、ソース線（ＳＬ）は実質的にビット線（ＢＬ）にオーバーラップすることができる。

【００２７】

一実施形態において、ソース線（ＳＬ）は、第１のラテラルエクステンション９１０を含んでおり、第１のラテラルエクステンション９１０はその一部がビット線（ＢＬ）にオーバーラップしないように、第１の面内において、ソース線（ＳＬ）の長手方向軸に対して垂直な方向に延びている。

【００２８】

他の実施形態においては、ソース線（ＳＬ）は第１のメタル層（例えば、Ｍ７（ＳＬ））であり、ビット線は第２のメタル層（例えば、ＢＬ）である。ビットセルは、第３のメタル層（例えば、Ｍ５）をも含むことができ、第３のメモリセル層は第３の面内に形成され且つ第１のメタル層の長手方向軸に対して平行な長手方向軸を有し、ここにおいて、第２のメタル層（例えば、ＢＬ）は、第１のメタル層（例えば、Ｍ７）および第３のメタル層（例えば、Ｍ５）の間に入る（interposes）。第１のメタル層（例えば、Ｍ７）および

／または第２のメタル層（例えば、ＢＬ）は、少なくとも第３のメタル層（例えば、Ｍ５）の一部とオーバーラップすることができる。

【００２９】

第３のメタル層（例えば、Ｍ５）は、第３の面内において、第３のメタル層（例えば、Ｍ５）の長手方向軸に対して垂直な方向に延びる、第２のラテラルエクステンション９２０を含むことができる。第１のラテラルエクステンション９１０は、第２のラテラルエクステンション９２０とオーバーラップすることができ、かつ、第２のラテラルエクステンション９２０に電気的に接続されることができる。

【００３０】

一実施形態において、少なくとも一つのヴィア相互接続（例えば、Ｖ５，Ｖ６など）は、第１のラテラルエクステンション９１０を第２のラテラルエクステンション９２０に接続する。他の実施形態において、第４のメタル層（例えば、Ｍ６）は、第１のラテラルエクステンション９１０および第２のラテラルエクステンション９２０の間に入る。第１のヴィア相互接続（例えば、Ｖ６）は、第１のラテラルエクステンション９１０を第４のメタル層（例えば、Ｍ６）に接続し、そして、第２のヴィア相互接続（例えば、Ｖ５）は、第４のメタル層（例えば、Ｍ６）を第２のラテラルエクステンション９２０に接続する。一実施形態において、第４のメタル層（例えば、Ｍ６）は、第２の面内に形成され、かつ、第２のメタル層（例えば、ＢＬ）から電気的に絶縁されることができる。

【００３１】

他の実施形態において、ＳＴＴ－ＭＲＡＭビットセルは、ワード線、記憶要素（storage element）および前記記憶要素に結合されたワード線トランジスタを含むことができる。記憶要素は、例えば図９に示された、磁気トンネル接合（ＭＴＪ）にすることができ、そして、ワード線トランジスタはＭＴＪと直列に結合されることができる。

【００３２】

他の実施形態において、スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルは、第１の面内に長手方向軸を有するソース線を形成する第１のメタル層（例えば、Ｍ７）、および、第２の面内に長手方向軸を有するビット線を形成する第２のメタル層（例えば、ＢＬ）を含むことができ、ここにおいて、第１のメタル層（例えば、Ｍ７）の長手方向軸は、第２のメタル層（例えば、ＢＬ）の長手方向軸に対して平行であり、かつ、ここにおいて、第１のメタル層（例えば、Ｍ７）は少なくとも第２のメタル層（例えば、ＢＬ）の一部にオーバーラップする。

【００３３】

他の実施形態において、スピン・トランスファ・トルク磁気抵抗ランダムアクセスメモリ（ＳＴＴ－ＭＲＡＭ）ビットセルアレイは、複数のビットセルを含む。各ビットセルは、第１の面内に形成されたソース線、および、第２の面内に形成され、ソース線の長手方向軸に対して平行な長手方向軸を有するビット線を含み、ここにおいて、ソース線は少なくともビット線の一部（のトップ上または下方）にオーバーラップする。ＳＴＴ－ＭＲＡＭビットセルアレイの例示的な実施形態は、従来のメタルおよびヴィア相互接続配置において使用された領域を減少させるために、ソース線（ＳＬ）をビット線（ＢＬ）に対してオーバーラップさせて且つ一般には平行に置くことにより、平均ビットセルサイズを縮小することができる。ＭＲＡＭビットセルアレイの実施形態は、従来のメインメタルおよびヴィアデザインルールの制約を克服するために、ソース線（ＳＬ）が直接的にビット線（ＢＬ）のトップ上または上方になるように構成されるように、ソース線（ＳＬ）にヴィア相互接続を加え、かつ、トップ薄メタル層（例えば、Ｍ７）を加えることで、平均ビットセルサイズを縮小することができ、それによりスペースは節約される。

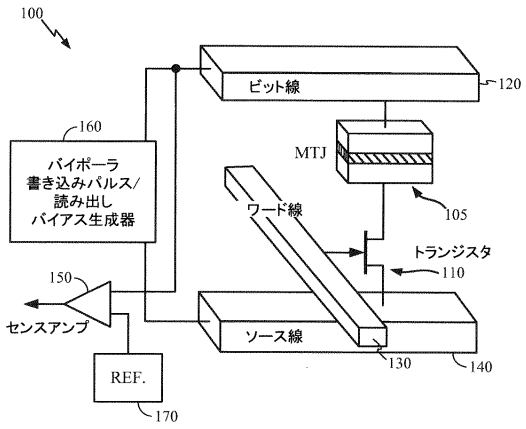
【００３４】

上記の開示は本発明の例示的な実施形態を示すが、添付の特許請求の範囲によって規定される本発明の範囲から逸脱することなく本明細書において様々な変更および修正を行うことができることに留意されたい。本明細書で説明した本発明の実施形態による方法クレームの機能、ステップおよび／またはアクションを特定の順序で実行しなくてもよい。さ

らに、本発明の実施形態の要素は、単数形で説明または請求されていることがあるが、単数形に限定することが明示的に述べられていない限り、複数形が企図される。

【図１】

図１



従来技術

FIG. 1

【図２】

図２

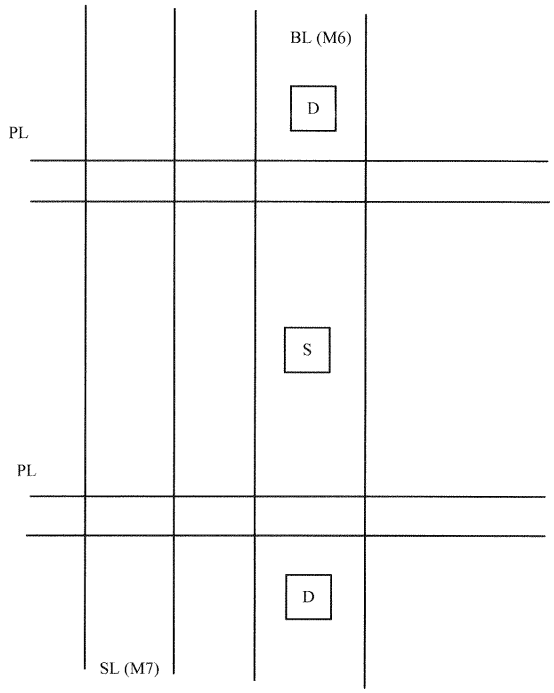


FIG. 2

【図３】

図３

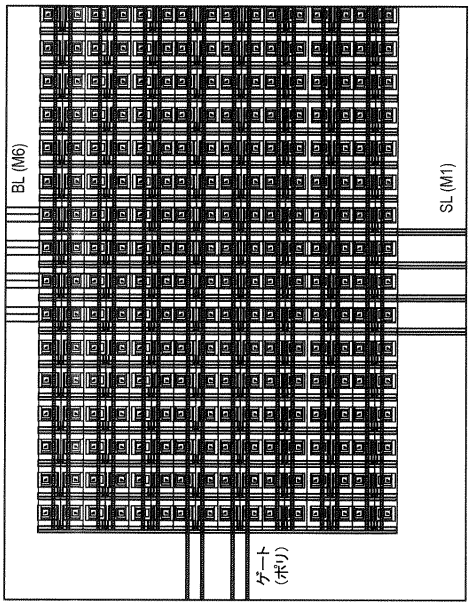


FIG. 3

【図４】

図４

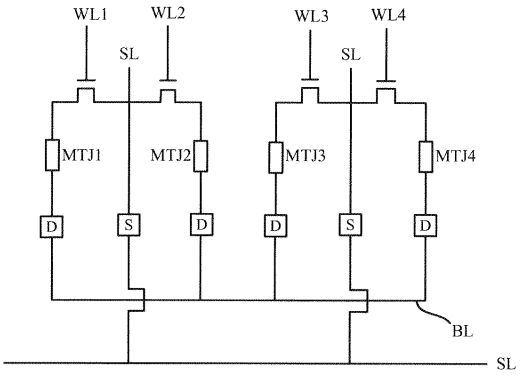


FIG. 4

【図５】

図５

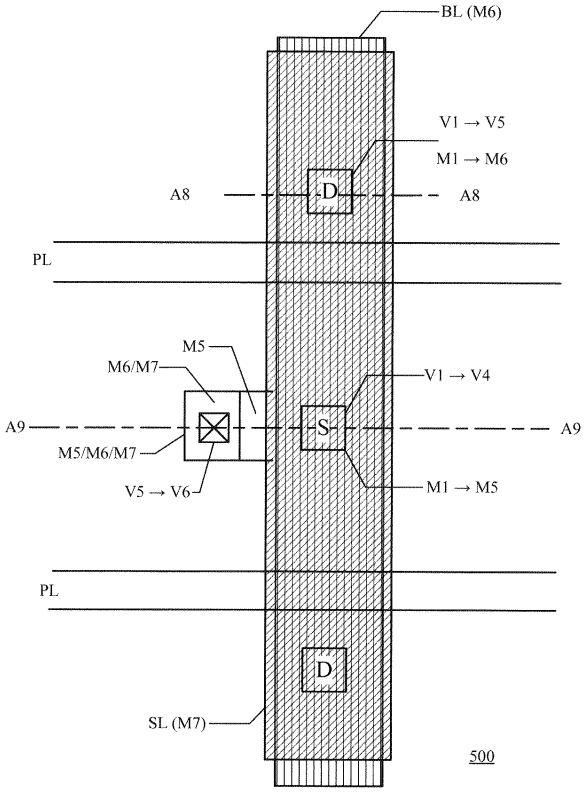


FIG. 5

【図６】

図６

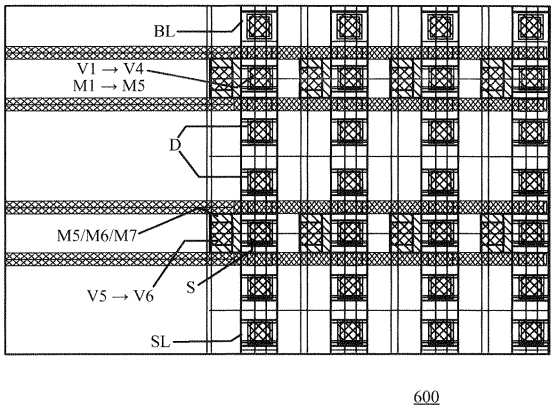


FIG. 6

【図７】

図７

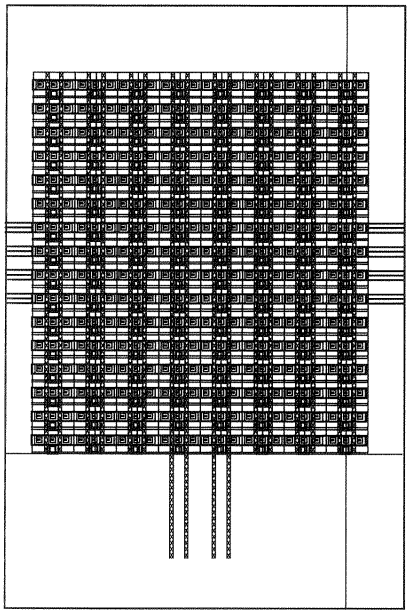


FIG. 7

【図８】

図８

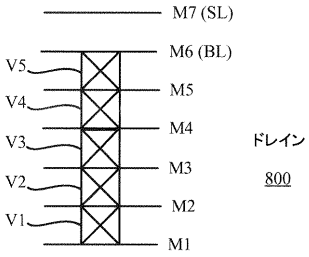


FIG. 8

【図９】

図９

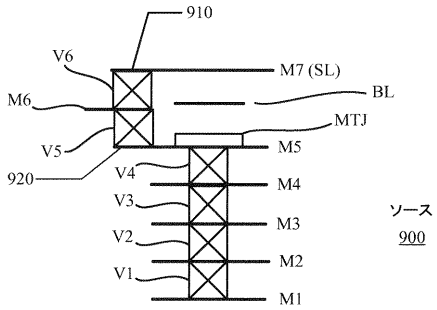


FIG. 9

【図１０】

図１０

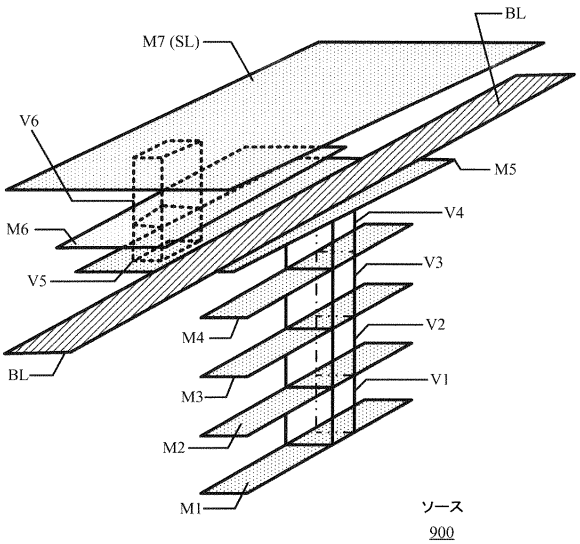


FIG. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/037935

A. CLASSIFICATION OF SUBJECT MATTER
INV. G11C11/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 321 941 A1 (TOKYO SHIBAURA ELECTRIC CO [JP]) 25 June 2003 (2003-06-25) paragraphs [0055] - [0069]; figures 4,5,46,97,98,99,100	1-23
X	US 2002/172068 A1 (HIDAKA HIDETO [JP]) 21 November 2002 (2002-11-21) paragraphs [0285] - [0289]; figure 26	1,12,23
X	WO 99/14760 A1 (SIEMENS AG [DE]; RAMCKE TIES [DE]; ROESNER WOLFGANG [DE]; RISCH LOTHAR) 25 March 1999 (1999-03-25) figure 2	1,12,23

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
2 September 2009	09/09/2009

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Stocken, Christian

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2009/037935

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1321941 A1	25-06-2003	CN 1428785 A	09-07-2003
		DE 60205569 D1	22-09-2005
		DE 60205569 T2	18-05-2006
		KR 20030053051 A	27-06-2003
		TW 582033 B	01-04-2004
		US 2003123271 A1	03-07-2003
US 2002172068 A1	21-11-2002	CN 1385860 A	18-12-2002
		DE 10220897 A1	28-11-2002
		JP 2002343077 A	29-11-2002
		KR 20030009123 A	29-01-2003
		TW 225255 B	11-12-2004
WO 9914760 A1	25-03-1999	CN 1270696 A	18-10-2000
		EP 1016087 A1	05-07-2000
		JP 4187925 B2	26-11-2008
		JP 2001516933 T	02-10-2001
		TW 411471 B	11-11-2000
		US 6490190 B1	03-12-2002

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100075672
弁理士 峰 隆司
(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 シャ、ウィリアム・エイチ.
アメリカ合衆国、カリフォルニア州 ９２１２１、サン・ディエゴ、モアハウス・ドライブ ５７７５

Ｆターム(参考) 4M119 AA11 CC05 DD33 DD45 EE22 EE27 EE33 FF05 FF06 FF13
FF17 GG01 GG07 GG08
5F092 AA12 AB08 AC12 AD25 EA01

(54)【発明の名称】磁気抵抗ランダムアクセスメモリ（ＭａｇｎｅｔｏｒｅｓｉｓｔｉｖｅＲａｎｄｏｍＡｃｃｅｓｓＭｅｍｏｒｙ：ＭＲＡＭ）ビットセルのアレイ・ストラクチャル・デザイン（ａｒｒａｙｓｔｒｕｃｔｕｒａｌｄｅｓｉｇｎ）