【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】令和6年12月27日(2024.12.27)

【公開番号】特開2024-133(P2024-133A)
【公開日】令和6年1月5日(2024.1.5)
【年通号数】公開公報(特許)2024-002
【出願番号】特願2022-98712(P2022-98712)
【国際特許分類】
Ｈ０３Ｋ 19/0175(2006.01)
Ｈ０３Ｋ 19/0185(2006.01)
Ｈ０１Ｌ 21/8238(2006.01)
【ＦＩ】
Ｈ０３Ｋ 19/0175２２０
Ｈ０３Ｋ 19/0185２１０
Ｈ０１Ｌ 27/092　　Ａ

【手続補正書】
【提出日】令和6年12月18日(2024.12.18)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
入力信号よりも電圧振幅が大きい出力信号を出力端子に生成する半導体装置であって、
第１電源電位を供給する電源ラインと前記出力端子との間に直列接続された第１及び第２のＰ型トランジスタと、
基準電位を供給する基準電位ラインと前記出力端子との間に直列接続された第１及び第２のＮ型トランジスタとを備え、
前記第１のＮ型及びＰ型トランジスタは、前記出力端子に対して電気的に接続されたドレインを有し、
前記第２のＮ型及びＰ型トランジスタのゲートには、前記入力信号に従って、前記第２のＮ型及びＰ型トランジスタを相補にオンオフするための信号がそれぞれ入力され、
前記半導体装置は、
前記出力端子の電圧に応じて前記第１のＰ型及びＮ型トランジスタのゲート電圧を変化させるためのゲート電圧制御回路を更に備え、
前記ゲート電圧制御回路は、前記入力信号の論理レベルの変化に応じて前記出力信号の電圧が変化する際に、前記第１のＰ型又はＮ型トランジスタをオンに維持した上で、前記出力端子の電圧の変化に追従させて、前記第１のＮ型及びＰ型トランジスタの少なくとも一方のゲート電圧を変化させる様に構成される、半導体装置。
【請求項２】
前記ゲート電圧制御回路は、前記出力端子の電圧が予め定められた第１バイアス電圧よりも高いときには前記第１のＰ型トランジスタのゲートに前記第１バイアス電圧を入力する一方で、前記出力端子の電圧が前記第１バイアス電圧よりも低いときには前記出力端子の電圧に従う電圧を前記第１のＰ型トランジスタのゲートに入力する様に構成され、
前記第１バイアス電圧は、前記第１のＰ型トランジスタの耐圧以下である、請求項１記載の半導体装置。
【請求項３】

前記半導体装置は、
前記第１のＰ型トランジスタ及び前記電源ラインの間に前記第２のＰ型トランジスタと直列に接続される第３のＰ型トランジスタを更に備え、
前記第３のＰ型トランジスタのゲートには、前記第１バイアス電圧が入力される、請求項２記載の半導体装置。
【請求項４】
前記ゲート電圧制御回路は、前記出力端子の電圧が予め定められた第２バイアス電圧よりも低いときには前記第１のＮ型トランジスタのゲートに前記第２バイアス電圧を入力する一方で、前記出力端子の電圧が前記第２バイアス電圧よりも高いときには前記出力端子の電圧に従う電圧を前記第１のＮ型トランジスタのゲートに入力する様に構成され、
前記第２バイアス電圧は、前記第１のＮ型トランジスタの耐圧以下である、請求項１記載の半導体装置。
【請求項５】
前記半導体装置は、
前記第１のＮ型トランジスタ及び前記基準電位ラインの間に前記第２のＮ型トランジスタと直列に接続される第３のＮ型トランジスタを更に備え、
前記第３のＮ型トランジスタのゲートには、前記第２バイアス電圧が入力される、請求項４記載の半導体装置。
【請求項６】
前記ゲート電圧制御回路は、
前記第１のＰ型トランジスタのゲートと接続されたソースと、前記出力端子に対して電気的に接続されたドレインとを有する第４のＮ型トランジスタと、
前記第１のＰ型トランジスタのゲートと接続されたソースと、前記第１バイアス電圧を供給するノードに対して電気的に接続されたドレインとを有する第５のＮ型トランジスタとを含み、
前記第４のＮ型トランジスタのゲートには、前記第１バイアス電圧が入力され、
前記第５のＮ型トランジスタのゲートは、前記出力端子に対して電気的に接続される、請求項２記載の半導体装置。
【請求項７】
前記半導体装置は、前記第１電源電位が第１電位に設定される第１動作モードと、前記第１電源電位が前記第１電位よりも低い第２電位に設定される第２動作モードとを選択的に適用されて動作し、
前記ゲート電圧制御回路は、前記第２動作モードにおいて、前記第１のＰ型トランジスタのゲートを前記基準電位ラインと電気的に接続する一方で、前記第１動作モードにおいて、前記第１のＰ型トランジスタのゲートを前記基準電位ラインから電気的に切り離す様に構成された第１接続選択回路をさらに含む、請求項６記載の半導体装置。
【請求項８】
前記ゲート電圧制御回路は、
前記第１のＰ型トランジスタのゲートと接続されたソースと、前記出力端子に対して電気的に接続されたドレインとを有する第４のＮ型トランジスタと、
前記第１のＰ型トランジスタのゲートと接続されたソースと、前記第１バイアス電圧を供給するノードに対して電気的に接続されたドレインとを有する第５のＮ型トランジスタとを含み、
前記第４のＮ型トランジスタのゲートには、前記第１バイアス電圧が入力され、
前記第５のＮ型トランジスタのゲートは、前記第１のＰ型トランジスタのソースに対して電気的に接続される、請求項２記載の半導体装置。
【請求項９】
前記ゲート電圧制御回路は、
前記第１のＮ型トランジスタのゲートと接続されたソースと、前記出力端子に対して電気的に接続されたドレインとを有する第４のＰ型トランジスタと、

前記第１のＮ型トランジスタのゲートと接続されたソースと、前記第２バイアス電圧を供給するノードに対して電気的に接続されたドレインとを有する第５のＰ型トランジスタとを含み、
前記第４のＰ型トランジスタのゲートには、前記第２バイアス電圧が入力され、
前記第５のＰ型トランジスタのゲートは、前記出力端子に対して電気的に接続される、請求項４記載の半導体装置。
【請求項１０】
前記半導体装置は、前記第１電源電位が第１電位に設定される第１動作モードと、前記第１電源電位が前記第１電位よりも低い第２電位に設定される第２動作モードとを選択的に適用されて動作し、
前記ゲート電圧制御回路は、前記第２動作モードにおいて、前記第１のＮ型トランジスタのゲートを前記第２バイアス電圧を供給するノードと電気的に接続する一方で、前記第１動作モードにおいて、前記第１のＮ型トランジスタのゲートを当該ノードから電気的に切り離す様に構成された第２接続選択回路をさらに含む、請求項９記載の半導体装置。
【請求項１１】
前記ゲート電圧制御回路は、
前記第１のＮ型トランジスタのゲートと接続されたソースと、前記出力端子に対して電気的に接続されたドレインとを有する第４のＰ型トランジスタと、
前記第１のＮ型トランジスタのゲートと接続されたソースと、前記第２バイアス電圧を供給するノードに対して電気的に接続されたドレインとを有する第５のＰ型トランジスタとを含み、
前記第４のＰ型トランジスタのゲートには、前記第２バイアス電圧が入力され、
前記第５のＰ型トランジスタのゲートは、前記第１のＮ型トランジスタのソースに対して電気的に接続される、前記出力端子に対して電気的に接続される、請求項４記載の半導体装置。
【請求項１２】
前記半導体装置は、前記第１電源電位が第１電位に設定される第１動作モードと、前記第１電源電位が前記第１電位よりも低い第２電位に設定される第２動作モードとを選択的に適用されて動作し、
前記ゲート電圧制御回路は、前記入力信号の論理レベルの変化に応じて前記出力信号の電圧が変化する際に、前記第１動作モードでは、前記出力端子の電圧の変化に追従させて前記第１のＮ型トランジスタのゲート電圧及び前記第１のＰ型トランジスタのゲート電圧の少なくとも一方を変化させる一方で、前記第２動作モードでは、前記出力端子の電圧に関わらず前記第１のＮ型トランジスタ及び前記第１のＰ型トランジスタのゲート電圧を固定する様に動作する、請求項１記載の半導体装置。
【請求項１３】
前記半導体装置は、
前記第１のＰ型トランジスタ及び前記電源ラインの間に前記第２のＰ型トランジスタと直列に接続される第３のＰ型トランジスタと、
前記第１のＮ型トランジスタ及び前記基準電位ラインの間に前記第２のＮ型トランジスタと直列に接続される第３のＮ型トランジスタとを更に備え、
前記第３のＰ型トランジスタ及び前記第３のＮ型トランジスタのゲートには、前記第３のＰ型トランジスタ及び前記第３のＮ型トランジスタをオンするための前記基準電位及び前記第１電源電位の電位差よりも低いバイアス電圧が入力される、請求項１記載の半導体装置。
【請求項１４】
前記入力信号は、前記基準電位、又は、前記第１電源電位よりも低い第２電源電位に設定され、
前記第１及び第２のＰ型トランジスタ、並びに、前記第１及び第２のＮ型トランジスタの各々の耐圧は、前記第２電源電位及び前記基準電位の電位差以上である、請求項１記載

の半導体装置。

【手続補正２】

【補正対象書類名】図面

【補正対象項目名】図８

【補正方法】変更

【補正の内容】

【図８】

図8

