



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I856095 B

(45) 公告日：中華民國 113 (2024) 年 09 月 21 日

(21) 申請案號：109115656

(22) 申請日：中華民國 109 (2020) 年 05 月 12 日

(51) Int. Cl. : H01L23/31 (2006.01)

H01L23/48 (2006.01)

H01L21/56 (2006.01)

(30) 優先權：2019/07/22 南韓

10-2019-0088551

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓(72) 發明人：全光宰 JEON, GWANGJAE (KR)；金東奎 KIM, DONGKYU (KR)；朴正鎬 PARK,
JUNG-HO (KR)；張延鎬 JANG, YEONHO (KR)

(74) 代理人：林孟閱；盧佩君；陳怡如

(56) 參考文獻：

TW 200915533A

US 7855461B2

US 20190067144A1

US 20190139896A1

審查人員：詹惟雯

申請專利範圍項數：18 項 圖式數：7 共 81 頁

(54) 名稱

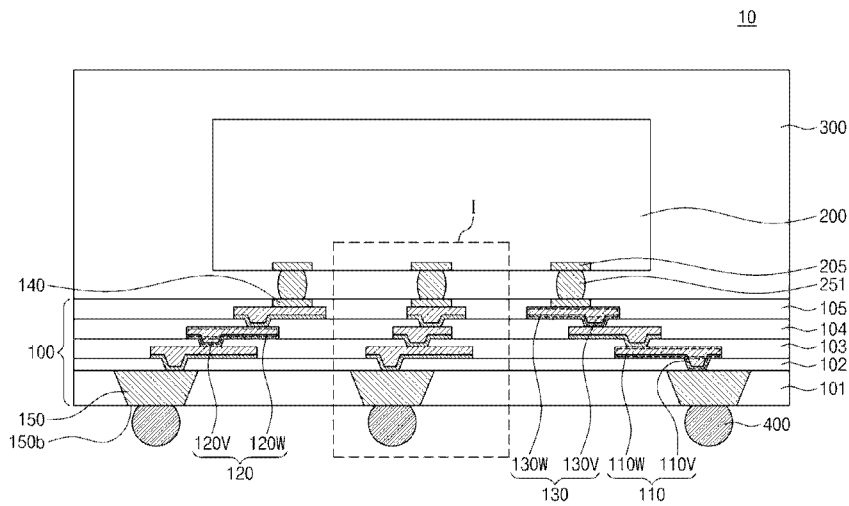
半導體封裝

(57) 摘要

揭露一種半導體封裝，所述半導體封裝包括重佈線基板及位於重佈線基板的頂表面上的半導體晶片。重佈線基板包括凸塊下圖案、覆蓋凸塊下圖案的側壁的下部介電層以及位於下部介電層上的第一重佈線圖案。第一重佈線圖案包括第一線部分。凸塊下圖案的頂表面處的寬度大於凸塊下圖案的底表面處的寬度。凸塊下圖案的厚度大於第一線部分的厚度。

Disclosed is a semiconductor package comprising a redistribution substrate, and a semiconductor chip on a top surface of the redistribution substrate. The redistribution substrate includes an under-bump pattern, a lower dielectric layer that covers a sidewall of the under-bump pattern, and a first redistribution pattern on the lower dielectric layer. The first redistribution pattern includes a first line part. A width at a top surface of the under-bump pattern is greater than a width at a bottom surface of the under-bump pattern. A thickness of the under-bump pattern is greater than a thickness of the first line part.

指定代表圖：



【圖1Q】

符號簡單說明：

- 10:半導體封裝
- 100:重佈線基板
- 101:介電層/第一介電層
- 150b:底表面
- 102:介電層/第二介電層
- 103:介電層/第三介電層
- 104:介電層/第四介電層
- 105:介電層/第五介電層
- 110:重佈線圖案/第一重佈線圖案
- 110V:第一通孔部分
- 110W:第一線部分
- 120:重佈線圖案/第二重佈線圖案
- 120V:第二通孔部分
- 120W:第二線部分
- 130:重佈線圖案/第三重佈線圖案
- 130V:第三通孔部分
- 130W:第三線部分
- 140:導電接墊
- 150:凸塊下圖案
- 200:半導體晶片
- 205:晶片接墊
- 251:第一連接件
- 300:模製層
- 400:外部端子



公告本

I856095

【發明摘要】

【中文發明名稱】半導體封裝

【英文發明名稱】SEMICONDUCTOR PACKAGE

【中文】揭露一種半導體封裝，所述半導體封裝包括重佈線基板及位於重佈線基板的頂表面上的半導體晶片。重佈線基板包括凸塊下圖案、覆蓋凸塊下圖案的側壁的下部介電層以及位於下部介電層上的第一重佈線圖案。第一重佈線圖案包括第一線部分。凸塊下圖案的頂表面處的寬度大於凸塊下圖案的底表面處的寬度。凸塊下圖案的厚度大於第一線部分的厚度。

【英文】Disclosed is a semiconductor package comprising a redistribution substrate, and a semiconductor chip on a top surface of the redistribution substrate. The redistribution substrate includes an under-bump pattern, a lower dielectric layer that covers a sidewall of the under-bump pattern, and a first redistribution pattern on the lower dielectric layer. The first redistribution pattern includes a first line part. A width at a top surface of the under-bump pattern is greater than a width at a bottom surface of the under-bump pattern. A thickness of the under-bump pattern is greater than a thickness of the first line part.

【指定代表圖】圖 1Q。

【代表圖之符號簡單說明】

- 10:半導體封裝
- 100:重佈線基板
- 101:介電層/第一介電層
- 150b:底表面
- 102:介電層/第二介電層
- 103:介電層/第三介電層
- 104:介電層/第四介電層
- 105:介電層/第五介電層
- 110:重佈線圖案/第一重佈線圖案
- 110V:第一通孔部分
- 110W:第一線部分
- 120:重佈線圖案/第二重佈線圖案
- 120V:第二通孔部分
- 120W:第二線部分
- 130:重佈線圖案/第三重佈線圖案
- 130V:第三通孔部分
- 130W:第三線部分
- 140:導電接墊
- 150:凸塊下圖案
- 200:半導體晶片
- 205:晶片接墊

251:第一連接件

300:模製層

400:外部端子

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體封裝

【英文發明名稱】SEMICONDUCTOR PACKAGE

[相關申請案的交叉參考]

【0001】 本申請案主張於 2019 年 7 月 22 日在韓國智慧財產局中提出申請的韓國專利申請案第 10-2019-0088551 號的優先權，所述韓國專利申請案的全部內容併入本案供參考。

【技術領域】

【0002】 本發明概念是有關於一種半導體封裝，且更具體而言有關於一種包括重佈線基板的半導體封裝及一種製造所述半導體封裝的方法。

【先前技術】

【0003】 提供半導體封裝以將積體電路晶片實施成有資格在電子產品中使用。半導體封裝通常被配置成使得半導體晶片被安裝於印刷電路板（printed circuit board，PCB）上，且使用接合線或凸塊以將半導體晶片電性連接至印刷電路板。隨著電子工業的發展，已進行各種研究來改善半導體封裝的可靠性及耐久性。

【發明內容】

【0004】 本發明概念的一些示例性實施例提供一種具有增強的可靠性及耐久性的半導體封裝及一種製造所述半導體封裝的方法。

【0005】 本發明概念的一些示例性實施例提供一種尺寸緊湊的半導體封裝及一種製造所述半導體封裝的方法。

【0006】 根據本發明概念的一些示例性實施例，本揭露是有關於一種半導體封裝，所述半導體封裝包括：重佈線基板；以及半導體晶片，位於所述重佈線基板的頂表面上，其中所述重佈線基板包括：凸塊下圖案；下部介電層，覆蓋所述凸塊下圖案的側壁；以及第一重佈線圖案，位於所述下部介電層上，所述第一重佈線圖案包括第一線部分，其中所述凸塊下圖案的頂表面處的寬度大於所述凸塊下圖案的底表面處的寬度，且其中所述凸塊下圖案的厚度大於所述第一線部分的厚度。

【0007】 根據本發明概念的一些示例性實施例，本揭露是有關於一種半導體封裝，所述半導體封裝包括：重佈線基板；以及半導體晶片，位於所述重佈線基板的頂表面上，其中所述重佈線基板包括：凸塊下圖案；介電層，覆蓋所述凸塊下圖案的側壁；以及重佈線圖案，位於所述凸塊下圖案上，所述重佈線圖案耦合至所述凸塊下圖案，其中所述凸塊下圖案的所述側壁與底表面之間的角度在 105° 至 135° 範圍內。

【0008】 根據本發明概念的一些示例性實施例，本揭露是有關於一種半導體封裝，所述半導體封裝包括：重佈線基板；以及半導體晶片，位於所述重佈線基板的頂表面上，其中所述重佈線基板包括：導電端子接墊；下部介電層，覆蓋所述導電端子接墊的側壁；線圖案，位於所述下部介電層上；以及通孔，位於所述導電

端子接墊與所述線圖案之間，所述通孔與所述導電端子接墊的頂表面接觸，其中所述導電端子接墊的厚度大於所述線圖案的厚度，且其中所述通孔的寬度小於所述導電端子接墊的寬度。

【圖式簡單說明】

【0009】

圖 1A、圖 1C、圖 1E、圖 1G、圖 1H、圖 1I、圖 1K、圖 1M、圖 1O 及圖 1Q 例示顯示根據一些示例性實施例的製造半導體封裝的方法的剖視圖。

圖 1B 例示顯示圖 1A 所示截面 I 的放大圖。

圖 1D 例示顯示圖 1C 所示截面 I 的放大圖。

圖 1F 例示顯示圖 1E 所示截面 I 的放大圖。

圖 1J 例示顯示圖 1I 所示截面 I 的放大圖。

圖 1L 例示顯示圖 1K 所示截面 I 的放大圖。

圖 1N 例示顯示圖 1M 所示截面 I 的放大圖。

圖 1P 例示顯示圖 1O 所示截面 I 的放大圖。

圖 1R 例示顯示圖 1Q 所示截面 I 的放大圖。

圖 2A、圖 2C 及圖 2E 例示顯示根據一些示例性實施例的製造半導體封裝的方法的剖視圖。

圖 2B 例示顯示圖 2A 所示截面 I 的放大圖。

圖 2D 例示顯示圖 2C 所示截面 I 的放大圖。

圖 2F 例示顯示圖 2E 所示截面 I 的放大圖。

圖 3A 及圖 3B 例示顯示根據一些示例性實施例的製造半導體

封裝的方法的剖視圖。

圖 4 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。

圖 5 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。

圖 6A 例示顯示根據一些示例性實施例的半導體封裝的平面圖。

圖 6B 例示沿圖 6A 所示的線 II-III 截取的剖視圖。

圖 6C 例示顯示圖 6B 所示截面 IV 的放大圖。

圖 6D 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。

圖 6E 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。

圖 7A 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。

圖 7B 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。

【實施方式】

【0010】 在本說明中，相同的參考編號可指示相同的組件。下文現將闡述根據本發明概念的半導體封裝及其製造方法。

【0011】 圖 1A、圖 1C、圖 1E、圖 1G、圖 1H、圖 1I、圖 1K、圖 1M、圖 1O 及圖 1Q 例示顯示根據一些示例性實施例的製造半

導體封裝的方法的剖視圖。圖 1B 例示顯示圖 1A 所示截面 I 的放大圖。圖 1D 例示顯示圖 1C 所示截面 I 的放大圖。圖 1F 例示顯示圖 1E 所示截面 I 的放大圖。圖 1J 例示顯示圖 1I 所示截面 I 的放大圖。圖 1L 例示顯示圖 1K 所示截面 I 的放大圖。圖 1N 例示顯示圖 1M 所示截面 I 的放大圖。圖 1P 例示顯示圖 1O 所示截面 I 的放大圖。圖 1R 例示顯示圖 1Q 所示截面 I 的放大圖。

【0012】 參照圖 1A 及 1B，可在載體基板 900 上形成下部晶種層 151 及第一介電層 101。可進一步將釋放層 910 夾置於載體基板 900 與下部晶種層 151 之間。下部晶種層 151 可形成於載體基板 900 上，且可覆蓋釋放層 910 的頂表面。下部晶種層 151 可藉由沈積製程形成。下部晶種層 151 可包含導電材料。舉例而言，下部晶種層 151 可包含銅、鈦及其合金中的一或多者。釋放層 910 可將下部晶種層 151 貼合至載體基板 900。

【0013】 可將第一介電層 101 形成於下部晶種層 151 的頂表面上。舉例而言，第一介電層 101 可接觸下部晶種層 151 的頂表面。第一介電層 101 可藉由例如旋轉塗佈 (spin coating) 或狹縫塗佈 (slit coating) 等塗佈製程形成。第一介電層 101 可包含例如感光性聚合物。感光性聚合物可包括例如感光性聚醯亞胺、聚苯并噁唑、酚醛聚合物及苯并環丁烯聚合物中的一或多者。

【0014】 可圖案化第一介電層 101 以在第一介電層 101 中形成第一初步開口 119P。第一介電層 101 的圖案化可藉由曝光及顯影製程來執行。第一初步開口 119P 可暴露出釋放層 910 或載體基板 900

上的下部晶種層 151。第一初步開口 119P 可具有實質上垂直於第一介電層 101 的底表面 101b 的側壁 119c。

【0015】 參照圖 1C 及圖 1D，第一介電層 101 可經歷固化製程以形成第一開口 119。第一介電層 101 的固化製程可包括熱固化製程。在固化製程期間，如圖 1D 中所示，第一介電層 101 的一部分可朝第一初步開口 119P 流動以形成第一開口 119。第一開口 119 可具有錐形形狀。舉例而言，第一開口 119 可具有在其頂部處較在其底部處大的直徑。第一開口 119 可具有在其頂部處較在其底部處大的寬度。第一開口 119 的底部可較第一開口 119 的頂部更靠近載體基板 900。第一開口 119 可暴露出第一介電層 101 的內壁 101c。第一介電層 101 的內壁 101c 可對應於第一開口 119 的側壁。由於第一開口 119 具有錐形形狀，因此在第一介電層 101 的底表面 101b 與內壁 101c 之間可形成銳角 θ_1 。舉例而言，第一介電層 101 在底表面 101b 與內壁 101c 之間可具有範圍介於約 45° 至約 75° 的角度 θ_1 。

【0016】 參照圖 1E 及圖 1F，可在第一開口 119 中形成凸塊下圖案 150。凸塊下圖案 150 可藉由實行電鍍製程形成，其中下部晶種層 151 用作電極。第一介電層 101 可導致凸塊下圖案 150 局部地形成於第一開口 119 中。電鍍製程可繼續進行，直至凸塊下圖案 150 的頂表面具有與第一介電層 101 的頂表面的水平高度相同或更低的水平高度為止。凸塊下圖案 150 的頂表面與第一介電層 101 的頂表面之間的水平高度差可小於凸塊下圖案 150 的厚度 T_1 。如

圖 1F 中所示，第一介電層 101 可覆蓋凸塊下圖案 150 的側壁 150c，但是可不覆蓋凸塊下圖案 150 的頂表面或凸塊下圖案 150 的底表面 150b。在凸塊下圖案 150 與第一介電層 101 之間可不設置單獨的晶種層。第一介電層 101 可物理地接觸凸塊下圖案 150 的側壁 150c。

【0017】 凸塊下圖案 150 可具有與第一開口 119 的形狀對應的形狀。凸塊下圖案 150 的頂表面處的寬度 $W2$ 可大於凸塊下圖案 150 的底表面 150b 處的寬度 $W1$ 。在凸塊下圖案 150 的底表面 150b 與側壁 150c 之間可形成鈍角 θ_{10} 。舉例而言，凸塊下圖案 150 在底表面 150b 與側壁 150c 之間可具有範圍介於約 105° 至約 135° 的角度 θ_{10} 。當凸塊下圖案 150 形成於由抗蝕劑圖案界定的開口中時，凸塊下圖案 150 在底表面 150b 與側壁 150c 之間可具有為約 90° 的角度 θ_1 。在此種情形中，在形成凸塊下圖案 150 之後，可另外實行移除製程來移除抗蝕劑圖案。根據一些實施例，由於凸塊下圖案 150 形成於由第一介電層 101 界定的第一開口 119 中，因此可跳過抗蝕劑圖案的形成及移除。因此，可簡化半導體封裝製造。

【0018】 凸塊下圖案 150 可為導電端子接墊。導電端子接墊可包括焊料接墊 (solder pad) 或支柱接墊 (pillar pad)。凸塊下圖案 150 可包含金屬。舉例而言，凸塊下圖案 150 可包含銅。凸塊下圖案 150 可不包含例如鈦。

【0019】 參照圖 1G，可在第一介電層 101 的頂表面上形成第二介電層 102，且第二介電層 102 可覆蓋第一介電層 101 的頂表面及

凸塊下圖案 150 的頂表面。第二介電層 102 可接觸第一介電層 101 的頂表面及凸塊下圖案 150 的頂表面。第二介電層 102 可包含感光性聚合物。舉例而言，第二介電層 102 可包含與第一介電層 101 的材料相同的材料。第一介電層 101 及第二介電層 102 可被稱為下部介電層。

【0020】 可圖案化第二介電層 102 以在第二介電層 102 中形成第二初步開口（未示出）。第二初步開口可具有實質上垂直於第二介電層 102 的底表面的內壁。第二介電層 102 可經歷固化製程以形成第二開口 129。第二介電層 102 的固化製程可包括熱固化製程。在固化製程期間，第二介電層 102 的一部分可流動。因此，第二開口 129 可具有錐形形狀。舉例而言，第二介電層 102 在其內壁與底表面之間可具有範圍介於約 45° 至約 75° 的角度 θ_2 。第二介電層 102 的內壁可對應於第二開口 129 的側壁。第二開口 129 可形成於凸塊下圖案 150 上方，從而暴露出凸塊下圖案 150 的頂表面。

【0021】 參照圖 1H，可在第二開口 129 中及第二介電層 102 的頂表面上形成第一晶種層 111。第一晶種層 111 可共形地覆蓋第二介電層 102 的頂表面及內壁，且亦共形地覆蓋暴露至第二開口 129 的凸塊下圖案 150 的頂表面。第一晶種層 111 可包含導電材料。舉例而言，第一晶種層 111 可包含銅、鈦及其合金中的一或多者。

【0022】 可在第一晶種層 111 上形成第一導電層 112。第一導電層 112 可填充第二開口 129，且可延伸至第二介電層 102 的頂表面上。第一導電層 112 可藉由實行電鍍製程形成，其中第一晶種層

111 用作電極。第一導電層 112 可包含例如銅等金屬。

【0023】 參照圖 1I 及圖 1J，可圖案化第一導電層 112 及第一晶種層 111 以形成第一重佈線圖案 110。第一導電層 112 及第一晶種層 111 可藉由使用遮罩層（未示出）的蝕刻製程來圖案化。第一重佈線圖案 110 中的每一者可包括經圖案化的第一晶種層 111 及經圖案化的第一導電層 112。第一重佈線圖案 110 可彼此間隔開且電性分離。

【0024】 第一重佈線圖案 110 中的每一者可包括第一通孔部分 110V 及第一線部分 110W。如圖 1J 中所示，可將第一通孔部分 110V 設置於第二開口 129 中。第一通孔部分 110V 可具有與第二開口 129 的形狀對應的形狀。第一通孔部分 110V 在其底表面 110b 與側壁 110c 之間可具有範圍介於約 105° 至約 135° 的角度 θ_{20} 。

【0025】 可將第一線部分 110W 設置於第一通孔部分 110V 及第二介電層 102 的頂表面上，且可將第一線部分 110W 連接至第一通孔部分 110V。第一線部分 110W 可縱向地且水平地延伸。在本說明中，用語「水平地」可意指「平行於第一介電層 101 的底表面 101b」。凸塊下圖案 150 的厚度 T1 可大於第一線部分 110W 的厚度 T2。凸塊下圖案 150 的厚度 T1 可為第一線部分 110W 的厚度 T2 的約 2.5 至 10 倍。凸塊下圖案 150 的厚度 T1 及第一線部分 110W 的厚度 T2 可在垂直於基板的頂表面或第一介電層 101 的底表面 101b 的方向上量測。

【0026】 可將第一通孔部分 110V 夾置於凸塊下圖案 150 與第一

線部分 110W 之間。第一通孔部分 110V 可接觸凸塊下圖案 150 的頂表面。第一通孔部分 110V 可具有較凸塊下圖案 150 的寬度小的寬度。第一通孔部分 110V 可具有較凸塊下圖案 150 的底表面 150b 處的寬度 W1 小且較凸塊下圖案 150 的頂表面處的寬度 W2 小的最小寬度 W3。舉例而言，第一通孔部分 110V 可具有較凸塊下圖案 150 的底表面 150b 處的寬度 W1 小且較凸塊下圖案 150 的頂表面處的寬度 W2 小的最大寬度。凸塊下圖案 150 的底表面 150b 處的寬度 W1 可對應於凸塊下圖案 150 的最小寬度，且凸塊下圖案 150 的頂表面處的寬度 W2 可對應於凸塊下圖案 150 的最大寬度，但是本發明概念不限於此。

【0027】 當凸塊下圖案 150 形成於由抗蝕劑圖案界定的開口中時，在形成凸塊下圖案 150 及移除抗蝕劑圖案之後，可實行第一介電層 101 的形成。第一介電層 101 可形成於下部晶種層 151 的頂表面及凸塊下圖案 150 的頂表面上。因此，第一介電層 101 可在其頂表面上具有起伏 (undulation)。舉例而言，第一介電層 101 的頂表面的最上部分與最下部分之間的水平高度差可與凸塊下圖案 150 的厚度 T1 相同或相似。因此，第一線部分 110W 的底表面 110a 可處於彼此不同的水平高度處。

【0028】 根據一些實施例，如在圖 1A 至圖 1F 中所論述，可跳過抗蝕劑圖案的形成，且在形成凸塊下圖案 150 之前，可在釋放層 910 上形成第一介電層 101。第一介電層 101 的頂表面可為實質上平的。凸塊下圖案 150 的頂表面與第一介電層 101 的頂表面之間

的水平高度差可較凸塊下圖案 150 的厚度 T1 小得多。第二介電層 102 可形成於第一介電層 101 及凸塊下圖案 150 上，且第二介電層 102 的頂表面可為實質上平的。如圖 1I 中所示，由於第一重佈線圖案 110 形成於第二介電層 102 的頂表面上，因此第一線部分 110W 的底表面 110a 可位於相同的水平高度或相似的水平高度處。舉例而言，第一介電層 101 的底表面 101b 與第一線部分 110W 的底表面 110a 之間的最大間隔可為第一介電層 101 的底表面 101b 與第一線部分 110W 的底表面 110a 之間的最小間隔的 100%至 130%。在此種情形中，第一線部分 110W 的底表面 110a 可被定義為指代物理地接觸第二介電層 102 的表面。

【0029】 參照圖 1K 及圖 1L，可在第二介電層 102 上形成第三介電層 103，且第三介電層 103 可覆蓋第二介電層 102 及第一重佈線圖案 110。第三介電層 103 可接觸第二介電層 102 的頂表面以及第一重佈線圖案 110 的頂表面及側表面。第三介電層 103 可包含感光性聚合物。可在第三介電層 103 中形成第三開口 139。第三開口 139 可暴露出第一重佈線圖案 110 的頂表面。第三開口 139 的形成可包括圖案化第三介電層 103 以形成第三初步開口，以及對第三介電層 103 實行固化製程。第三介電層 103 的內壁可對應於第三開口 139 的側壁。第三介電層 103 的圖案化可藉由與圖 1A 及圖 1B 中所論述的用於圖案化第一介電層 101 的方法相同的方法來實行。第三介電層 103 的固化製程可藉由與圖 1C 及圖 1D 中所論述的用於固化第一介電層 101 的方法相同的方法來實行。第三開口

139 可具有錐形形狀。

【0030】 可在第三介電層 103 的頂表面上及第三開口 139 中形成第二重佈線圖案 120，且可將第二重佈線圖案 120 電性連接至第一重佈線圖案 110。根據一些實施例，可在第三開口 139 的側壁及底表面上且亦在第三介電層 103 的頂表面上共形地形成第二晶種層 121。第二晶種層 121 可包含例如銅、鈦或其合金等導電材料。可實行電鍍製程以在第二晶種層 121 上形成第二導電層 122。第二導電層 122 可填充第三開口 139，且可延伸至第三介電層 103 的頂表面上。第二導電層 122 可包含例如銅等金屬。可藉由蝕刻製程圖案化第二導電層 122 及第二晶種層 121 以形成第二重佈線圖案 120。第二重佈線圖案 120 中的每一者可包括經圖案化的第二晶種層 121 及經圖案化的第二導電層 122。第二重佈線圖案 120 可彼此間隔開。第二重佈線圖案 120 中的每一者可在水平方向上縱向地延伸。

【0031】 第二重佈線圖案 120 中的每一者可包括第二通孔部分 120V 及第二線部分 120W。如圖 1L 中所示，可將第二通孔部分 120V 設置於第三開口 139 中。第二重佈線圖案 120 在第二通孔部分 120V 的底表面與側壁之間可具有範圍介於約 105° 至約 135° 的角度 θ_{30} 。可將第二線部分 120W 設置於第二通孔部分 120V 以及第三介電層 103 的頂表面上，且可將第二線部分 120W 連接至第二通孔部分 120V。

【0032】 參照圖 1M 及圖 1N，可在第三介電層 103 上形成第四介

電層 104，且第四介電層 104 可覆蓋第三介電層 103 及第二重佈線圖案 120。第四介電層 104 可接觸第三介電層 103 的頂表面以及第二重佈線圖案 120 的頂表面及側表面。第四介電層 104 可包含感光性聚合物。可在第四介電層 104 中形成第四開口 149。第四開口 149 可暴露出第二重佈線圖案 120 的頂表面。第四開口 149 的形成可包括圖案化第四介電層 104 以形成第四初步開口，以及對第四介電層 104 實行固化製程。第四開口 149 可具有錐形形狀。

【0033】 可在第四介電層 104 的頂表面上及第四開口 149 中形成第三重佈線圖案 130，且可將第三重佈線圖案 130 電性連接至第二重佈線圖案 120。根據一些實施例，可在第四開口 149 的底表面及側壁上且亦在第四介電層 104 的頂表面上共形地形成第三晶種層 131。第三晶種層 131 可包含例如銅或鈦等導電材料。可實行電鍍製程以在第三晶種層 131 上形成第三導電層 132。在第三晶種層 131 上，第三導電層 132 可填充第四開口 149。第三導電層 132 可延伸至第四介電層 104 的頂表面上，且可覆蓋第三晶種層 131。第三導電層 132 可包含例如銅等金屬。可圖案化第三導電層 132 及第三晶種層 131 以形成第三重佈線圖案 130。第三重佈線圖案 130 中的每一者可包括經圖案化的第三晶種層 131 及經圖案化的第三導電層 132。

【0034】 第三重佈線圖案 130 中的每一者可包括第三通孔部分 130V 及第三線部分 130W。如圖 1N 中所示，可將第三通孔部分 130V 設置於第四開口 149 中。第三重佈線圖案 130 在第三通孔部

分 130V 的底表面與側壁之間可具有範圍介於約 105°至約 135°的角度 θ_{40} 。第三通孔部分 130V 可接觸第二重佈線圖案 120 的頂表面。可將第三線部分 130W 設置於第四介電層 104 的頂表面上，且可將第三線部分 130W 連接至第三通孔部分 130V。

【0035】 可在第四介電層 104 上形成第五介電層 105，且第五介電層 105 可覆蓋第三重佈線圖案 130 以及第四介電層 104 的頂表面。第五介電層 105 可接觸第四介電層 104 的頂表面以及第三重佈線圖案 130 的頂表面及側表面。第五介電層 105 可包括感光性聚合物。

【0036】 可在第三重佈線圖案 130 上形成導電接墊 140。每一導電接墊 140 可接觸第三重佈線圖案 130 中的對應一者的頂表面。導電接墊 140 可包含例如銅及/或鋁等金屬。導電接墊 140 可藉由第一重佈線圖案 110、第二重佈線圖案 120 及第三重佈線圖案 130 連接至對應的凸塊下圖案 150。導電接墊 140 中的至少一者可不與所述至少一個導電接墊 140 所連接至的凸塊下圖案 150 垂直地對齊。用語「垂直地」可意指「垂直於第一介電層 101 的底表面 101b」。第五介電層 105 可暴露出導電接墊 140 的頂表面。在一些實施例中，第五介電層 105 的頂表面可與導電接墊 140 的頂表面共面。與所示者不同，導電接墊 140 的底表面可位於第五介電層 105 的頂表面上。

【0037】 可藉由以上所論述的製程製造重佈線基板 100。重佈線基板 100 可為重佈線層。重佈線基板 100 可包括：凸塊下圖案 150；

第一介電層 101、第二介電層 102、第三介電層 103、第四介電層 104 及第五介電層 105；第一重佈線圖案 110、第二重佈線圖案 120 及第三重佈線圖案 130；以及導電接墊 140。介電層 101、102、103、104 及 105 的數目以及重佈線圖案 110、120 及 130 的數目不限於所示數目，而是可以各種方式改變。第三介電層 103、第四介電層 104 及第五介電層 105 中的一或多者可被稱為上部介電層。

【0038】 參照圖 1O 及圖 1P，可在重佈線基板 100 上設置半導體晶片 200，半導體晶片 200 的晶片接墊 205 面對重佈線基板 100。可在對應的導電接墊 140 與對應的晶片接墊 205 之間形成第一連接件 251，且可將第一連接件 251 電性連接至對應的導電接墊 140 及對應的晶片接墊 205。第一連接件 251 中的每一者可包括焊球、支柱及凸塊中的一或多者。第一連接件 251 可包含例如金屬等導電材料。舉例而言，第一連接件 251 可包含焊料材料。半導體晶片 200 可藉由第一連接件 251 電性連接至重佈線基板 100。在本說明中，片語「電性連接至重佈線基板 100」可意指「電性連接至第一重佈線圖案 110、第二重佈線圖案 120 及第三重佈線圖案 130 中的一或多者」。片語「耦合至晶片接墊 205」可意指「耦合至半導體晶片 200」或「耦合至半導體晶片 200 中的積體電路」。

【0039】 如圖 1O 中所示，可在重佈線基板 100 上形成模製層 300，且模製層 300 可覆蓋半導體晶片 200。模製層 300 可覆蓋介電層 101、102、103、104 及 105 中最上面的一者。最上面的介電層可為第五介電層 105。模製層 300 可進一步朝半導體晶片 200 與重佈

線基板 100 之間間隙延伸，且可包封第一連接件 251。模製層 300 可包含例如環氧模製化合物等介電聚合物。舉例而言，可進一步在重佈線基板 100 與半導體晶片 200 之間間隙中形成底部填充層（未示出）。之後，可移除載體基板 900 及釋放層 910，以暴露出下部晶種層 151。

【0040】 如圖 1P 中所示，可移除下部晶種層 151，以暴露出第一介電層 101 的底表面 101b 及凸塊下圖案 150 的底表面 150b。下部晶種層 151 的移除可藉由例如蝕刻製程實行。第一介電層 101 可暴露出凸塊下圖案 150 的底表面 150b。凸塊下圖案 150 的底表面 150b 可與第一介電層 101 的底表面 101b 共面。舉例而言，凸塊下圖案 150 的底表面 150b 可位於與第一介電層 101 的底表面 101b 的水平高度實質上相同的水平高度處。

【0041】 參照圖 1Q 及圖 1R，可在重佈線基板 100 的底表面上形成外部端子 400。外部端子 400 可設置於凸塊下圖案 150 的被暴露出的底表面 150b 上，且可電性連接至凸塊下圖案 150。外部端子 400 可藉由凸塊下圖案 150 及重佈線圖案 110、120 及 130 耦合至晶片接墊 205 中的至少一者。外部端子 400 可不與所述至少一個晶片接墊 205 垂直地對齊。如圖 1Q 中所示，可設置多個外部端子 400，且當在平面圖中觀察時，所述多個外部端子 400 中的至少一者可與模製層 300 重疊。外部端子 400 中的每一者可包括焊球、凸塊及支柱中的一或多者。外部端子 400 可包含焊料材料。焊料材料可包括例如錫、鈹、鉛、銀或其合金。

【0042】 當凸塊下圖案 150 的厚度 $T1$ 小於第一重佈線圖案 110 的第一線部分 110W 的厚度 $T2$ 的 2.5 倍時，當半導體封裝 10 持續進行操作時，凸塊下圖案 150 的厚度 $T1$ 可顯著減小。當凸塊下圖案 150 的厚度 $T1$ 大於第一線部分 110W 的厚度 $T2$ 的 10 倍時，重佈線基板 100 可能難以具有緊湊的尺寸。根據一些實施例，凸塊下圖案 150 的厚度 $T1$ 可為第一重佈線圖案 110 的第一線部分 110W 的厚度 $T2$ 的約 2.5 至 10 倍。因此，即使半導體封裝 10 持續進行操作，凸塊下圖案 150 的厚度 $T1$ 亦可滿足所需的範圍。因此，重佈線基板 100 的耐久性及可靠性可提高。重佈線基板 100 可變得尺寸緊湊。凸塊下圖案 150 的厚度 $T1$ 可大於第二線部分 120W 的厚度 $T3$ 及第三線部分 130W 的厚度 $T4$ 。凸塊下圖案 150 的厚度 $T1$ 可為第二線部分 120W 的厚度 $T3$ 的約 2.5 至 10 倍，且是第三線部分 130W 的厚度 $T4$ 的約 2.5 至 10 倍。第二線部分 120W 的厚度 $T3$ 及第三線部分 130W 的厚度 $T4$ 可在垂直於基板的頂表面或第一介電層 101 的底表面 101b 的方向上量測。

【0043】 藉由以上所論述的製程，可最終製造出半導體封裝 10。半導體封裝 10 可為扇外型半導體封裝 (fan-out semiconductor package)。

【0044】 圖 2A、圖 2C 及圖 2E 例示顯示根據一些示例性實施例的製造半導體封裝的方法的剖視圖。圖 2B 例示顯示圖 2A 所示截面 I 的放大圖。圖 2D 例示顯示圖 2C 所示截面 I 的放大圖。圖 2F 例示顯示圖 2E 所示截面 I 的放大圖。下面將省略重複的說明。

【0045】 重新參照圖 1M 及圖 1N，可在載體基板 900 上形成下部晶種層 151 及重佈線基板 100。

【0046】 參照圖 2A 及圖 2B，可在重佈線基板 100 上安裝半導體晶片 200，且然後可在重佈線基板 100 上形成模製層 300。此後，可移除載體基板 900 及釋放層 910，以暴露出下部晶種層 151 的底表面。

【0047】 參照圖 2C 及圖 2D，可在下部晶種層 151 的底表面上形成下部遮罩圖案 920。下部遮罩圖案 920 可具有暴露出下部晶種層 151 的下部開口 929。下部遮罩圖案 920 可藉由塗佈例如抗蝕劑材料來形成。

【0048】 可在下部開口 929 中形成第一下部凸塊下圖案 152，且第一下部凸塊下圖案 152 可覆蓋下部晶種層 151 的底表面。第一下部凸塊下圖案 152 可接觸下部晶種層 151 的底表面，且可完全覆蓋下部晶種層 151 的被暴露出的底表面。第一下部凸塊下圖案 152 可藉由實行電鍍製程形成，其中下部晶種層 151 用作電極。第一下部凸塊下圖案 152 可包含與凸塊下圖案 150 的材料不同的材料。第一下部凸塊下圖案 152 可包含鎳。第一下部凸塊下圖案 152 可充當障壁層，以防止包含於凸塊下圖案 150 中的材料（例如，銅）擴散。

【0049】 可在下部開口 929 中形成第二下部凸塊下圖案 153，且第二下部凸塊下圖案 153 可覆蓋第一下部凸塊下圖案 152 的底表面。第二下部凸塊下圖案 153 可接觸第一下部凸塊下圖案 152 的

底表面。第二下部凸塊下圖案 153 可包含與第一下部凸塊下圖案 152 的材料及凸塊下圖案 150 的材料不同的材料。金 (Au) 可具有相對於焊料材料的潤濕特性。第二下部凸塊下圖案 153 可包含金，且因此可充當潤濕層。第一下部凸塊下圖案 152 及第二下部凸塊下圖案 153 中的每一者可局限於下部開口 929 中，且可不延伸至下部遮罩圖案 920 的底表面上。之後，可移除下部遮罩圖案 920，以暴露出下部晶種層 151 的底表面。

【0050】 參照圖 2E 及圖 2F，可圖案化下部晶種層 151 以形成晶種圖案 151S。下部晶種層 151 的圖案化可包括對被暴露出的下部晶種層 151 實行蝕刻製程。蝕刻製程可繼續進行，直至第一介電層 101 的底表面 101b 被暴露出為止。晶種圖案 151S 可彼此電性分離。每一晶種圖案 151S 的寬度可與凸塊下圖案 150 的底表面 150b 處的寬度 W1 相同。每一晶種圖案 151S 可具有與第一下部凸塊下圖案 152 的側壁及第二下部凸塊下圖案 153 的側壁對齊的側壁。第一下部凸塊下圖案 152 及第二下部凸塊下圖案 153 的寬度可與凸塊下圖案 150 的底表面 150b 處的寬度 W1 相同。

【0051】 可在第二下部凸塊下圖案 153 的底表面上形成外部端子 400。第二下部凸塊下圖案 153 可充當潤濕層。舉例而言，第二下部凸塊下圖案 153 可令人滿意地將外部端子 400 貼合至第一下部凸塊下圖案 152。

【0052】 藉由以上所論述的製程，可最終製造出半導體封裝 11。半導體封裝 11 可包括堆疊的晶種圖案 151S、第一下部凸塊下圖案

152 及第二下部凸塊下圖案 153。晶種圖案 151S、第一下部凸塊下圖案 152 及第二下部凸塊下圖案 153 可夾置於凸塊下圖案 150 與外部端子 400 之間。作為另一選擇，可不形成第一下部凸塊下圖案 152 及第二下部凸塊下圖案 153 中的一者。

【0053】 晶種圖案 151S、第一下部凸塊下圖案 152 及第二下部凸塊下圖案 153 的形成不限於圖 2A 至圖 2F 中所論述者，而是可以各種方式改變。

【0054】 在某些圖中，為使圖式簡便，第一重佈線圖案 110、第二重佈線圖案 120 及第三重佈線圖案 130 被例示為不區分晶種層 111、121 及 131 與導電層 112、122 及 132。舉例而言，第一重佈線圖案 110 被例示為不區分第一晶種層 111 與第一導電層 112。然而，本發明概念不限於此。

【0055】 圖 3A 及圖 3B 例示顯示根據一些示例性實施例的製造半導體封裝的方法的剖視圖。下面將省略重複的說明。

【0056】 參照圖 3A，可在載體基板 900 上形成重佈線基板 100。重佈線基板 100 可包括：凸塊下圖案 150；第一介電層 101、第二介電層 102、第三介電層 103、第四介電層 104 及第五介電層 105；第一重佈線圖案 110、第二重佈線圖案 120 及第三重佈線圖案 130；以及導電接墊 140。可在載體基板 900 與第一介電層 101 之間以及載體基板 900 與凸塊下圖案 150 之間形成下部晶種層 151。舉例而言，可在釋放層 910 與重佈線基板 100 之間形成下部晶種層 151。下部晶種層 151 及重佈線基板 100 的形成可實質上與以上在圖 1A

至圖 1N 中所論述者相同。相比之下，可以面板或晶圓級形成重佈線基板 100。

【0057】 可在重佈線基板 100 上設置半導體晶片 200。在此種情形中，可設置多個半導體晶片 200，且可將所述多個半導體晶片 200 設置成在側向上彼此間隔開。可在對應的導電接墊 140 與對應的晶片接墊 205 之間形成第一連接件 251。可在重佈線基板 100 的頂表面上設置模製層 300，且因此半導體晶片 200 可被模製層 300 覆蓋。舉例而言，可在相鄰的半導體晶片 200 之間形成模製層 300。之後，可移除載體基板 900 及釋放層 910，以暴露出下部晶種層 151。可蝕刻下部晶種層 151 以暴露出第一介電層 101 的底表面及凸塊下圖案 150 的底表面。

【0058】 參照圖 3B，可在凸塊下圖案 150 的被暴露出的底表面上形成外部端子 400，且可將外部端子 400 耦合至凸塊下圖案 150。可沿點虛線切割模製層 300 及重佈線基板 100，以將多個半導體封裝 10 彼此分離。在本說明中，可以晶片、面板或晶圓級製造半導體封裝 10。

【0059】 為使說明簡潔，下文將論述單一半導體封裝，但是製造半導體封裝的方法不限於晶片級製造。

【0060】 圖 4 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。下面將省略重複的說明。

【0061】 參照圖 4，半導體封裝 12 可包括重佈線基板 100 及半導體晶片 200。第一連接件 251 可夾置於導電接墊 140 與半導體晶片

200 的晶片接墊 205 之間。底部填充圖案 260 可設置於重佈線基板 100 與半導體晶片 200 之間間隙中，包封第一連接件 251。底部填充圖案 260 可包含例如環氧系聚合物等介電聚合物。可在凸塊下圖案 150 的底表面上設置外部端子 400。

【0062】 重佈線基板 100 的形成、半導體晶片 200 的安裝及外部端子 400 的形成可與以上在圖 1A 至圖 1R 中所論述者實質上相同。與圖 1O 及圖 1P 中所論述者不同，在一些實施例中，可跳過模製層 300 的形成。半導體晶片 200 可具有與重佈線基板 100 的寬度 W10 實質上相同的寬度 W20。半導體封裝 12 可為扇入型半導體封裝 (fan-in semiconductor package)。

【0063】 圖 5 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。在闡釋以下實施例時將參照圖 1R，且將省略重複的論述。

【0064】 參照圖 5，半導體封裝 13 可包括重佈線基板 100、外部端子 400、第一半導體晶片 201、第二半導體晶片 202 及殼體 800。重佈線基板 100 及外部端子 400 可與以上所論述者實質上相同。半導體封裝 13 可為系統級封裝 (system-in-package, SIP)。

【0065】 第一半導體晶片 201 可安裝於重佈線基板 100 的頂表面上。舉例而言，第一連接件 251 可形成於第一半導體晶片 201 的晶片接墊 205 與對應的導電接墊 140 之間。第一半導體晶片 201 及第一連接件 251 可分別與在圖 1Q 及圖 1R 中論述的半導體晶片 200 及第一連接件 251 實質上相同。

【0066】 在重佈線基板 100 的頂表面上，第二半導體晶片 202 可

被設置成與第一半導體晶片 201 間隔開。第二半導體晶片 202 可為與第一半導體晶片 201 不同的類型。舉例而言，第一半導體晶片 201 可為邏輯晶片、記憶體晶片、晶片上系統 (system-on-chip, SOC)、應用處理器 (application processor, AP) 晶片及微機電系統 (microelectromechanical system, MEMS) 晶片中的一者，且第二半導體晶片 202 可為邏輯晶片、記憶體晶片、晶片上系統 (SOC)、應用處理器 (AP) 晶片及微機電系統 (MEMS) 晶片中的另一者。第二連接件 252 可夾置於第二半導體晶片 202 的晶片接墊 206 與對應的導電接墊 140 之間，且可耦合至第二半導體晶片 202 及重佈線基板 100。第二連接件 252 可包括焊球、凸塊及支柱中的一或多者。第二連接件 252 可包含導電材料。

【0067】 第一底部填充圖案 261 可設置於重佈線基板 100 與第一半導體晶片 201 之間間隙中，包封第一連接件 251。第二底部填充圖案 262 可設置於重佈線基板 100 與第二半導體晶片 202 之間間隙中，包封第二連接件 252。第一底部填充圖案 261 及第二底部填充圖案 262 可包含例如環氧系聚合物等介電聚合物。

【0068】 殼體 800 可設置於重佈線基板 100 上。殼體 800 可被設置成與第一半導體晶片 201 及第二半導體晶片 202 間隔開。空腔 890 可設置於第一半導體晶片 201 與殼體 800 之間以及第二半導體晶片 202 與殼體 800 之間。例如空氣等氣體可佔據空腔 890。殼體 800 可保護第一半導體晶片 201 及第二半導體晶片 202 免受外部環境的影響。舉例而言，殼體 800 可防止異物的引入或者可吸收物

理衝擊。殼體 800 可包含導熱率高的材料，且可充當熱沈(heat sink)或散熱板(heat slug)。舉例而言，當半導體封裝 13 進行操作時，殼體 800 可迅速地將自重佈線基板 100、第一半導體晶片 201 及第二半導體晶片 202 中的一或多者產生的熱量向外排出。殼體 800 可包含例如金屬等導電材料。在此種情形中，殼體 800 可具有導電性，且可充當電磁屏蔽層。舉例而言，殼體 800 可屏蔽第一半導體晶片 201 及第二半導體晶片 202 的電磁干擾(electromagnetic interference, EMI)。殼體 800 可藉由重佈線基板 100 電性接地，且可防止第一半導體晶片 201 及/或第二半導體晶片 202 被電性損壞，包括由靜電放電(electrostatic discharge, ESD)引起的電性損壞。作為另一選擇，殼體 800 可包含介電材料。舉例而言，殼體 800 可包含介電聚合物。

【0069】 重佈線基板 100 的形成、第一半導體晶片 201 的安裝及外部端子 400 的形成可與以上在圖 1A 至圖 1R 中所論述者實質上相同。與圖 1O 及圖 1P 中所論述者不同，可跳過模製層 300 的形成，且第二半導體晶片 202 及殼體 800 可進一步設置於重佈線基板 100 上。

【0070】 儘管未示出，然而第三半導體晶片可進一步安裝於重佈線基板 100 上。

【0071】 圖 6A 例示顯示根據一些示例性實施例的半導體封裝的平面圖。圖 6B 例示沿圖 6A 所示的線 II-III 截取的剖視圖。圖 6C 例示顯示圖 6B 所示截面 IV 的放大圖。

【0072】 參照圖 6A、圖 6B 及圖 6C，半導體封裝 14 可包括重佈線基板 100、半導體晶片 200、連接基板 500 及模製層 300。重佈線基板 100 的製造、半導體晶片 200 的安裝、模製層 300 的形成及外部端子 400 的形成可與以上在圖 1A 至圖 1R 中所論述者實質上相同。相比之下，當在平面圖中觀察時，半導體晶片 200 可設置於重佈線基板 100 的中心區上，且連接基板 500 可進一步在形成圖 1O 及圖 1P 中所論述的模製層 300 之前設置。

【0073】 連接基板 500 可設置於重佈線基板 100 上。連接基板 500 的佈置可在半導體晶片 200 的佈置之前或之後實行。連接基板 500 可具有貫穿其中的孔 590。舉例而言，孔 590 可被形成為貫穿印刷電路板 (PCB) 的頂表面及底表面，且具有孔 590 的印刷電路板可用作連接基板 500。當在平面圖中觀察時，孔 590 可形成於重佈線基板 100 的中心區上。半導體晶片 200 可設置於連接基板 500 的孔 590 中。連接基板 500 可包括基底層 510 及導電結構 520。基底層 510 可包括多個堆疊的基底層 510。基底層 510 可包含介電材料。舉例而言，基底層 510 可包含碳系材料、陶瓷或聚合物。孔 590 可貫穿基底層 510。導電結構 520 可設置於基底層 510 中。如圖 6C 中所示，導電結構 520 可包括第一接墊 521、導電線 523、通孔 524 及第二接墊 522。第一接墊 521 可暴露於連接基板 500 的底表面 500b 上，且可耦合至通孔 524 中的一者。導電線 523 可夾置於基底層 510 之間。通孔 524 可貫穿基底層 510 以與導電線 523 連接。第二接墊 522 可暴露於連接基板 500 的頂表面 500a 上，且

可耦合至通孔 524 中的一者。第二接墊 522 可藉由通孔 524 及導電線 523 電性連接至第一接墊 521。第二接墊 522 可不與第一接墊 521 垂直地對齊。舉例而言，第二接墊 522 可垂直地偏離第一接墊 521。第二接墊 522 的數目可不同於第一接墊 521 的數目。導電結構 520 可包含金屬。導電結構 520 可包含例如銅、鋁、金、鉛、不銹鋼、銀、鐵及其合金中的一或多者。

【0074】 如圖 6B 中所示，第三連接件 253 可夾置於第一接墊 521 與導電接墊 140 中的對應一者之間，且耦合至第一接墊 521 及導電接墊 140 中的所述對應一者。導電結構 520 可藉由第三連接件 253 電性連接至重佈線基板 100。第三連接件 253 可包含導電材料。第三連接件 253 可包括焊球、凸塊及支柱中的一或多者。第三底部填充圖案 263 可設置於重佈線基板 100 與連接基板 500 之間隙中，包封第三連接件 253。

【0075】 第一連接件 251 中的每一者可夾置於晶片接墊 205 中的一者與導電接墊 140 中的對應一者之間。第一底部填充圖案 261 可包封第一連接件 251。半導體晶片 200 可藉由重佈線圖案 110、120 及 130 中的一或多者電性連接至導電結構 520。

【0076】 模製層 300 可設置於半導體晶片 200 及連接基板 500 上。舉例而言，模製層 300 可覆蓋半導體晶片 200 及連接基板 500 的頂表面。模製層 300 可延伸至半導體晶片 200 與連接基板 500 之間隙中且填充所述間隙。模製層 300 可包含例如環氧系聚合物等介電聚合物。在一些實施例中，黏合介電膜可貼合至連接基

板 500 的頂表面、半導體晶片 200 的頂表面及半導體晶片 200 的側壁，藉此形成模製層 300。舉例而言，可使用味之素構成膜（Ajinomoto build-up film，ABF）作為黏合介電膜。在一些實施例中，可不形成第一底部填充圖案 261，且模製層 300 可進一步延伸至重佈線基板 100 與半導體晶片 200 之間間隙中。在一些實施例中，可不形成第三底部填充圖案 263，且模製層 300 可進一步延伸至重佈線基板 100 與連接基板 500 之間間隙中。模製層 300 中可設置有暴露出導電結構 520 的第二接墊 522 的上部孔 390。在一些實施例中，上部孔 390 的寬度可隨著其接近第二接墊 522 而逐漸減小。舉例而言，上部孔 390 可具有在模製層 300 的上表面附近較寬且在第二接墊 522 附近較窄的寬度。

【0077】 多個外部端子 400 可對應地設置於多個凸塊下圖案 150 上。外部端子 400 中的一或多者可藉由重佈線圖案 110、120 及 130 電性連接至半導體晶片 200，且外部端子 400 中的另一或多個外部端子 400 可藉由重佈線圖案 110、120 及 130 電性連接至導電結構 520。

【0078】 圖 6D 例示沿顯示根據一些示例性實施例的半導體封裝的圖 6A 所示的線 II-III 截取的剖視圖。下面將省略重複的說明。

【0079】 參照圖 6A 及圖 6D，半導體封裝 15 可包括重佈線基板 100、外部端子 400、半導體晶片 200、連接基板 500 及模製層 300，且更包括上部重佈線層 600。根據一些實施例，上部孔 390 中的每一者中可設置有填充上部孔 390 的導體 350。導體 350 可包含例如

金屬。在一些實施例中，導體 350 的寬度可隨著其接近第二接墊 522 而逐漸減小。舉例而言，導體 350 可具有在模製層 300 的上表面附近較寬且在第二接墊 522 附近較窄的寬度。

【0080】 上部重佈線層 600 可設置於模製層 300 的頂表面上。上部重佈線層 600 可包括第一上部介電層 601、第二上部介電層 602、第三上部介電層 603、第一上部重佈線圖案 610、第二上部重佈線圖案 620 及上部導電接墊 640。第一上部介電層 601 可設置於模製層 300 上。第一上部介電層 601 可包含感光性聚合物。第一上部介電層 601 可具有暴露出導體 350 的第一上部開口 619。第一上部重佈線圖案 610 可設置於第一上部介電層 601 上及第一上部開口 619 中。第一上部重佈線圖案 610 可包含例如銅等金屬。第一上部重佈線圖案 610 可耦合至導體 350。第二上部介電層 602 可設置於第一上部介電層 601 上。第二上部介電層 602 可包含感光性聚合物。第二上部介電層 602 可具有暴露出第一上部重佈線圖案 610 的第二上部開口 629。第二上部重佈線圖案 620 可設置於第二上部介電層 602 的頂表面上及第二上部開口 629 中。第二上部重佈線圖案 620 可耦合至第一上部重佈線圖案 610。第二上部重佈線圖案 620 可包含例如銅等金屬。上部導電接墊 640 可形成於第二上部重佈線圖案 620 的頂表面上，且可耦合至第二上部重佈線圖案 620。上部導電接墊 640 可藉由第一上部重佈線圖案 610 及第二上部重佈線圖案 620 以及導體 350 耦合至導電結構 520。上部導電接墊 640 可不與導體 350 垂直地對齊。

【0081】 第三上部介電層 603 可形成於第二上部介電層 602 及第二上部重佈線圖案 620 上。第三上部介電層 603 可包含介電材料。第三上部介電層 603 可暴露出上部導電接墊 640 的頂表面。

【0082】 重佈線基板 100 的製造、半導體晶片 200 的安裝、模製層 300 的形成及外部端子 400 的形成可藉由與以上在圖 1A 至圖 1R、圖 6A、圖 6B 及圖 6C 中所論述的方法實質上相同的方法來實行。相比之下，在一些實施例中，在圖 6B 及圖 6C 中所示步驟中形成連接基板 500 及模製層 300 之後，可進一步形成上部孔 390 及上部重佈線層 600。

【0083】 圖 6E 例示沿顯示根據一些示例性實施例的半導體封裝的圖 6A 所示的線 II-III 截取的剖視圖。

【0084】 參照圖 6A 及圖 6E，半導體封裝 16 可包括第一半導體封裝 14' 及第二半導體封裝 20。圖 6A 至圖 6C 中所論述的半導體封裝 14 可用作第一半導體封裝 14'。舉例而言，第一半導體封裝 14' 可包括重佈線基板 100、半導體晶片 200、連接基板 500 及模製層 300。

【0085】 第二半導體封裝 20 可設置於第一半導體封裝 14' 上。第二半導體封裝 20 可包括封裝基板 710、上部半導體晶片 720 及上部模製層 730。封裝基板 710 可為印刷電路板。金屬接墊 705 可設置於封裝基板 710 的底表面上。作為另一選擇，封裝基板 710 可為重佈線層。舉例而言，第二半導體封裝 20 可為如以上在圖 1A 至圖 1R 中所示製造的半導體封裝 10。在此種情形中，金屬接墊

705 可具有與以上在圖 1A 至圖 1R 中所論述的凸塊下圖案 150 的形狀及佈置實質上相同的形狀及佈置。

【0086】 上部半導體晶片 720 可設置於封裝基板 710 上。上部半導體晶片 720 可包括積體電路，且積體電路可包括記憶體電路、邏輯電路或其組合。上部半導體晶片 720 可為與半導體晶片 200 不同的類型。上部半導體晶片 720 可藉由封裝基板 710 中的連接線 715 電性連接至金屬接墊 705。舉例而言，連接線 715 可連接至上部半導體晶片 720 的上部晶片接墊 725，以將上部半導體晶片 720 連接至金屬接墊 705。在圖 6E 中，示意性地例示連接線 715，且連接線 715 的形狀及佈置可以各種方式改變。封裝基板 710 上可設置於有覆蓋上部半導體晶片 720 的上部模製層 730。上部模製層 730 可包含例如環氧系聚合物等介電聚合物。

【0087】 連接端子 750 可設置於模製層 300 的上部孔 390 中的每一者中。第二接墊 522 及金屬接墊 705 可藉由夾置於其間的連接端子 750 彼此電性連接。在此種情形中，第二半導體封裝 20 可藉由連接端子 750 電性連接至半導體晶片 200 及外部端子 400。第二半導體封裝 20 的電性連接可包括與上部半導體晶片 720 中的積體電路的電性連接。根據一些實施例，由於設置連接基板 500，因此連接端子 750 可自由地進行佈置。舉例而言，連接端子 750 的數目及佈置可不受第一接墊 521 的數目及佈置的約束。因此，連接線 715 可自由地設計於封裝基板 710 中，且積體電路亦可自由地設計於上部半導體晶片 720 中。

【0088】 在一些實施例中，圖 6D 中所論述的半導體封裝 15 可用作第一半導體封裝 14'。舉例而言，第一半導體封裝 14'可包括重佈線基板 100、半導體晶片 200、連接基板 500 及模製層 300，且更包括上部重佈線層 600。在此種情形中，連接端子 750 可夾置於上部導電接墊 640 與金屬接墊 705 之間。由於設置上部重佈線層 600，因此連接端子 750 可自由地進行佈置。

【0089】 圖 7A 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。下面將省略重複的說明。

【0090】 參照圖 7A，半導體封裝 17 可包括重佈線基板 100、半導體晶片 200、外部端子 400 及模製層 300，且更包括導電結構 520'及上部重佈線層 600。

【0091】 可不設置在圖 6A 至圖 6E 中所論述的連接基板 500。可形成導電結構 520'來代替連接基板 500，在導電結構 520'中在重佈線基板 100 上設置有金屬支柱。舉例而言，導電結構 520'可包括金屬支柱。導電結構 520'可與半導體晶片 200 間隔開。導電結構 520'可電性連接至重佈線基板 100。

【0092】 重佈線基板 100 上可設置有覆蓋半導體晶片 200 的模製層 300。模製層 300 可覆蓋導電結構 520'的側壁，但是可暴露出導電結構 520'的頂表面。

【0093】 上部重佈線層 600 可與圖 6D 所示上部重佈線層 600 實質上相同。舉例而言，上部重佈線層 600 可包括第一上部介電層 601、第二上部介電層 602 及第三上部介電層 603、第一上部重佈

線圖案 610 及第二上部重佈線圖案 620 以及上部導電接墊 640。相比之下，第一上部介電層 611 的第一上部開口 619 可暴露出導電結構 520' 的頂表面。第一上部重佈線圖案 610 可設置於第一上部開口 619 中及第一上部介電層 611 上。第一上部重佈線圖案 610 可接觸導電結構 520' 的頂表面，且可與導電結構 520' 電性連接。

【0094】 重佈線基板 100 的製造、半導體晶片 200 的安裝、模製層 300 的形成及外部端子 400 的形成可藉由與以上在圖 1A 至圖 1R 中所論述的方法實質上相同的方法來實行。相比之下，在圖 1O 及圖 1P 中所示步驟中可進一步形成導電結構 520' 及上部重佈線層 600。導電結構 520' 及上部重佈線層 600 的形成之後可為外部端子 400 的形成。

【0095】 在一些實施例中，半導體封裝 17 可不包括上部重佈線層 600。

【0096】 圖 7B 例示顯示根據一些示例性實施例的半導體封裝的剖視圖。下面將省略重複的說明。

【0097】 參照圖 7B，半導體封裝 18 可包括第一半導體封裝 17' 及第二半導體封裝 20。圖 7A 中所論述的半導體封裝 17 可用作第一半導體封裝 17'。舉例而言，第一半導體封裝 17' 可包括重佈線基板 100、半導體晶片 200、模製層 300、導電結構 520' 及上部重佈線層 600。

【0098】 第二半導體封裝 20 可設置於第一半導體封裝 17' 上。第二半導體封裝 20 可與圖 6E 中所論述的第二半導體封裝 20 實質上

相同。舉例而言，第二半導體封裝 20 可包括封裝基板 710、上部半導體晶片 720 及上部模製層 730。

【0099】 上部導電接墊 640 及金屬接墊 705 可藉由夾置於其間的連接端子 750 彼此電性連接。上部半導體晶片 720 可藉由連接端子 750、上部重佈線圖案 610 及 620 以及導電結構 520' 電性連接至重佈線基板 100。由於設置上部重佈線層 600，因此連接端子 750 可自由地進行設置。舉例而言，連接端子 750 可設置有多個，且當在平面圖中觀察時，所述多個連接端子 750 中的至少一者可與半導體晶片 200 重疊。

【0100】 在一些實施例中，第一半導體封裝 17' 可不包括上部重佈線層 600。在此種情形中，連接端子 750 可與導電結構 520' 及金屬接墊 705 對齊且耦合至導電結構 520' 及金屬接墊 705。

【0101】 在闡釋圖 3A、圖 3B、圖 4、圖 5、圖 6A 至圖 6E、圖 7A 及圖 7B 時，儘管未示出，然而凸塊下圖案 150 與外部端子 400 之間可進一步設置有在圖 2A 至圖 2F 中所論述的第一下部凸塊下圖案 152 及第二下部凸塊下圖案 153 中的一或多者。

【0102】 根據本發明概念，凸塊下圖案可具有相對大的厚度，且因此半導體封裝的可靠性及耐久性可提高。由於凸塊下圖案形成於由第一介電層界定的第一開口中，因此可跳過抗蝕劑圖案的形成及移除。另外，亦可簡化半導體封裝的製造製程。第一介電層可具有平的頂表面。因此，重佈線圖案的線部分可位於相同的水平高度或相似的水平高度處。重佈線基板的可靠性可提高。

【0103】 對本發明概念的此詳細說明不應被解釋為僅限於本文中所述的實施例，且旨在使本發明概念在不背離本發明概念的精神及範圍的條件下涵蓋本發明的各種組合、潤飾及變化。

【符號說明】

【0104】

10、11、12、13、14、15、16、17、18:半導體封裝

14'、17':第一半導體封裝

20:第二半導體封裝

100:重佈線基板

101:介電層/第一介電層

101b、110a、110b、150b、500b:底表面

101c:內壁

102:介電層/第二介電層

103:介電層/第三介電層

104:介電層/第四介電層

105:介電層/第五介電層

110:重佈線圖案/第一重佈線圖案

110c、119c、150c:側壁

110V:第一通孔部分

110W:第一線部分

111:晶種層/第一晶種層

112:導電層/第一導電層

- 119:第一開口
- 119P:第一初步開口
- 120:重佈線圖案/第二重佈線圖案
- 120V:第二通孔部分
- 120W:第二線部分
- 121:晶種層/第二晶種層
- 122:導電層/第二導電層
- 129:第二開口
- 130:重佈線圖案/第三重佈線圖案
- 130V:第三通孔部分
- 130W:第三線部分
- 131:晶種層/第三晶種層
- 132:導電層/第三導電層
- 139:第三開口
- 140:導電接墊
- 149:第四開口
- 150:凸塊下圖案
- 151:下部晶種層
- 151S:晶種圖案
- 152:第一下部凸塊下圖案
- 153:第二下部凸塊下圖案
- 200:半導體晶片

- 201:第一半導體晶片
- 202:第二半導體晶片
- 205、205'、206:晶片接墊
- 251:第一連接件
- 252:第二連接件
- 253:第三連接件
- 260:底部填充圖案
- 261:第一底部填充圖案
- 262:第二底部填充圖案
- 263:第三底部填充圖案
- 300:模製層
- 350:導體
- 390:上部孔
- 400:外部端子
- 500:連接基板
- 500a:頂表面
- 510:基底層
- 520、520':導電結構
- 521:第一接墊
- 522:第二接墊
- 523:導電線
- 524:通孔

- 590:孔
- 600:上部重佈線層
- 601:第一上部介電層
- 602:第二上部介電層
- 603:第三上部介電層
- 610:上部重佈線圖案/第一上部重佈線圖案
- 619:第一上部開口
- 620:上部重佈線圖案/第二上部重佈線圖案
- 629:第二上部開口
- 640:上部導電接墊
- 705:金屬接墊
- 710:封裝基板
- 715:連接線
- 720:上部半導體晶片
- 725:上部晶片接墊
- 730:上部模製層
- 750:連接端子
- 800:殼體
- 890:空腔
- 900:載體基板
- 910:釋放層
- 920:下部遮罩圖案

929:下部開口

I、IV:截面

II-III:線

T1、T2、T3、T4:厚度

W1、W2、W10、W20:寬度

W3:最小寬度

$\theta 1$:銳角/角度

$\theta 2$ 、 $\theta 20$ 、 $\theta 30$ 、 $\theta 40$:角度

$\theta 10$:鈍角/角度

【發明申請專利範圍】

【請求項1】 一種半導體封裝，包括：

重佈線基板；以及

半導體晶片，位於所述重佈線基板的頂表面上，

其中所述重佈線基板包括：

凸塊下圖案；

下部介電層，覆蓋所述凸塊下圖案的側壁；以及

第一重佈線圖案，位於所述下部介電層上，所述第一重佈線圖案包括第一線部分，

其中所述凸塊下圖案的頂表面處的寬度大於所述凸塊下圖案的底表面處的寬度，

其中所述凸塊下圖案的厚度大於所述第一線部分的厚度，且

其中所述第一重佈線圖案包括：

第一導電層，位於所述下部介電層的頂表面上；以及

第一晶種層，位於所述下部介電層的所述頂表面與所述第一導電層之間，所述第一晶種層延伸至所述凸塊下圖案的所述頂表面上且接觸所述凸塊下圖案的所述頂表面。

【請求項2】 如請求項1所述的半導體封裝，其中所述第一重佈線圖案更包括位於所述凸塊下圖案與所述第一線部分之間的第一通孔部分。

【請求項3】 如請求項2所述的半導體封裝，其中所述第一通孔部分的寬度小於所述凸塊下圖案的所述頂表面處的所述寬度。

【請求項4】 如請求項 1 所述的半導體封裝，其中所述凸塊下圖案的所述厚度是所述第一線部分的所述厚度的 2.5 至 10 倍。

【請求項5】 如請求項 1 所述的半導體封裝，

其中所述第一線部分包括彼此間隔開的多個第一線部分，且其中所述下部介電層的底表面與所述第一線部分的底表面之間的最大間隔是所述下部介電層的所述底表面與所述第一線部分的所述底表面之間的最小間隔的 100%至 130%。

【請求項6】 如請求項 1 所述的半導體封裝，更包括：

上部介電層，位於所述下部介電層上；以及第二重佈線圖案，位於所述上部介電層的頂表面上，所述第二重佈線圖案包括第二線部分，

其中所述凸塊下圖案的所述厚度大於所述第二線部分的厚度。

【請求項7】 如請求項 1 所述的半導體封裝，更包括位於所述凸塊下圖案的所述底表面上的外部端子。

【請求項8】 如請求項 7 所述的半導體封裝，更包括：

下部凸塊下圖案，位於所述凸塊下圖案與所述外部端子之間；以及

晶種圖案，位於所述下部凸塊下圖案與所述凸塊下圖案之間，其中所述下部凸塊下圖案包含與所述凸塊下圖案的材料不同的材料。

【請求項9】 如請求項 1 所述的半導體封裝，更包括：

連接基板，位於所述重佈線基板上，所述連接基板包括多個

基底層以及導電結構，

其中所述連接基板具有孔，且

其中所述半導體晶片設置於所述孔中。

【請求項10】 如請求項 1 所述的半導體封裝，更包括：

導電結構，位於所述重佈線基板的所述頂表面上，所述導電結構與所述半導體晶片間隔開；以及

模製層，位於所述重佈線基板的所述頂表面上，所述模製層包封所述半導體晶片以及所述導電結構的側壁。

【請求項11】 一種半導體封裝，包括：

重佈線基板；以及

半導體晶片，位於所述重佈線基板的頂表面上，

其中所述重佈線基板包括：

凸塊下圖案；

介電層，覆蓋所述凸塊下圖案的側壁；以及

重佈線圖案，位於所述凸塊下圖案上，所述重佈線圖案耦合至所述凸塊下圖案，

其中所述凸塊下圖案的所述側壁與底表面之間的角度在 105° 至 135° 範圍內，

其中所述介電層具有暴露出所述凸塊下圖案的頂表面的開口，

其中所述重佈線圖案包括晶種層，且

其中所述晶種層覆蓋所述開口的側壁及所述凸塊下圖案的所述頂表面，所述凸塊下圖案的所述頂表面暴露至所述開口。

【請求項12】 如請求項 11 所述的半導體封裝，其中所述介電層暴露出所述凸塊下圖案的所述底表面。

【請求項13】 如請求項 12 所述的半導體封裝，其中所述凸塊下圖案的所述底表面與所述介電層的底表面共面。

【請求項14】 如請求項 11 所述的半導體封裝，

其中所述重佈線圖案包括通孔部分，且

其中所述通孔部分的寬度小於所述凸塊下圖案的寬度。

【請求項15】 一種半導體封裝，包括：

重佈線基板；以及

半導體晶片，位於所述重佈線基板的頂表面上；以及

外部端子，位於所述重佈線基板的底表面上，

其中所述重佈線基板包括：

導電端子接墊；

下部凸塊下圖案，位於所述導電端子接墊與所述外部端子之間；以及

晶種圖案，位於所述下部凸塊下圖案與所述導電端子接墊之間，

下部介電層，覆蓋所述導電端子接墊的側壁；

線圖案，位於所述下部介電層上；以及

通孔，位於所述導電端子接墊與所述線圖案之間，所述通孔與所述導電端子接墊的頂表面接觸，

其中所述導電端子接墊的厚度大於所述線圖案的厚度，

其中所述通孔的寬度小於所述導電端子接墊的寬度，且

其中所述下部凸塊下圖案包含與所述導電端子接墊的材料不同的材料。

【請求項16】 如請求項 15 所述的半導體封裝，其中所述導電端子接墊的所述側壁與底表面之間的角度在 105° 至 135° 範圍內。

【請求項17】 如請求項 15 所述的半導體封裝，其中所述導電端子接墊的所述厚度是所述線圖案的所述厚度的 2.5 至 10 倍。

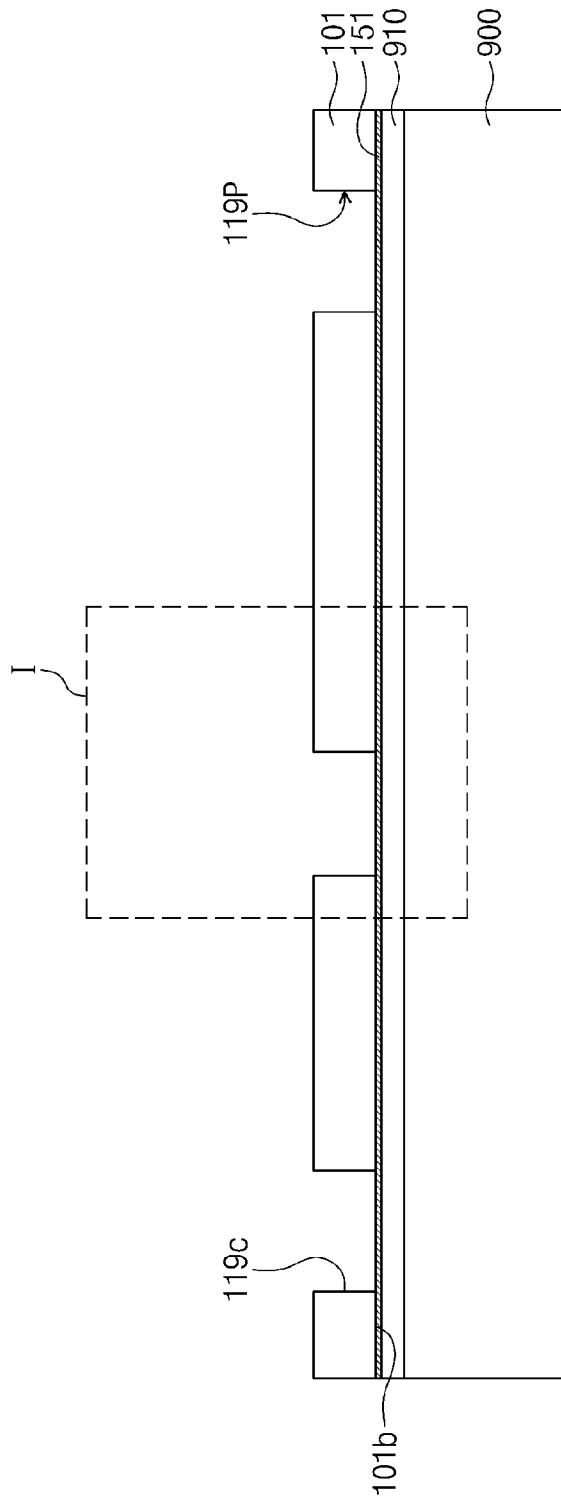
【請求項18】 如請求項 15 所述的半導體封裝，

其中所述下部介電層包括堆疊的第一介電層與第二介電層，

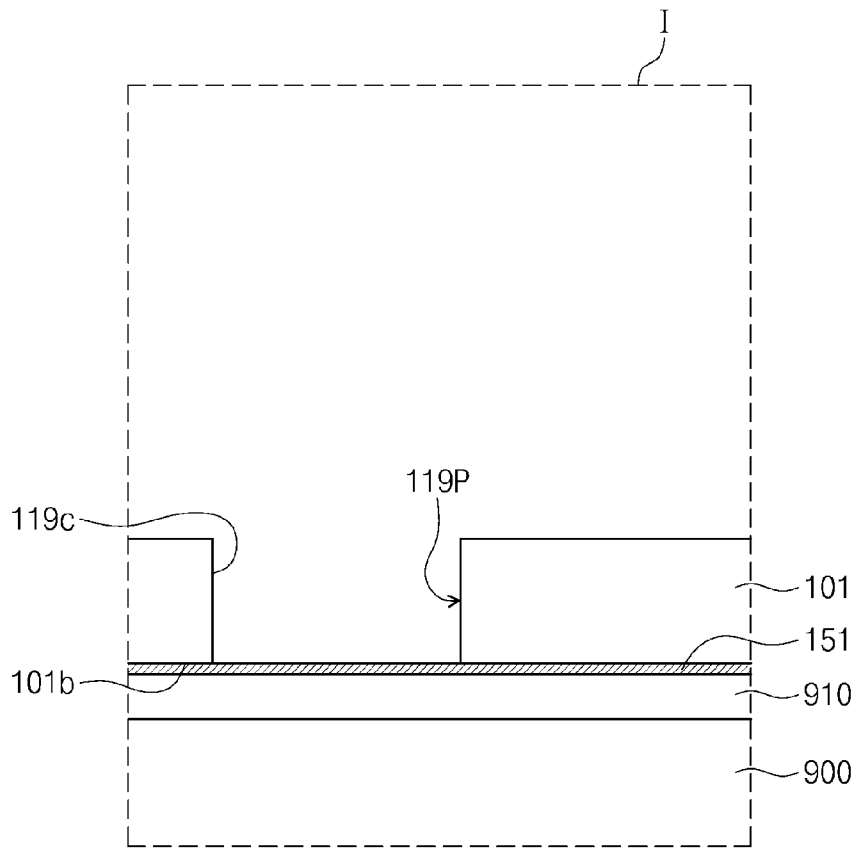
其中所述通孔設置於所述第二介電層中，且

其中所述線圖案設置於所述第二介電層的頂表面上，且連接至所述通孔。

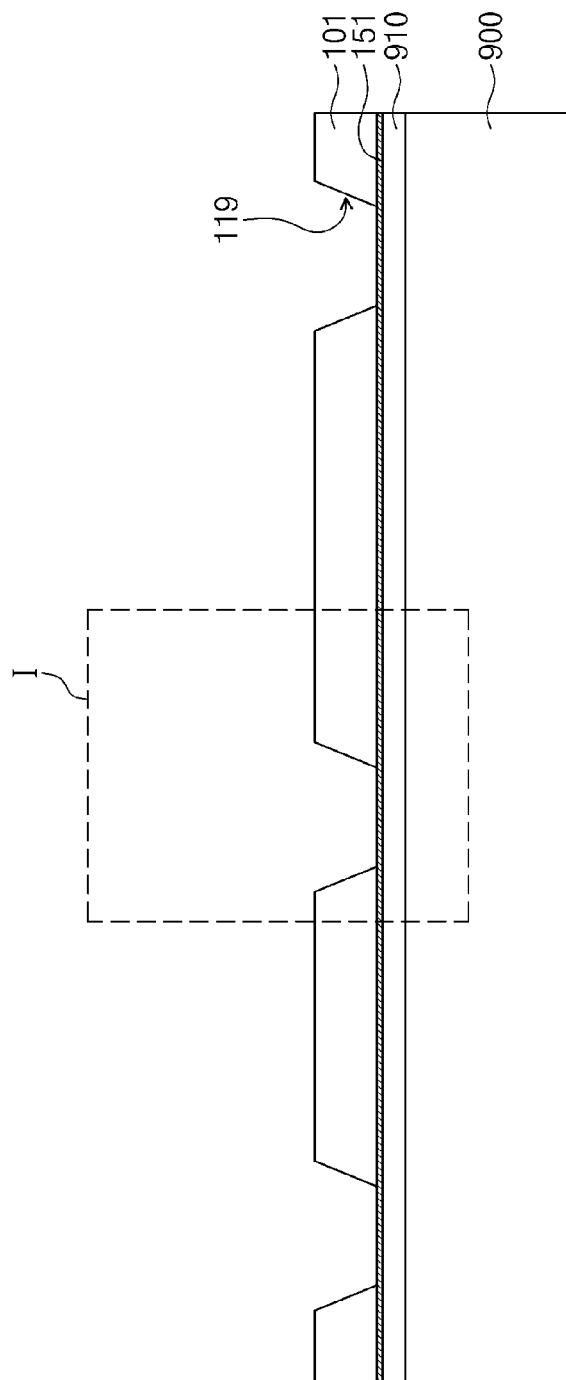
【發明圖式】



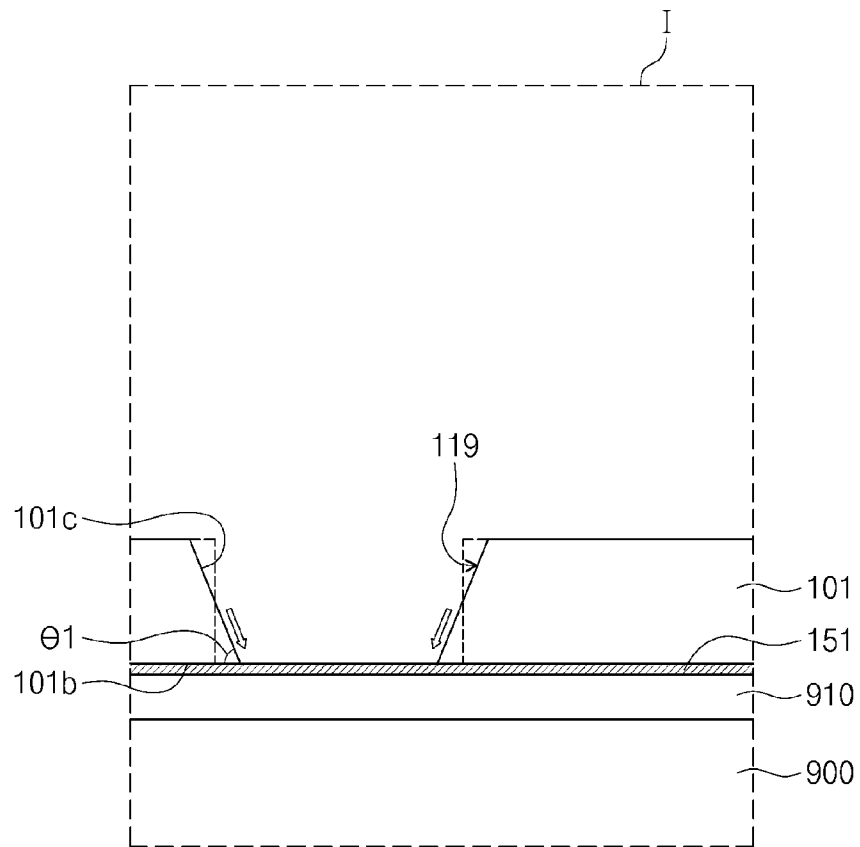
【圖1A】



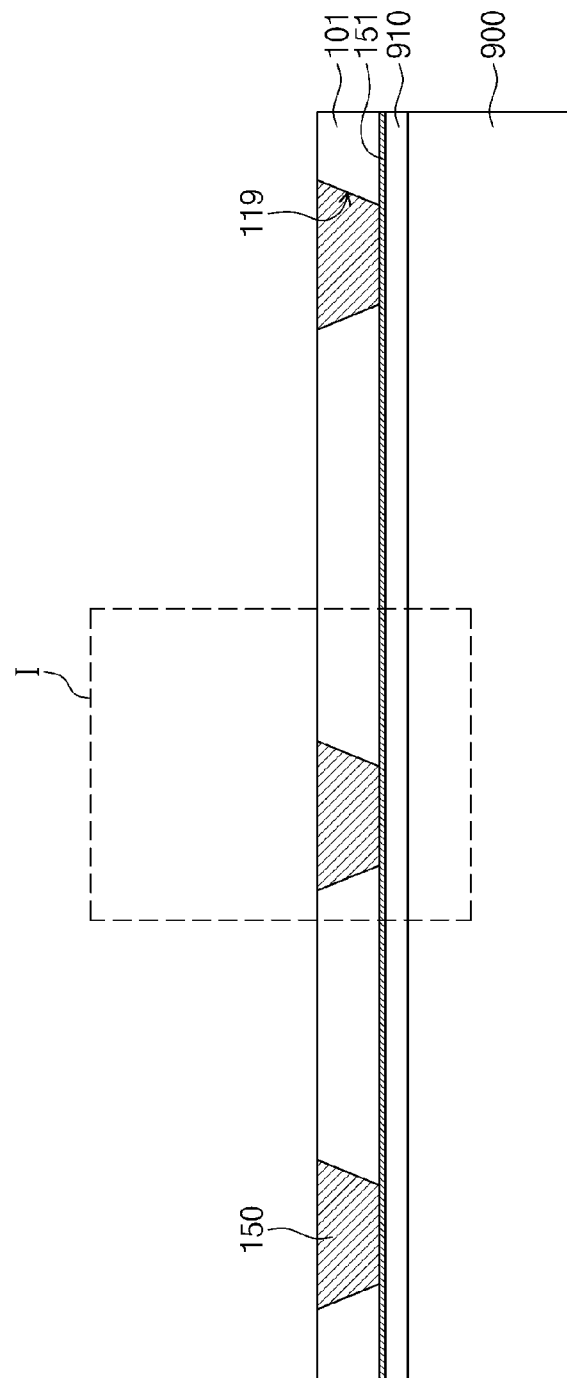
【圖1B】



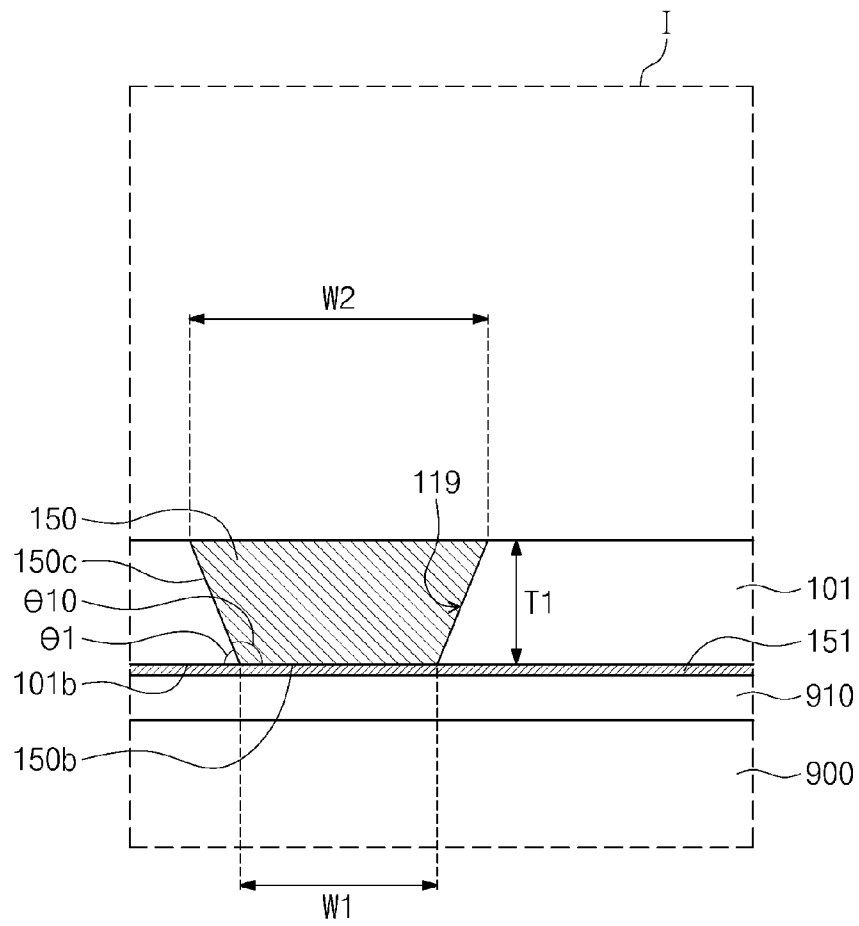
【圖1C】



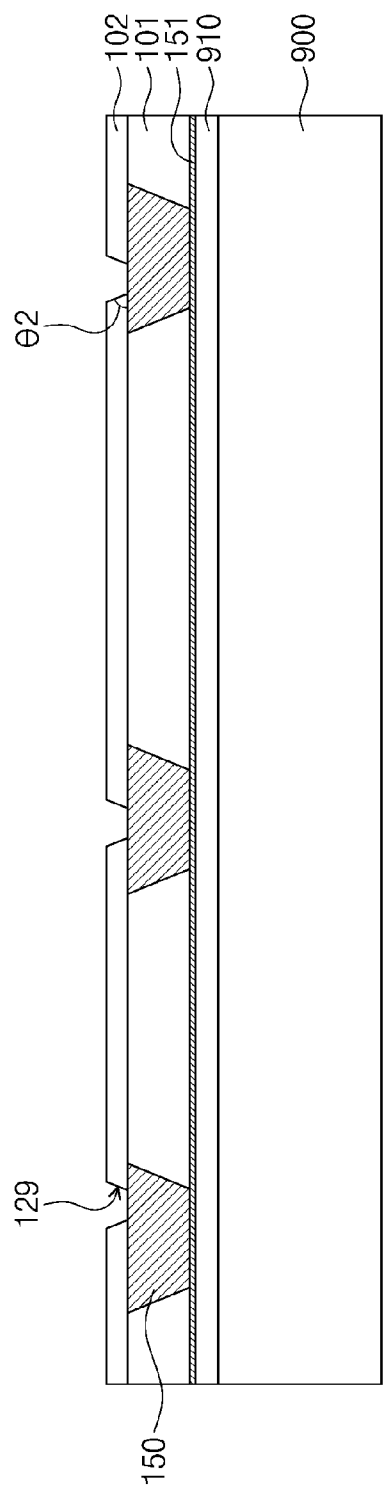
【圖1D】



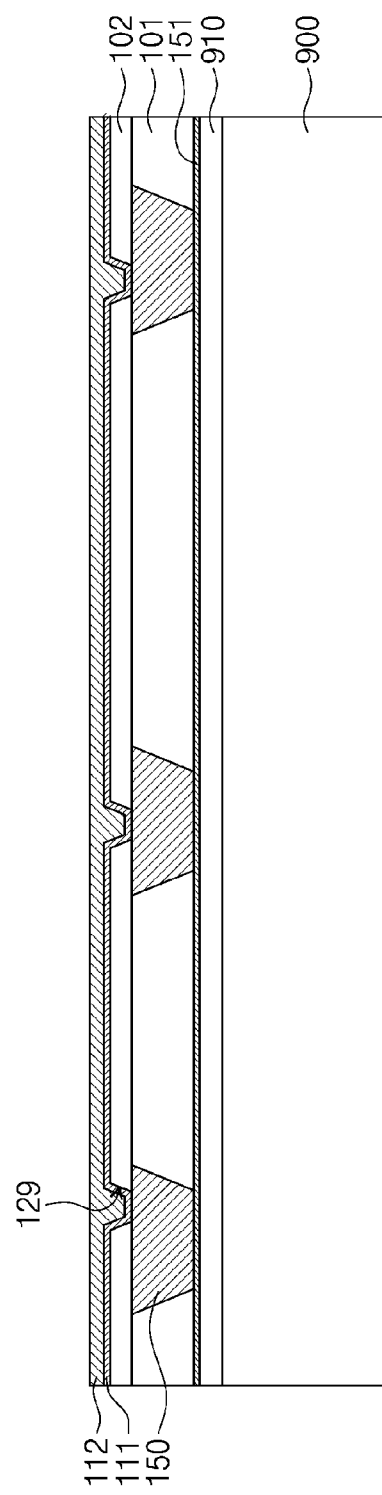
【圖1E】



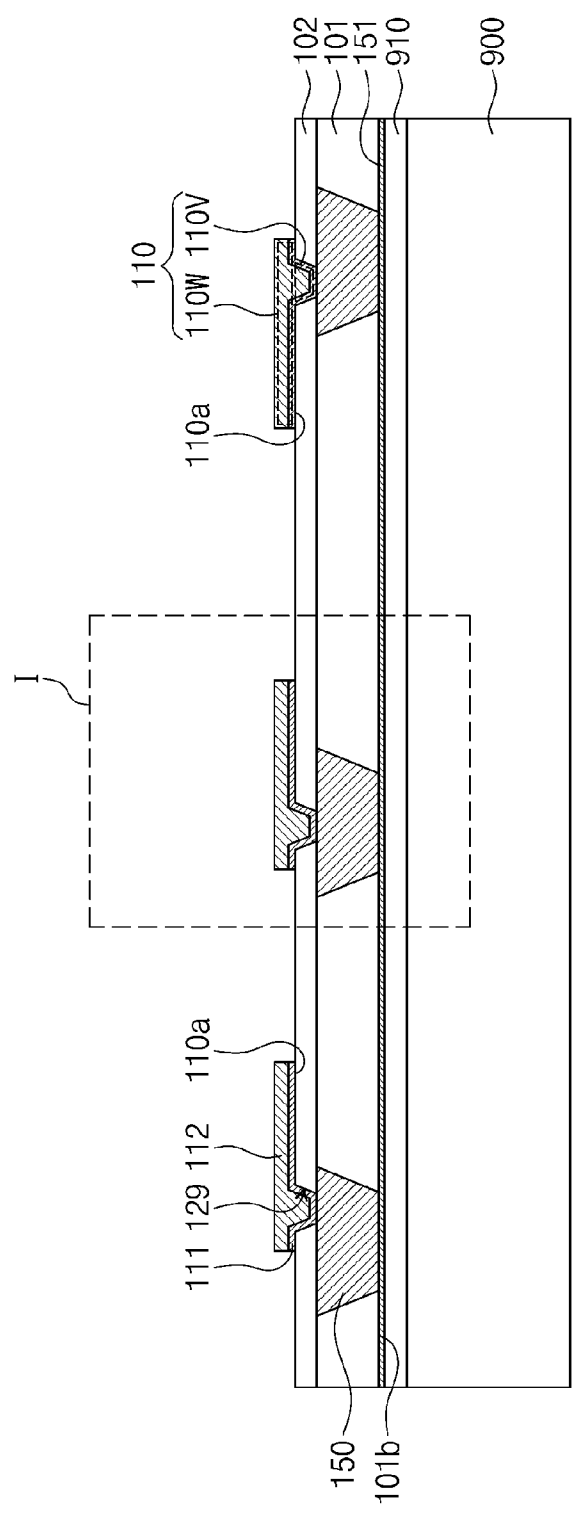
【圖1F】



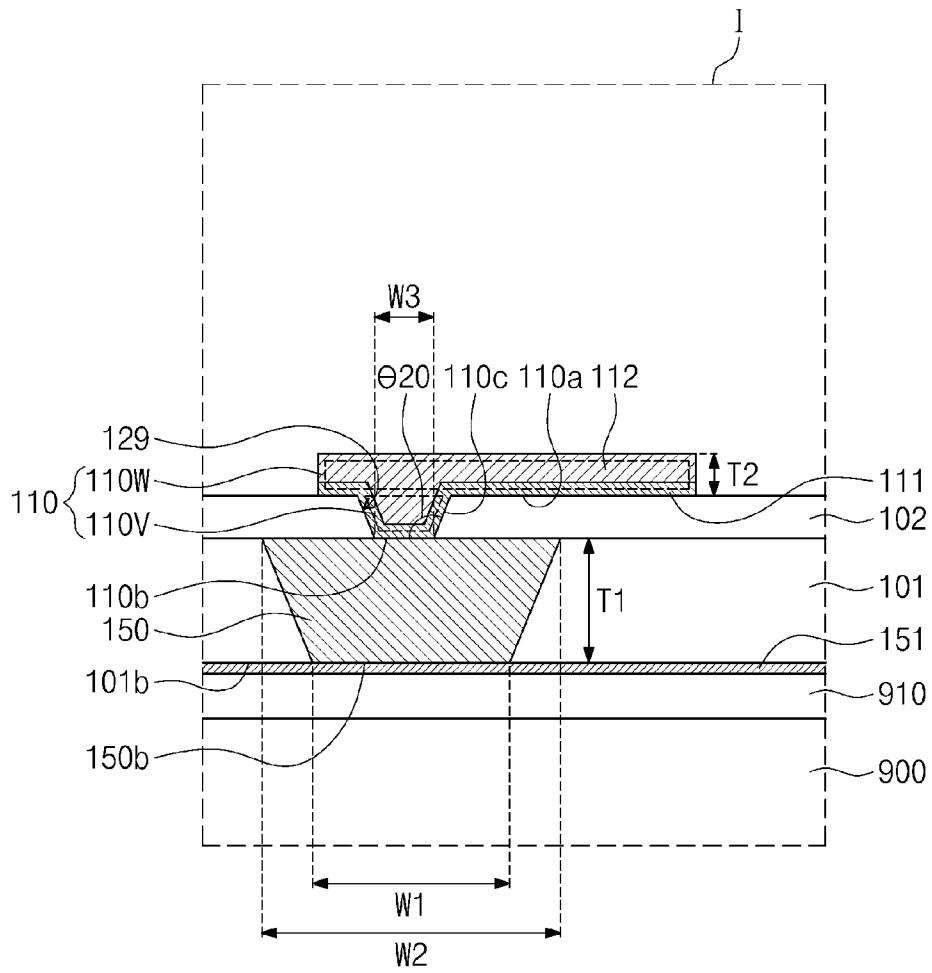
【圖1G】



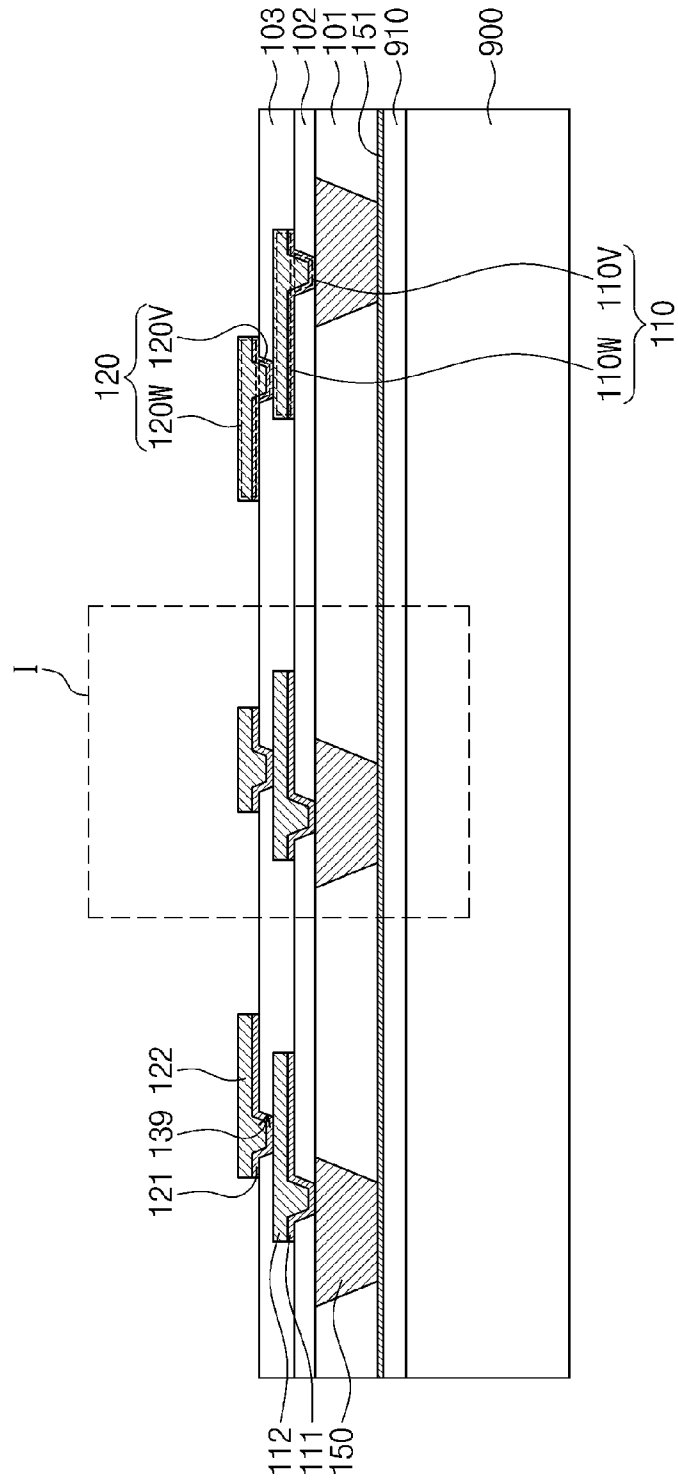
【圖1H】



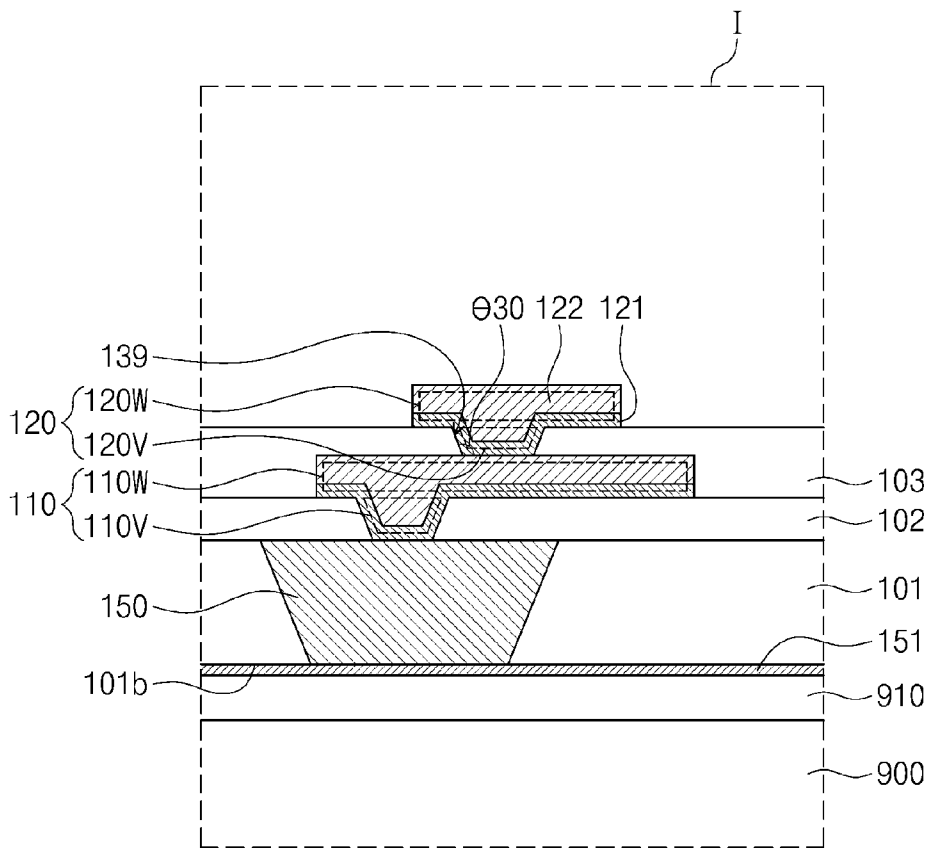
【圖11】



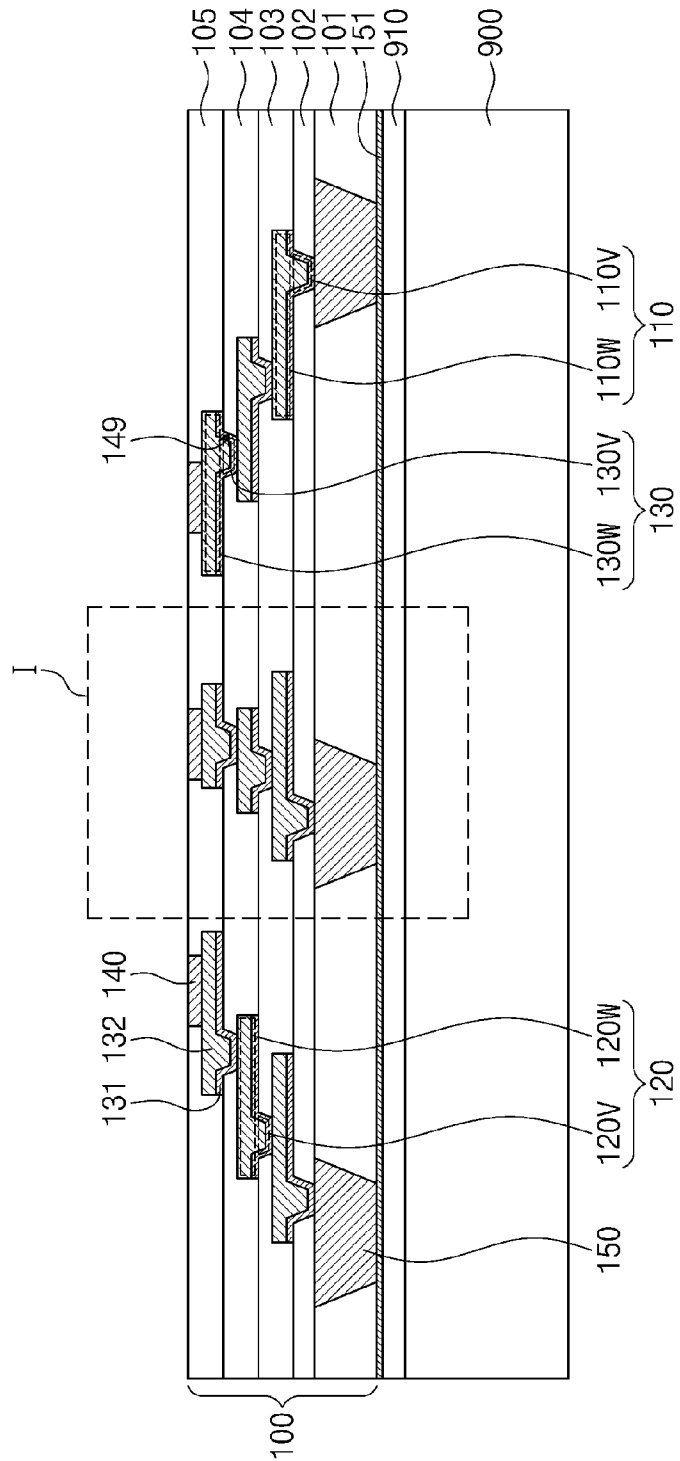
【圖1J】



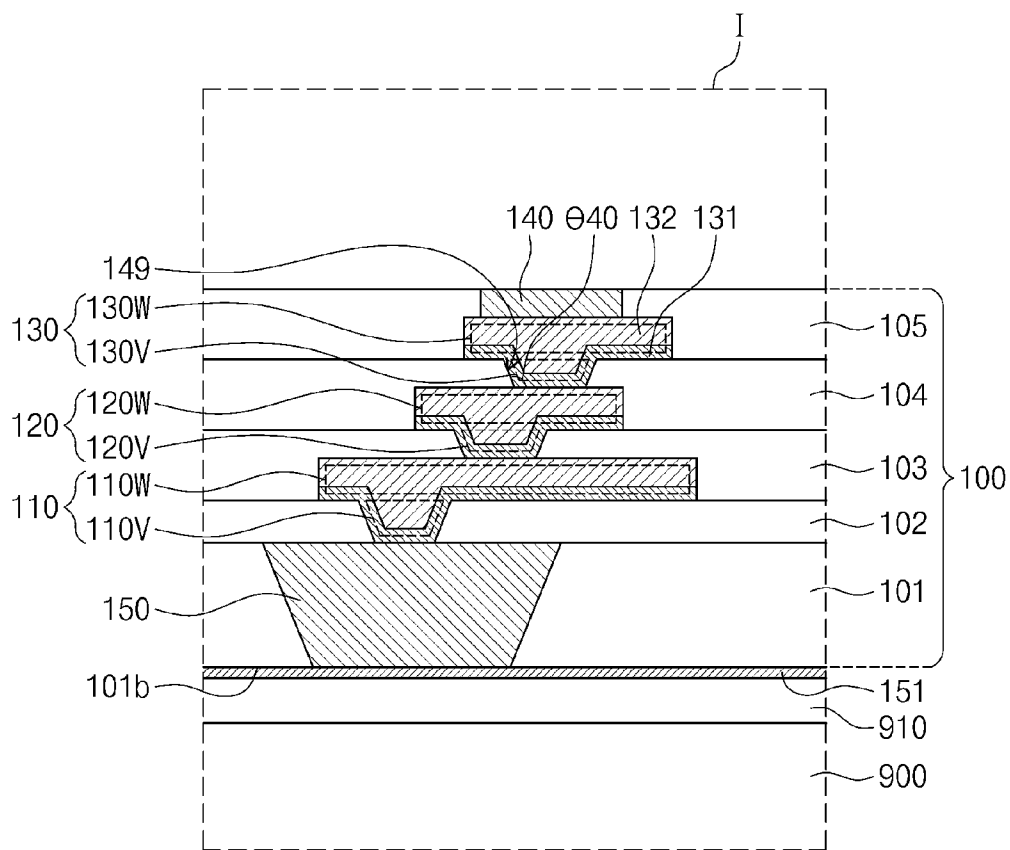
【圖1K】



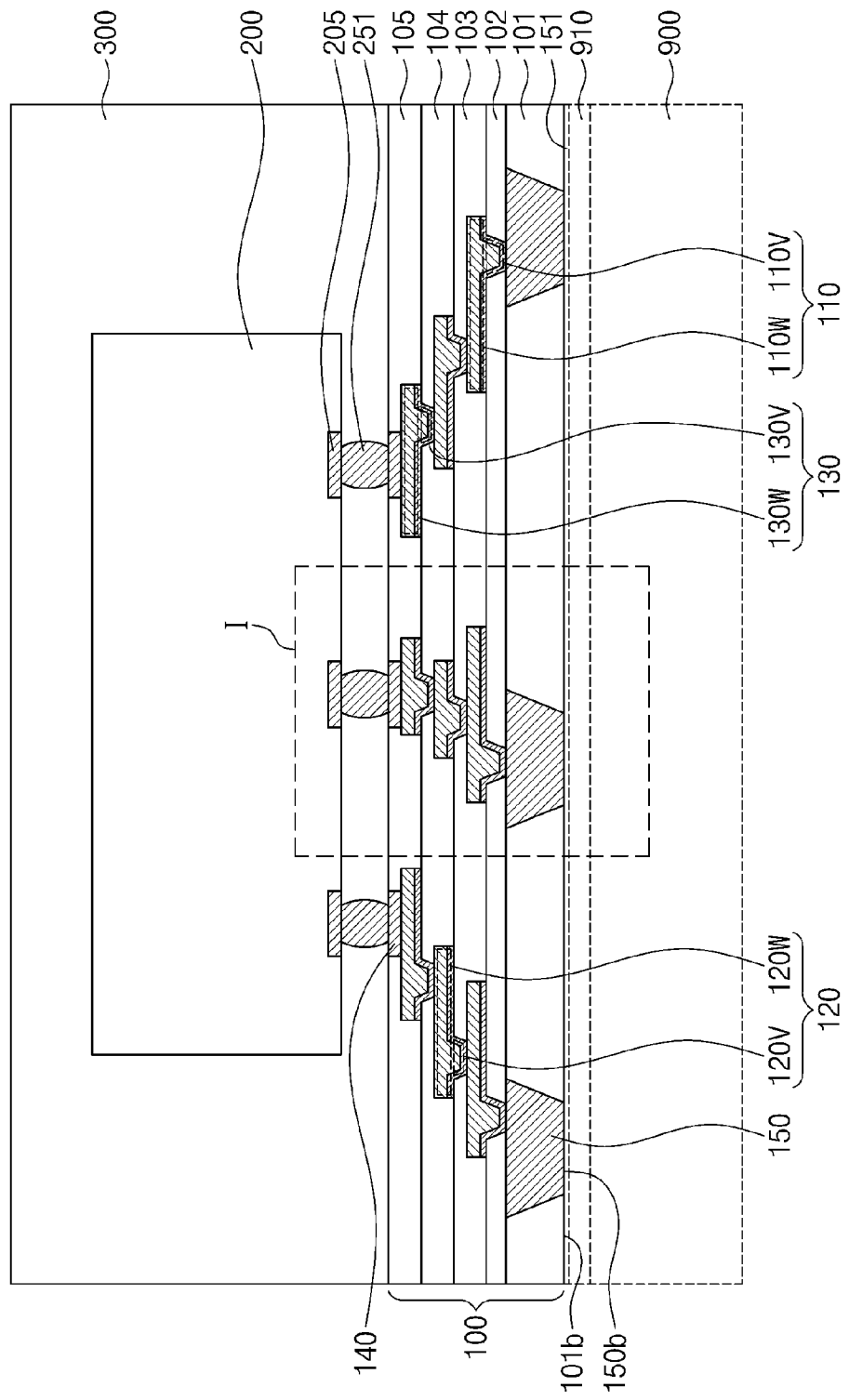
【圖1L】



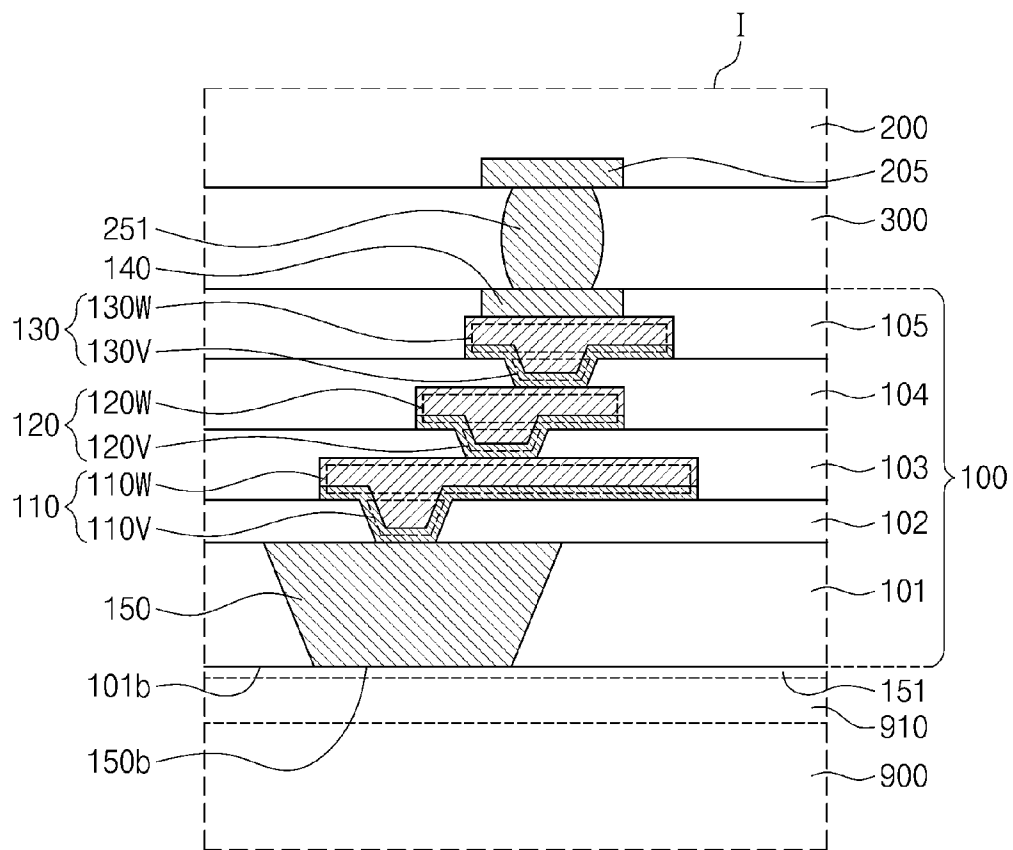
【圖1M】



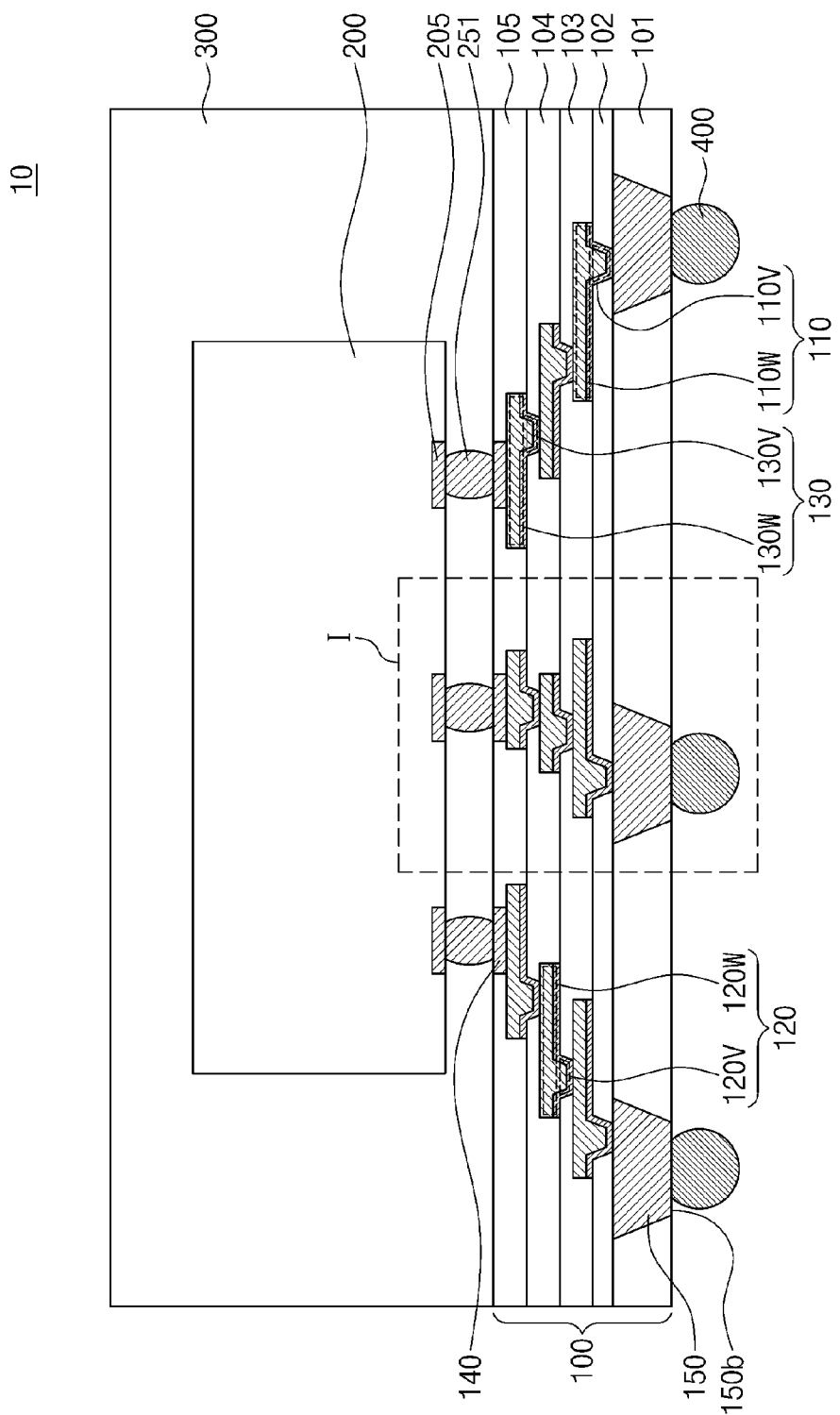
【圖1N】



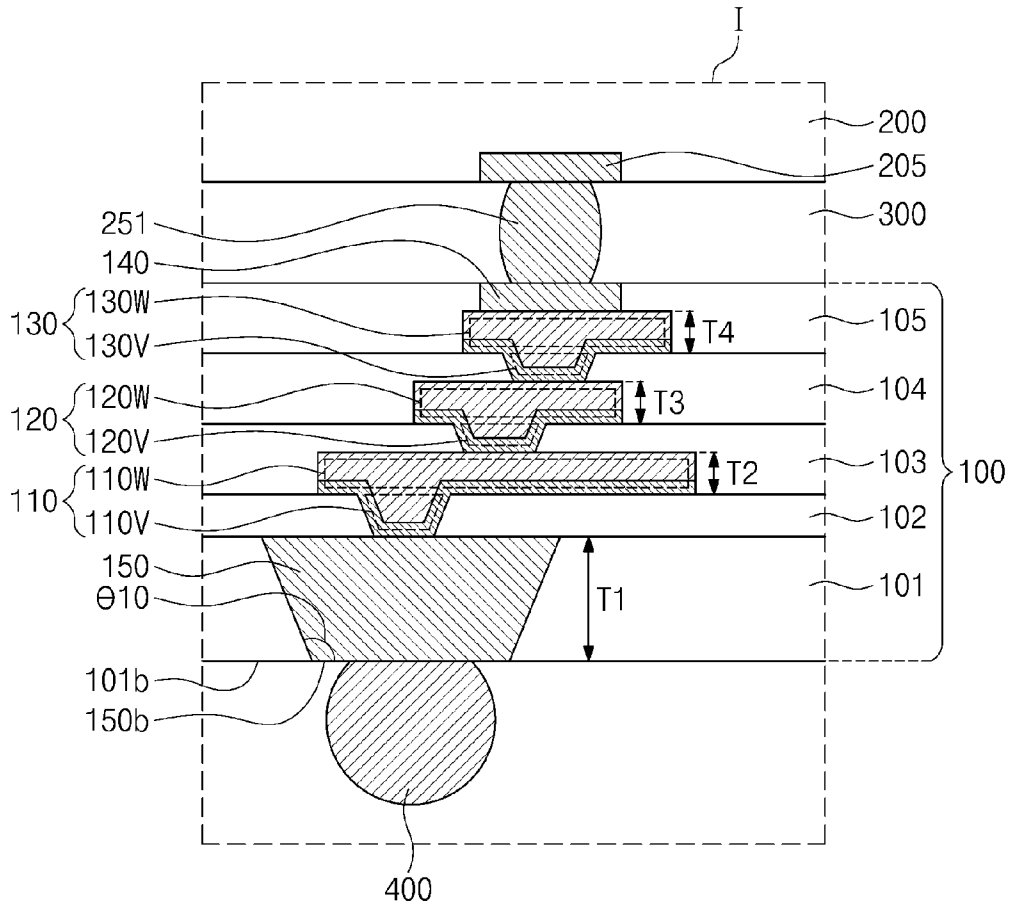
【圖10】



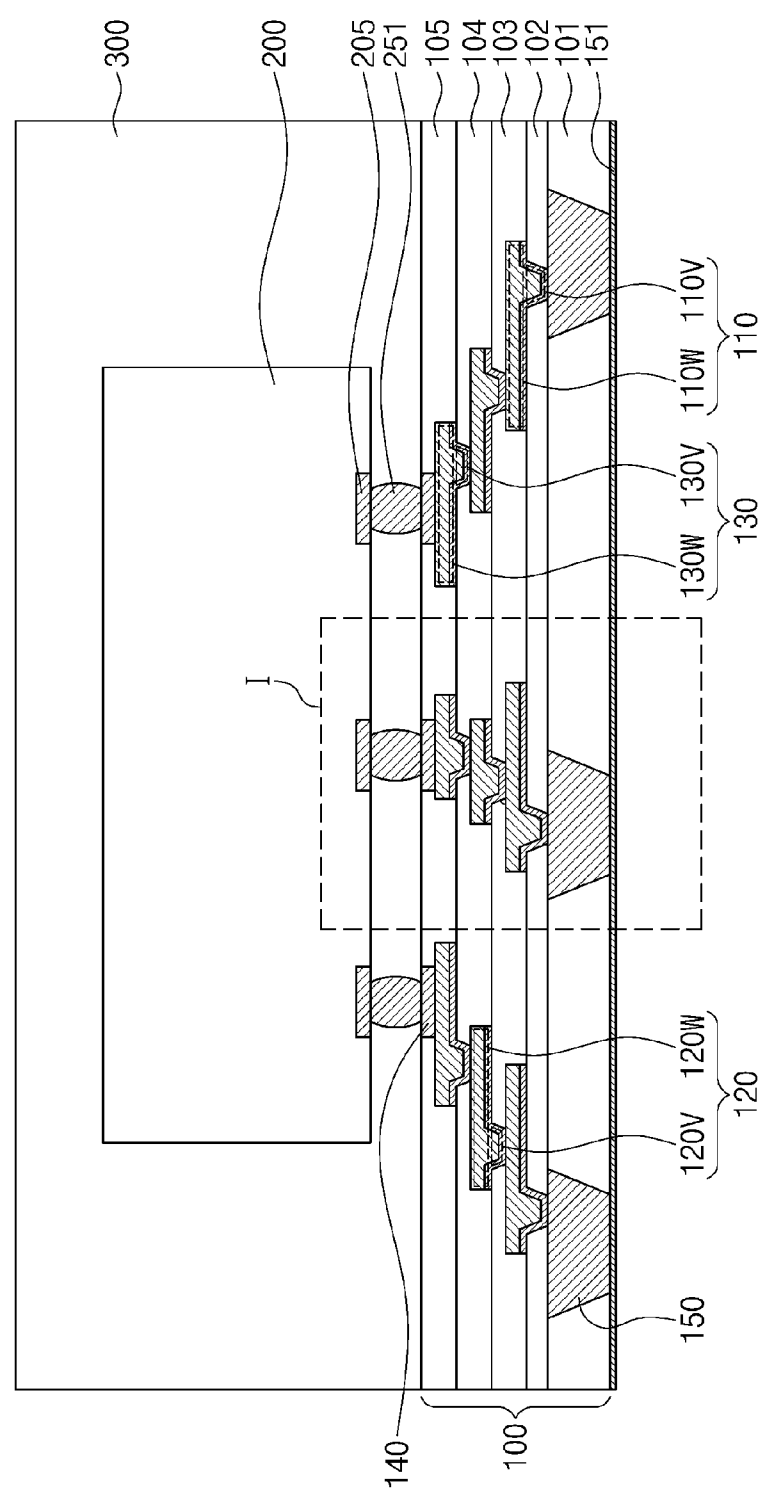
【圖1P】



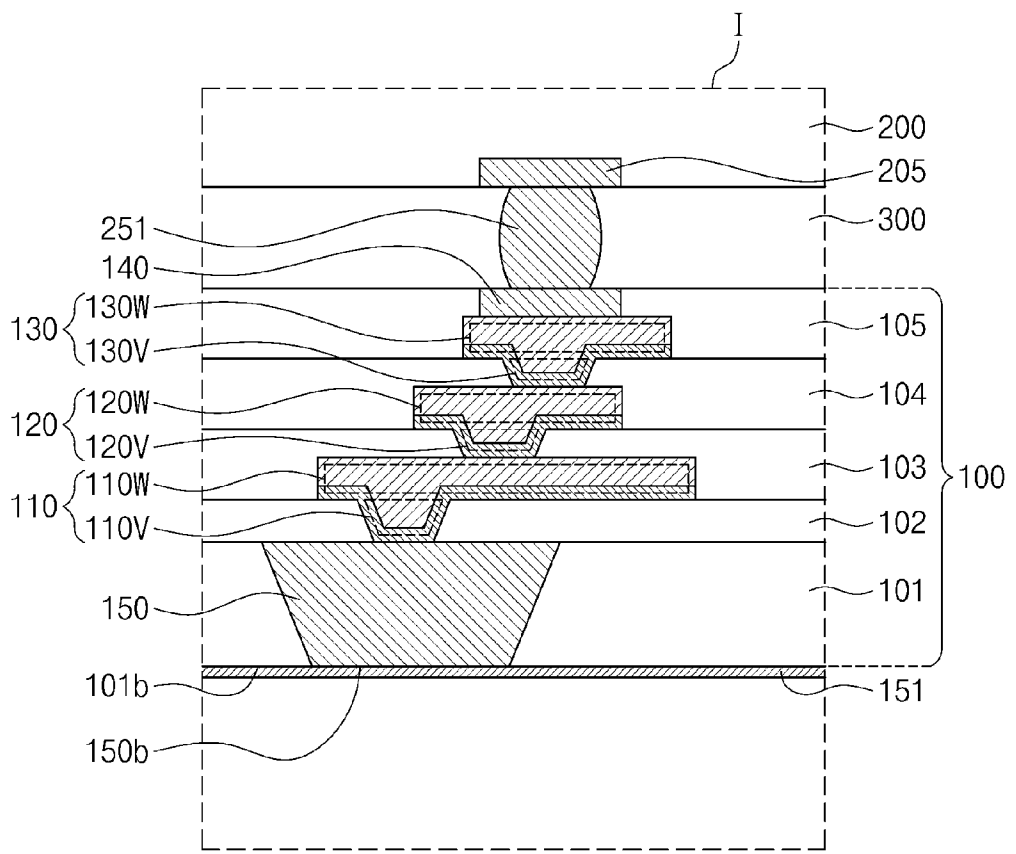
【圖1Q】



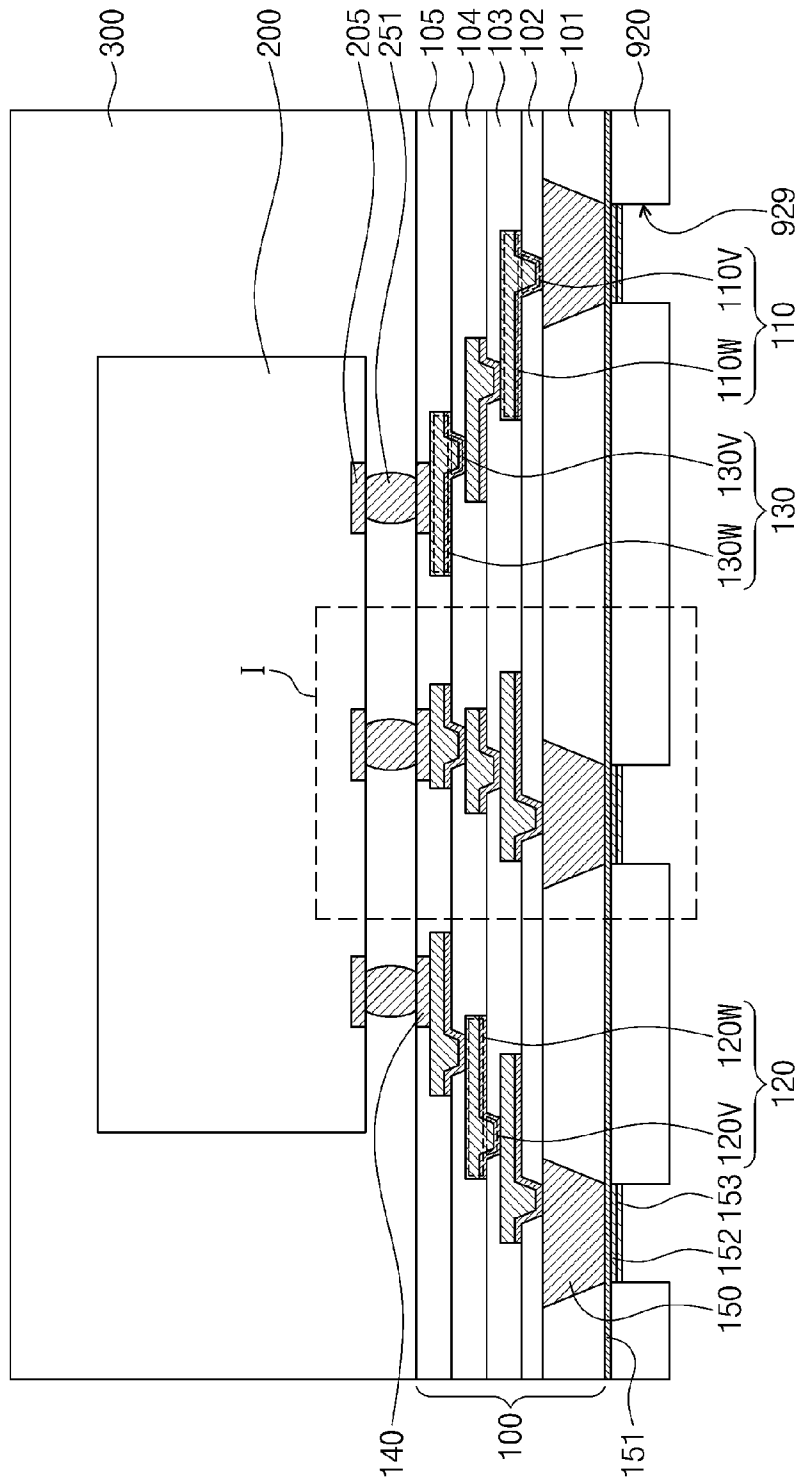
【圖1R】



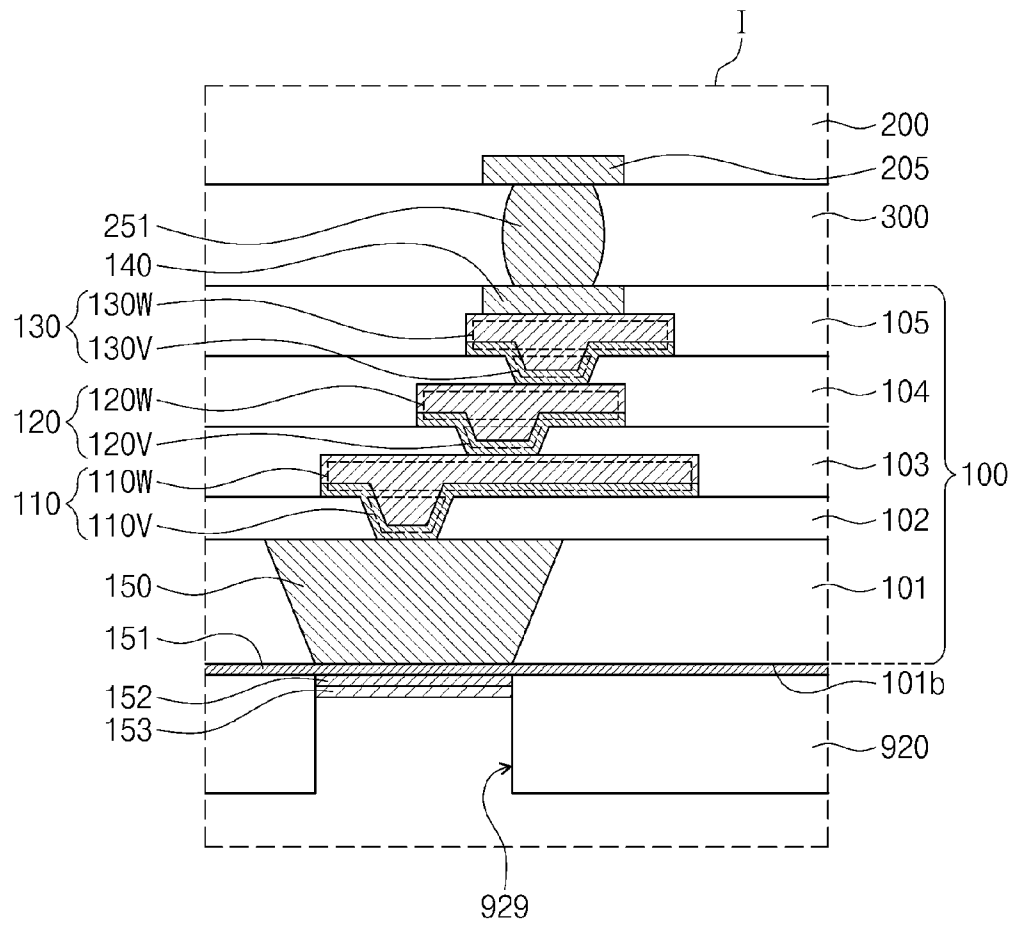
【圖2A】



【圖2B】

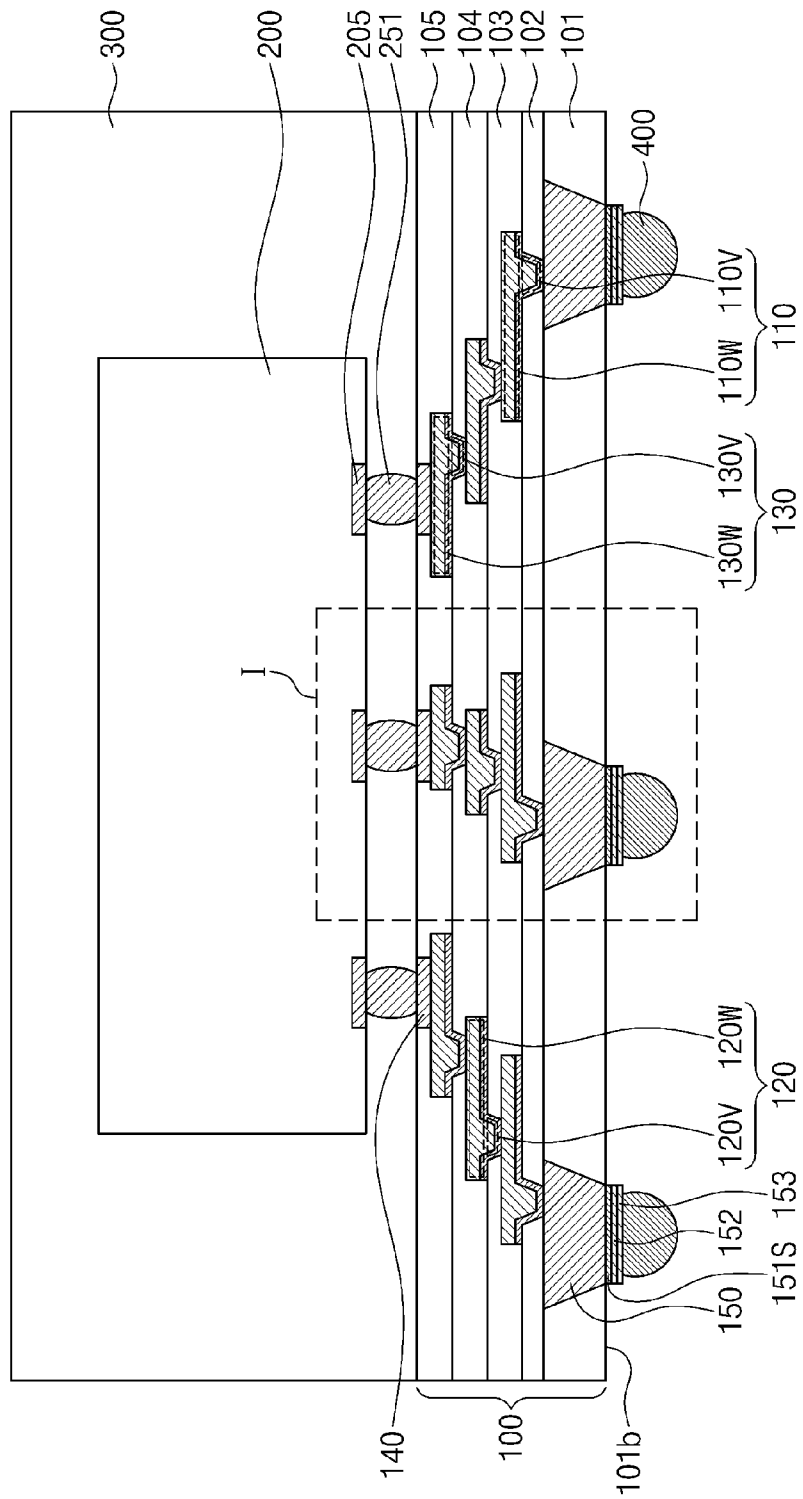


【圖2C】

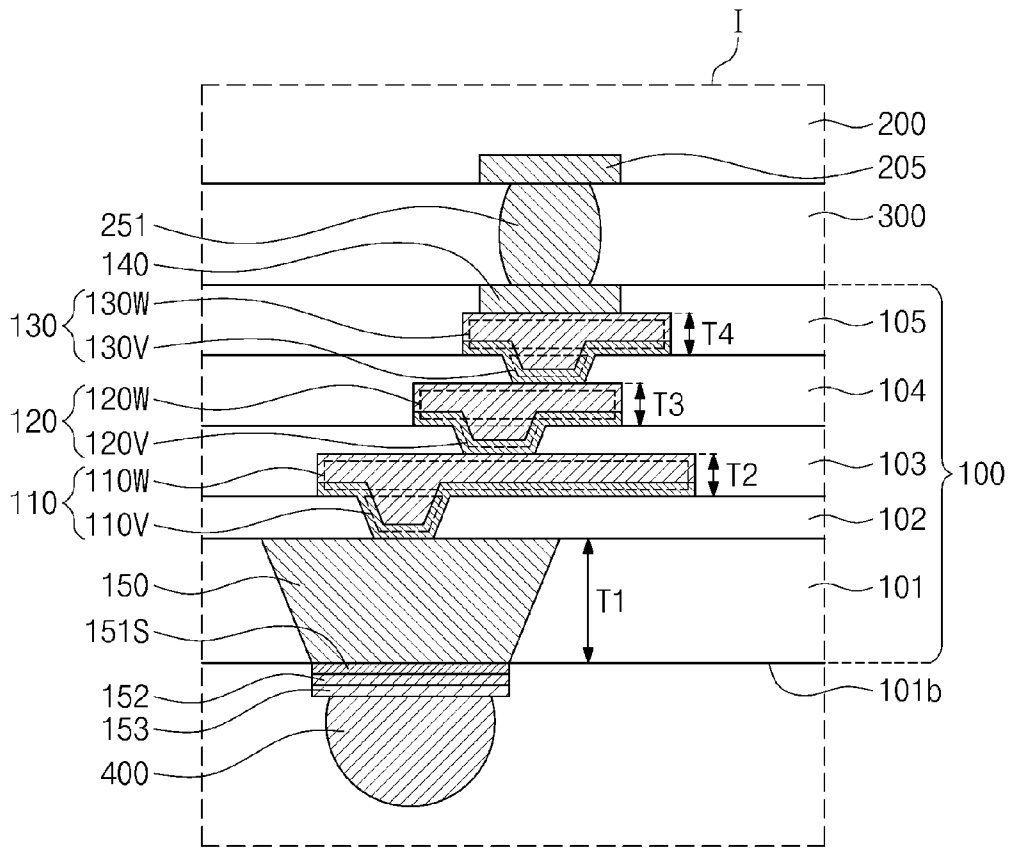


【圖2D】

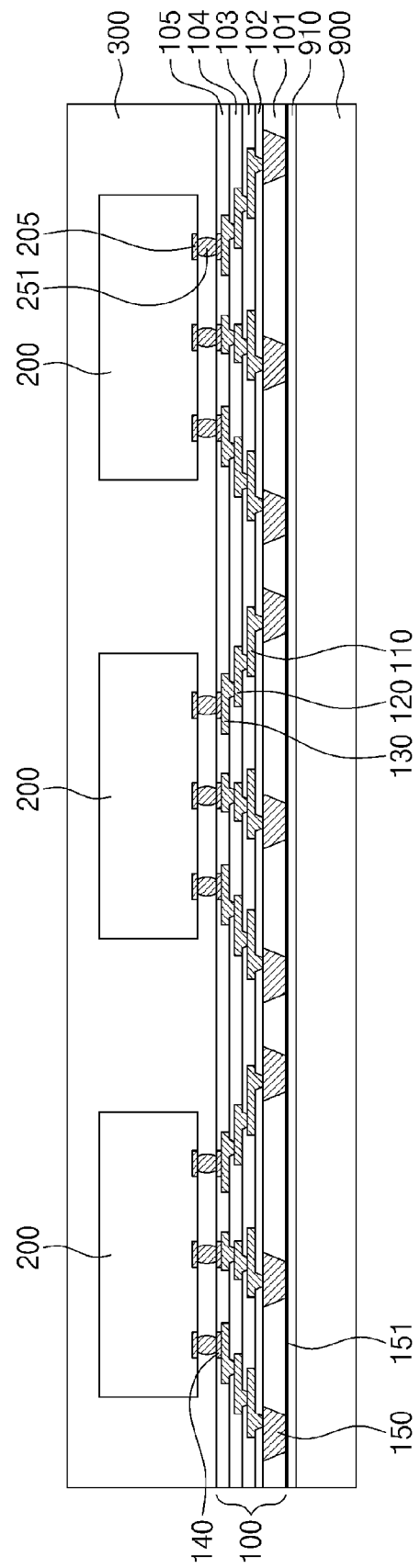
11



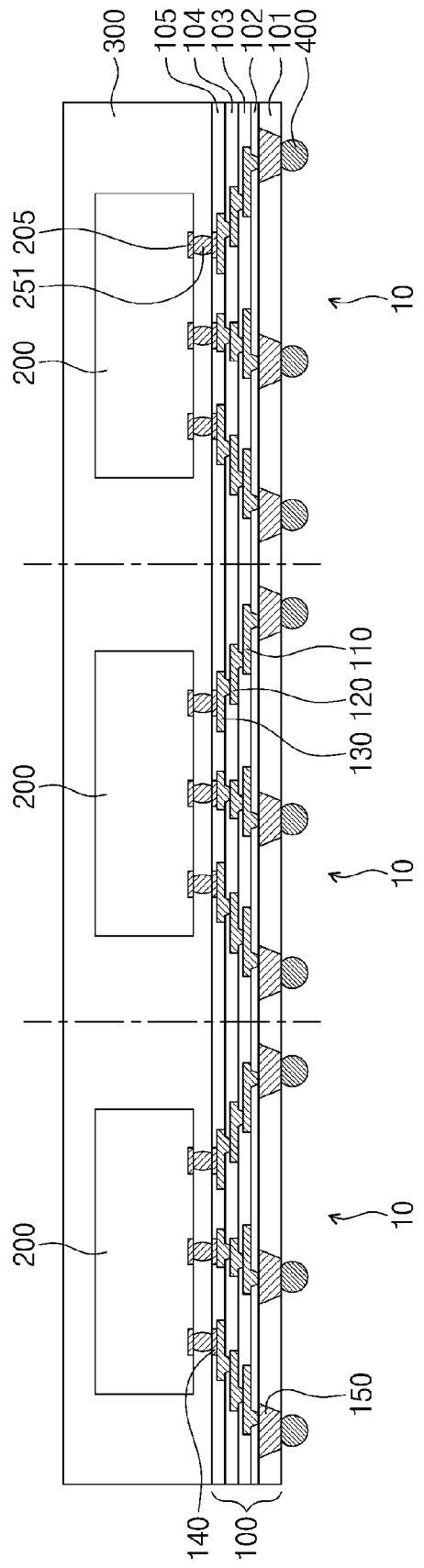
【圖2E】



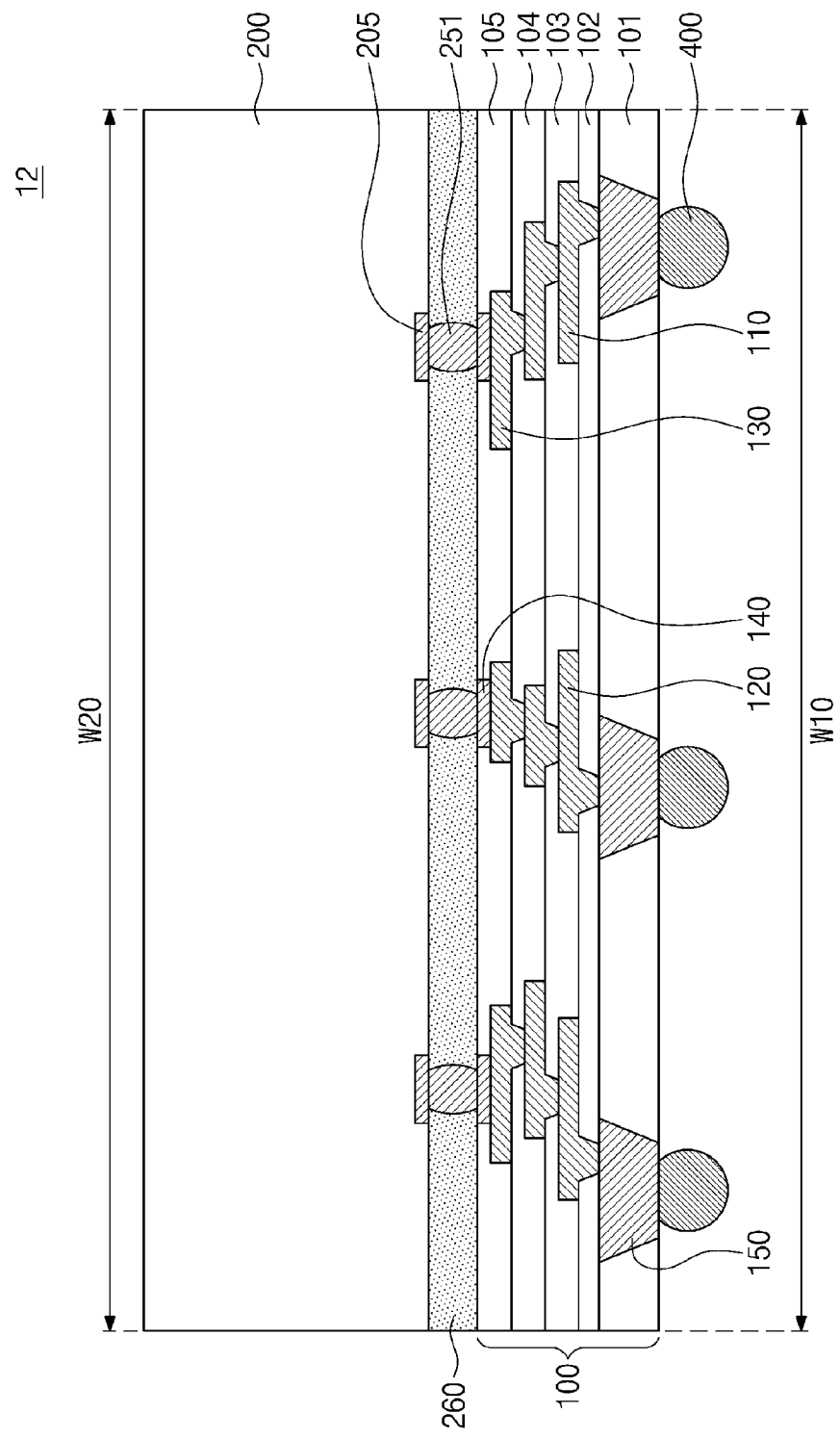
【圖2F】



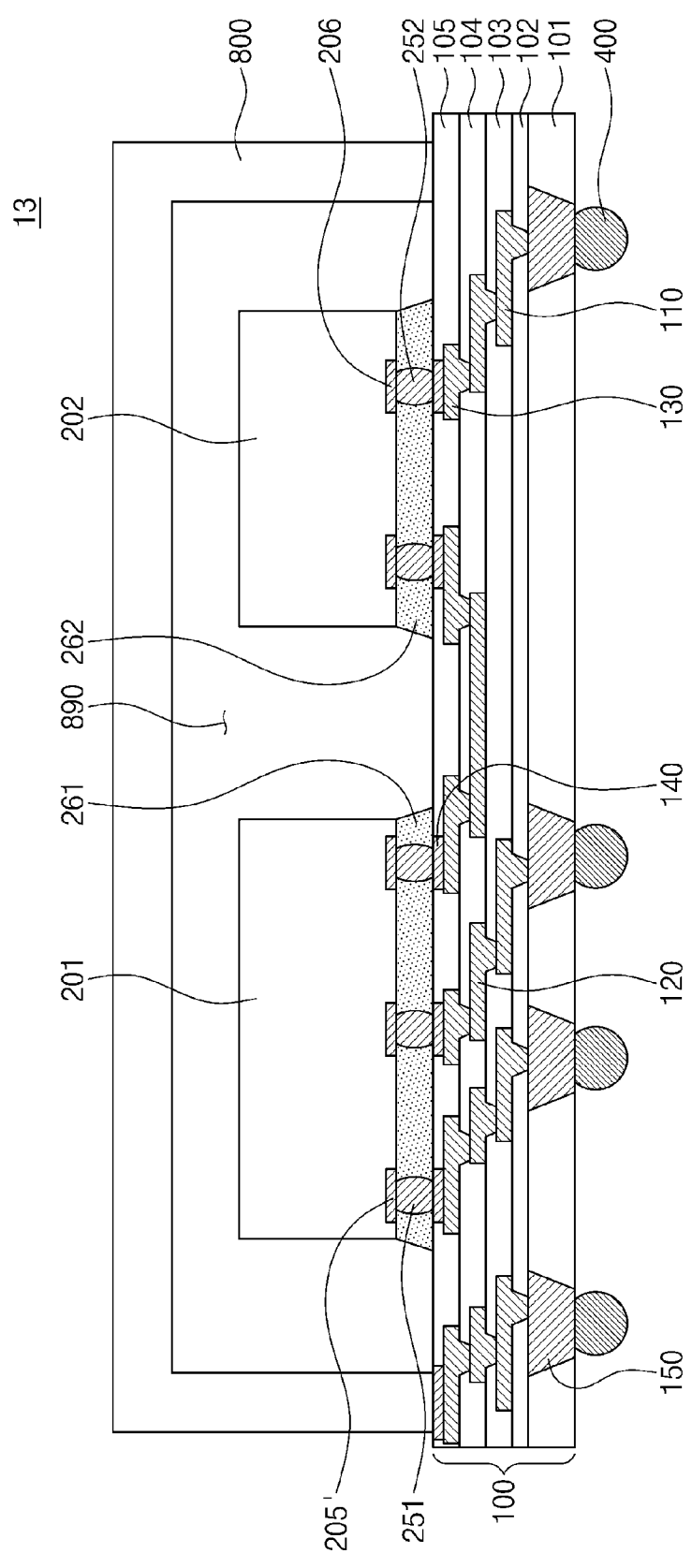
【圖3A】



【圖3B】

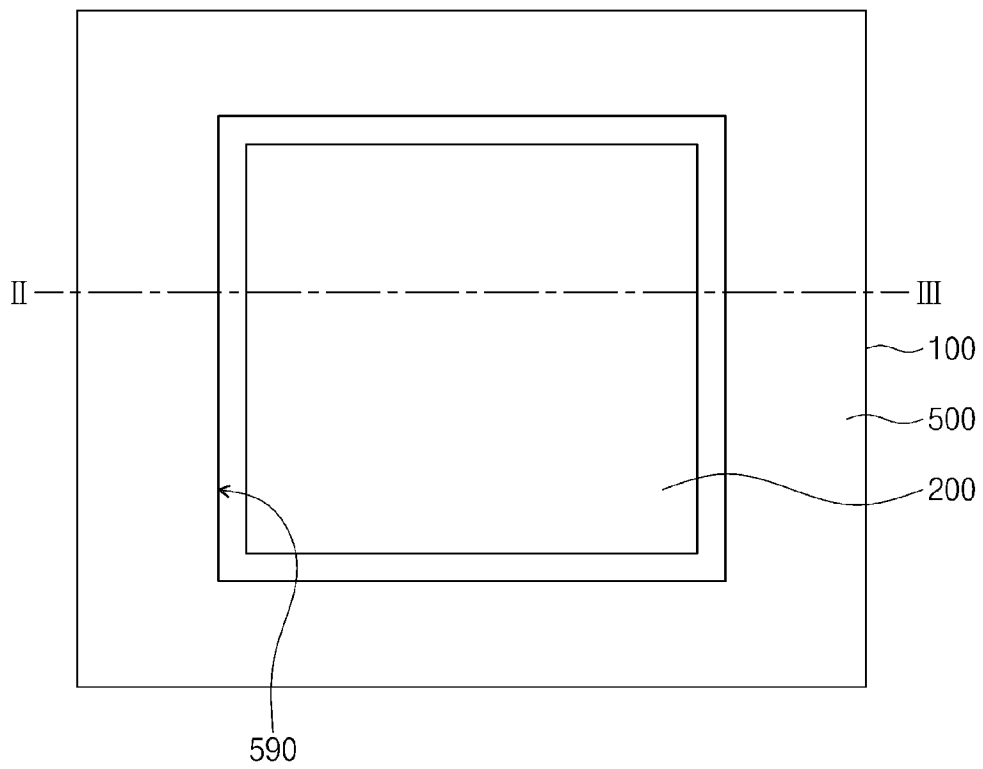


【圖4】

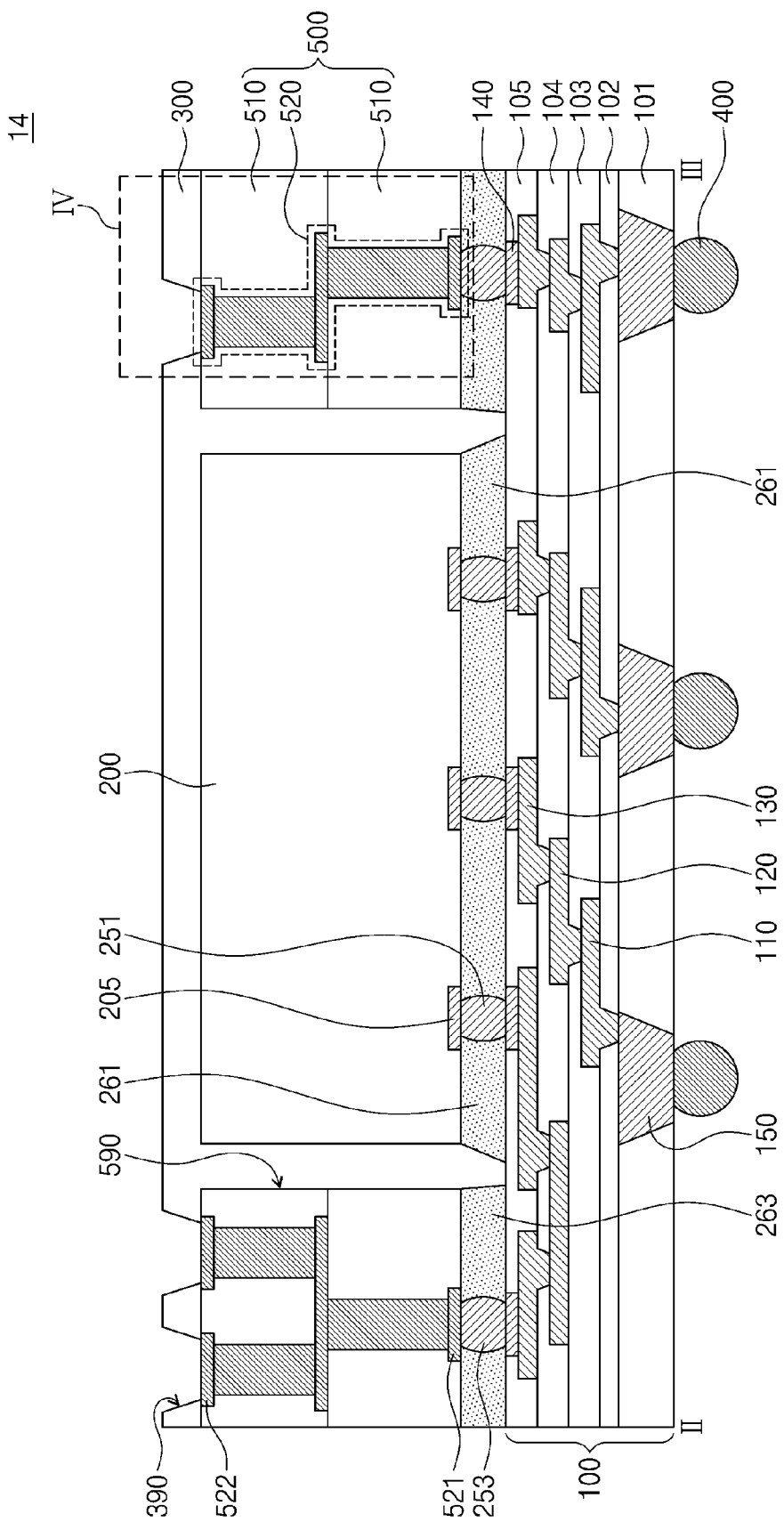


【圖5】

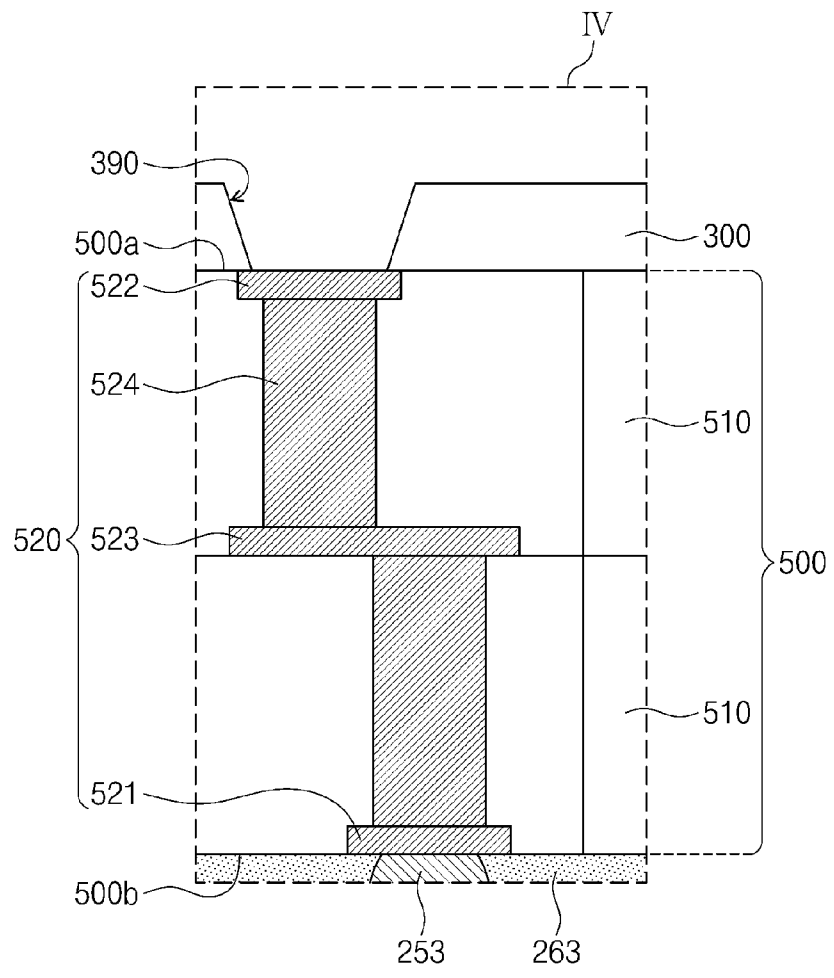
14



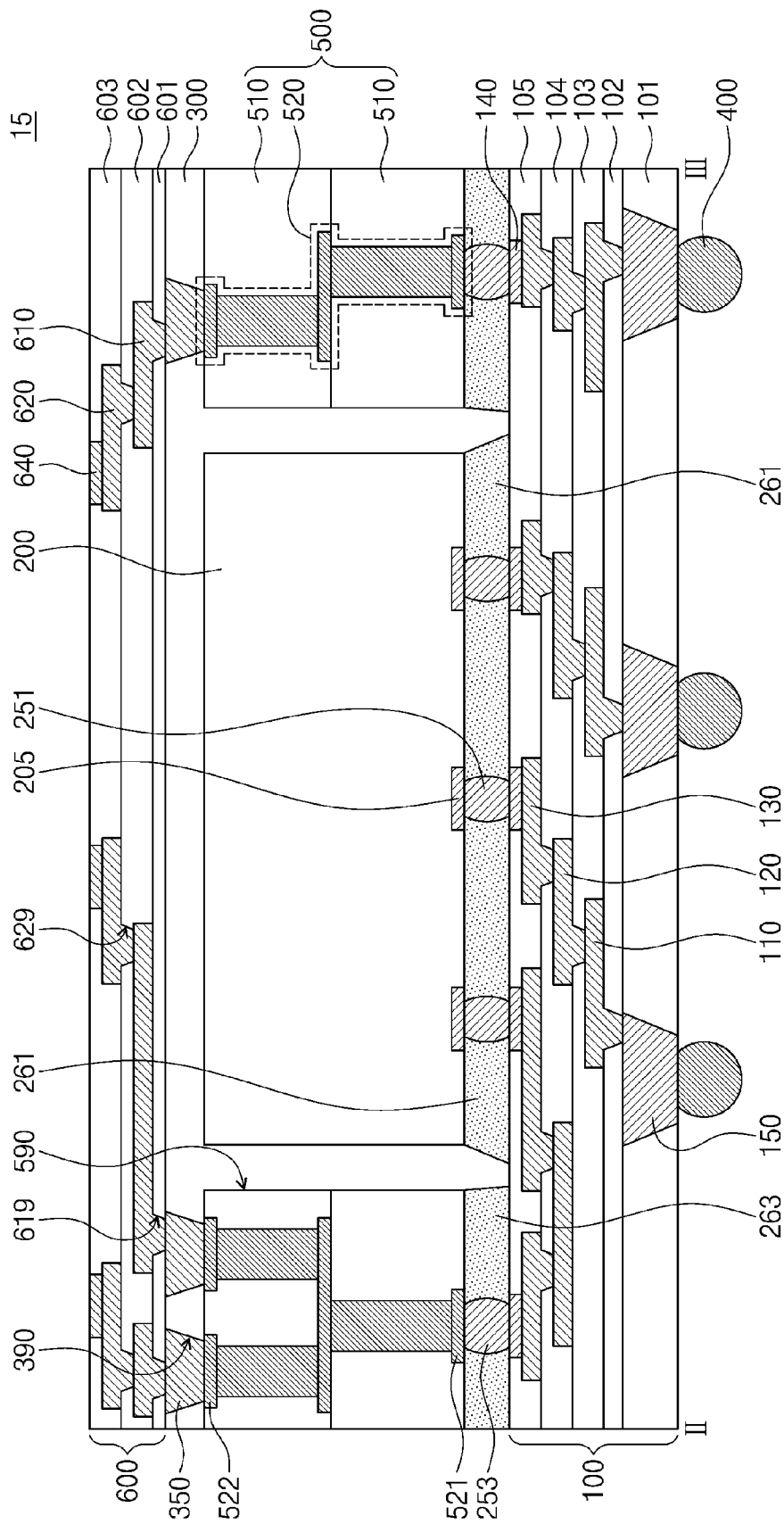
【圖6A】



【圖6B】

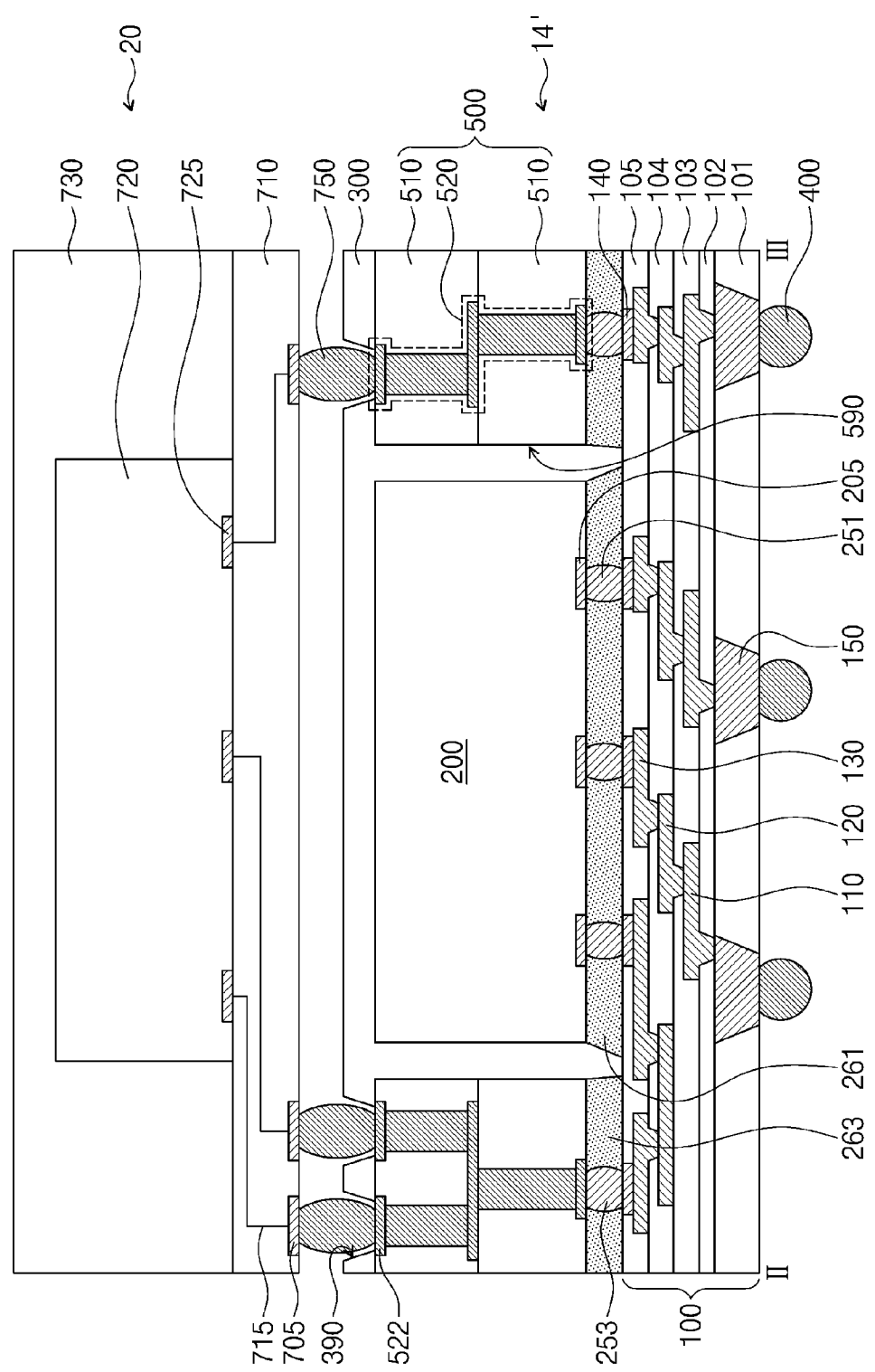


【圖6C】

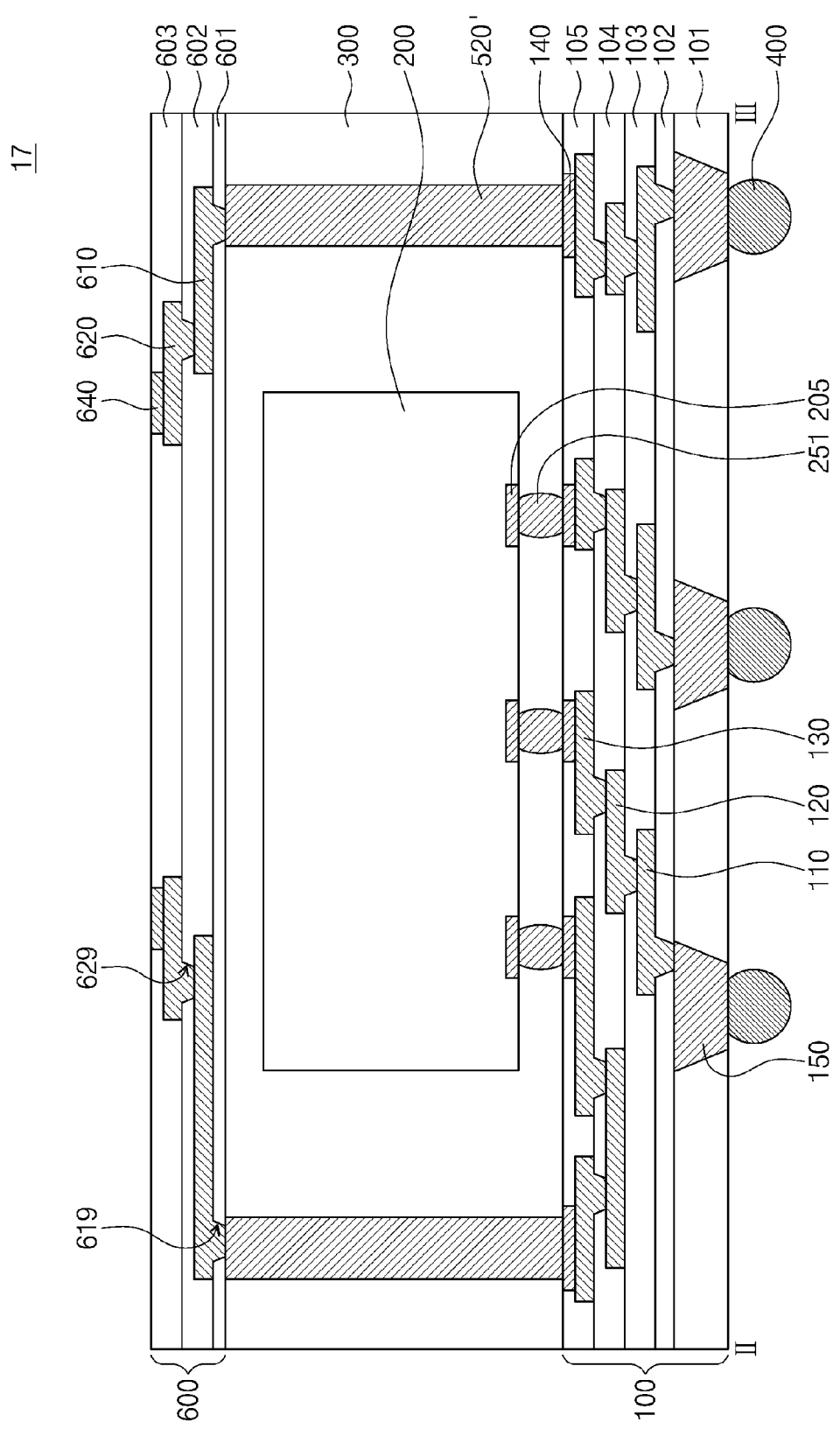


【圖6D】

16



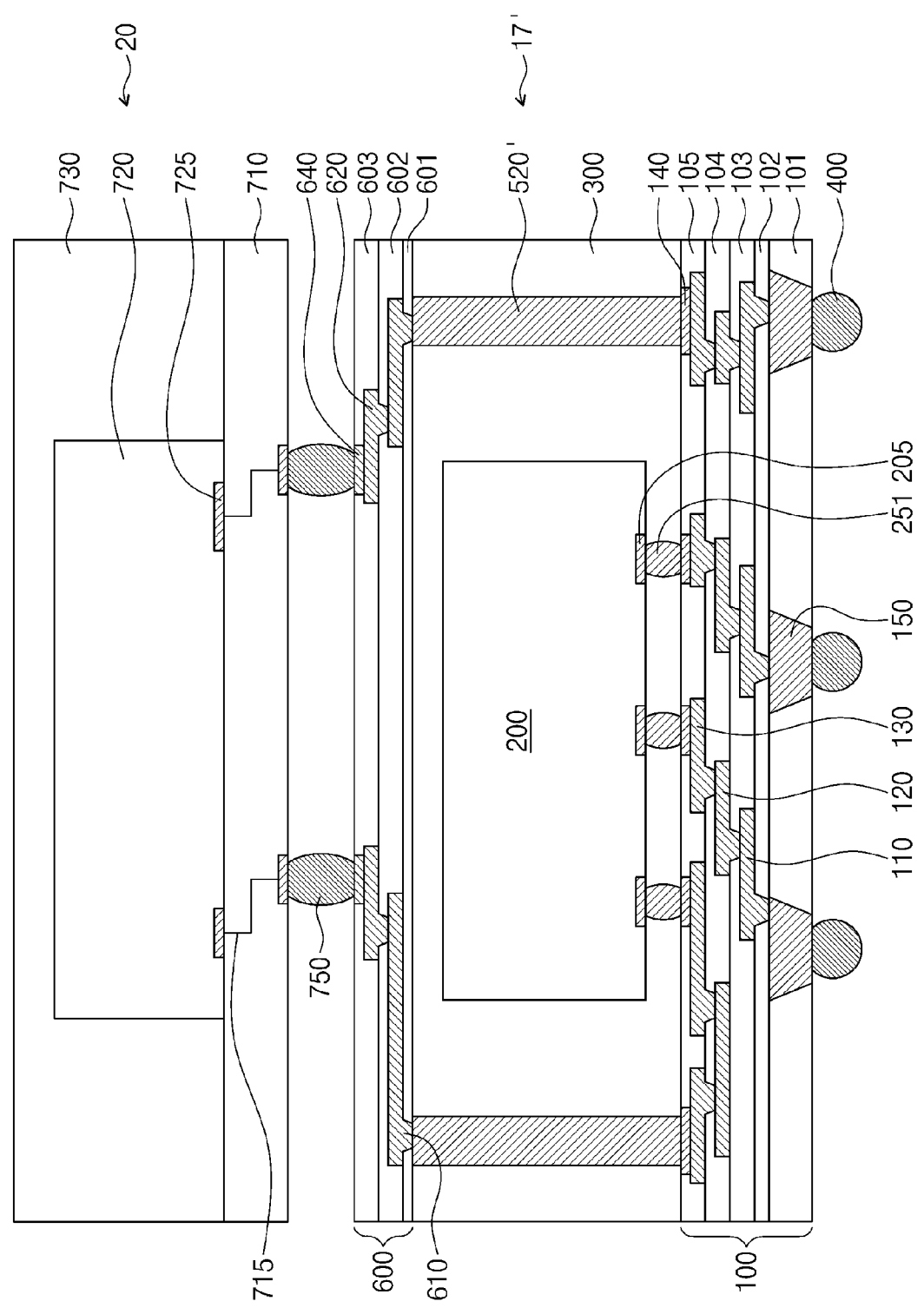
【圖6E】



【圖7A】

17

18



【圖7B】