

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 4 日 (04.06.2020)



(10) 国际公布号
WO 2020/107561 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01) **G02F 1/1343** (2006.01)

(21) 国际申请号: PCT/CN2018/122005

(22) 国际申请日: 2018 年 12 月 19 日 (19.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811421287.X 2018 年 11 月 26 日 (26.11.2018) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业

园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(72) 发明人: 黄北洲(HUANG, Beizhou); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳市世纪恒程知识产权代理事务所(CENFO INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市南山区粤海街道高新技术产业园北区松坪山路 3 号奥特讯电力大厦 201, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法和显示装置

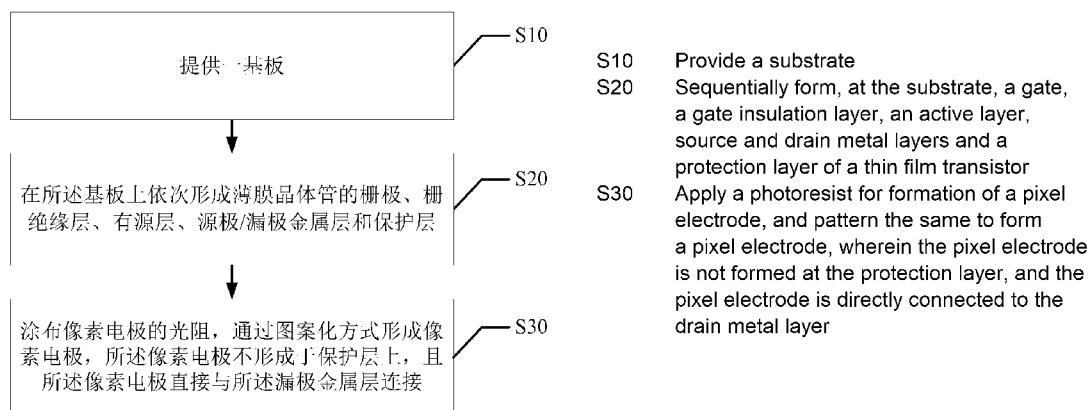


图 2

(57) Abstract: A manufacturing method of an array substrate (10) comprises: providing a substrate (1); sequentially forming, at the substrate (1), a gate (21), a gate insulation layer (22), an active layer (23), source and drain metal layers (24, 25) and a protection layer (26) of a thin film transistor (2); and applying a photoresist for formation of a pixel electrode, and patterning the same to form a pixel electrode (3), wherein the pixel electrode (3) is not formed at the protection layer (26), and the pixel electrode (3) is directly connected to the drain metal layer (25).

(57) 摘要: 一种阵列基板 (10) 制作方法, 包括: 提供基板 (1); 在所述基板 (1) 上依次形成薄膜晶体管 (2) 的栅极 (21)、栅绝缘层 (22)、有源层 (23)、源极/漏极金属层 (24, 25) 和保护层 (26); 以及涂布像素电极的光阻, 通过图案化方式形成像素电极 (3), 所述像素电极 (3) 不形成于保护层 (26) 上, 且所述像素电极 (3) 直接与所述漏极金属层 (25) 连接。

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板及其制作方法和显示装置

[1] 技术领域

[2] 本申请涉及液晶显示技术领域，尤其涉及阵列基板及其制作方法和显示装置。

[3] 背景技术

[4] 随着科技水平的不断提高，越来越多带有显示装置的设备进入人们的日常生活和工作当中，例如，电视、手机等。在显示技术领域，传统的TFT-LCD（Thin Film Transistor-Liquid Crystal Display，薄膜晶体管液晶显示器）面板TFT（阵列基板）侧的制程存在一定的缺点，如第四层的保护层需要挖接触孔，来连通在它上面的ITO（Indium tin oxide，氧化铟锡）像素电极，但是ITO像素电极与保护层的兼容性不好，造成画面异常。

[5] 目前，液晶显示装置的阵列基板侧将ITO像素电极制作在保护层上，通过在保护层上挖接触孔的方式连接ITO像素电极和漏极的方式会导致画面异常，影响显示装置的显示效果。

[6] 发明内容

[7] 本申请的主要目的在于提供一种阵列基板及其制作方法和显示装置，旨在解决目前液晶显示装置的阵列基板侧将ITO像素电极制作在保护层上，通过在保护层上挖接触孔的方式连接ITO像素电极和漏极的方式会导致画面异常，影响显示装置的显示效果的问题。

[8] 为实现上述目的，本申请一方面提供一种阵列基板制作方法，所述阵列基板制作方法包括以下步骤：

[9] 提供一基板；

[10] 在所述基板上依次形成薄膜晶体管的栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；

[11] 涂布像素电极的光阻，通过图案化方式形成像素电极，所述像素电极不形成于保护层上，且所述像素电极直接与所述漏极金属层连接。

[12] 可选地，所述方法，还包括：

- [13] 在所述基板上沉积一第一金属层；
- [14] 进行第一光罩曝光和腐蚀制造工艺来限定所述第一金属层的图案，以在第一金属层中形成一栅极；
- [15] 在所述基板上沉积一绝缘层，使其覆盖所述第一金属层表面；
- [16] 依序沉积一半导体层、一掺杂硅层以及一第二金属层，进行第二光罩和腐蚀工艺来限定所述半导体层、所述掺杂硅层以及所述第二金属层的图案，用以形成一薄膜晶体管岛状结构；
- [17] 进行一第三光罩和腐蚀制造工艺以在所述第二金属层以及所述掺杂硅层中形成一源极/漏极金属层，并完成所述薄膜晶体管的制作；
- [18] 在所述基板上形成一保护层，且覆盖薄膜晶体管的表面。
- [19] 可选地，所述涂布像素电极的光阻，通过曝光、显影的方式形成像素电极的步骤包括：
- [20] 进行一第四光罩和腐蚀制造工艺，限定所述像素电极的图案，使得所述像素电极形成于栅绝缘层上，而不形成于保护层之上。
- [21] 可选地，所述像素电极为氧化铟锡构成。
- [22] 可选地，所述方法，还包括：
- [23] 通过曝光工艺在所述基板上形成公共线；以及
- [24] 通过曝光工艺形成连接至所述公共线的公共电极，所述公共电极在所述像素区域中与所述像素电极交替。
- [25] 此外，为实现上述目的，本申请另一方面还提供一种阵列基板，所述阵列基板包括：
- [26] 基板，
- [27] 薄膜晶体管，形成于所述基板上，所述薄膜晶体管包括：栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；
- [28] 像素电极，形成于所述栅极绝缘层上，不形成于所述保护层上，直接与所述漏极金属层连接。
- [29] 可选地，所述阵列基板包括多条扫描线以及与所述扫描线垂直的数据线位于所述基板上，以界定出多个阵列式像素区域。

- [30] 此外，为实现上述目的，本申请另一方面还提供一种显示装置，所述显示装置包括：存储器、处理器及存储在所述存储器上并可在所述处理器上运行的计算机程序，所述计算机程序被所述处理器执行时实现如上所述的方法的步骤。
- [31] 可选地，所述显示装置，还包括：
- [32] 阵列基板；
- [33] 对向基板，与所述阵列基板对向设置；
- [34] 液晶层，填充于所述对向基板和所述阵列基板之间；其中，所述阵列基板包括：基板，
- [35] 薄膜晶体管，形成于所述基板上，所述薄膜晶体管包括：栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；
- [36] 像素电极，形成于所述栅极绝缘层上，不形成于所述保护层上，直接与所述漏极金属层连接。
- [37] 可选地，所述阵列基板包括多条扫描线以及与所述扫描线垂直的数据线位于所述基板上，以界定出多个阵列式像素区域。
- [38] 此外，为实现上述目的，本申请再一方面还提供一种存储介质，所述存储介质上存储有阵列基板制作程序，所述阵列基板制作程序被处理器执行时实现如上所述的阵列基板制作方法。
- [39] 本申请通过在完成保护层的制作之后，不进行干法蚀刻在保护层上产生接触孔，而是直接涂布ITO像素电极层，ITO像素电极不形成于保护层上，直接与漏极金属层接触，减少了一道制作工艺，节省了制作流程，且ITO像素电极层不会与保护层接触，避免了保护层与ITO像素电极的不兼容问题，提高了显示装置的稳定性，提高了显示画面的稳定性和显示效果
- [40] 附图说明
- [41] 图1为本申请一实施例方案涉及的硬件运行环境的显示装置的结构示意图；
- [42] 图2为本申请阵列基板制作方法的一实施例的流程示意图；
- [43] 图3为本申请一实施例中形成TFT薄膜晶体管的流程示意图；
- [44] 图4为本申请一实施例中形成ITO像素电极的流程示意图；
- [45] 图5为本申请一实施例中阵列基板的架构示意图；

- [46] 图6为本申请一实施例中显示装置的架构示意图。
- [47] 本申请目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。
- [48] 具体实施方式
- [49] 应当理解，此处所描述的具体实施例仅仅用以解释本申请，并限定本申请。
- [50] 本申请实施例的主要解决方案是：提供一基板；在所述基板上依次形成薄膜晶体管的栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；在形成保护层后，涂布像素电极的光阻，通过曝光、显影的方式形成像素电极，所述像素电极不形成于保护层上，且所述像素电极直接与所述漏极金属层连接。
- [51] 由于目前液晶显示装置的阵列基板侧将ITO像素电极制作在保护层上，通过在保护层上挖接触孔的方式连接ITO像素电极和漏极的方式会导致画面异常，影响显示装置的显示效果的问题。本申请提供一种解决方案，通过在完成保护层的制作之后，不进行干法蚀刻在保护层上产生接触孔，而是直接涂布ITO像素电极层，ITO像素电极不形成于保护层上，直接与漏极金属层接触，减少了一道制作工艺，节省了制作流程，且ITO像素电极层不会与保护层接触，避免了保护层与ITO像素电极的不兼容问题，提高了显示装置的稳定性，提高了显示画面的稳定性和显示效果。
- [52] 如图1所示，图1是本申请实施例方案涉及的硬件运行环境的显示装置结构示意图。
- [53] 如图1所示，该显示装置可以包括：处理器1001，例如CPU，网络接口1004，用户接口1003，存储器1005，通信总线1002。其中，通信总线1002设置为实现这些组件之间的连接通信。用户接口1003可以包括显示屏（Display）、输入单元比如键盘（Keyboard），可选用户接口1003还可以包括标准的有线接口、无线接口。网络接口1004可选的可以包括标准的有线接口、无线接口（如WI-FI接口）。存储器1005可以是SRAM存储器，也可以是稳定的存储器（non-volatile memory），例如磁盘存储器。存储器1005可选的还可以是独立于前述处理器1001的存储装置。
- [54] 可选地，显示装置还可以包括摄像头、RF（Radio Frequency，射频）电路，传感器、音频电路、WiFi模块等等。

- [55] 本领域技术人员可以理解，图1中示出的终端结构并不构成对显示装置的限定，可以包括比图示更多或更少的部件，或者组合某些部件，或者不同的部件布置。
- [56] 如图1所示，作为一种存储介质的存储器1005中可以包括操作系统、网络通信模块、用户接口模块以及阵列基板制作应用程序。
- [57] 在图1所示的显示装置中，网络接口1004主要设置为连接后台服务器，与后台服务器进行数据通信；用户接口1003主要设置为连接客户端（用户端），与客户端进行数据通信；而处理器1001可以设置为调用存储器1005中存储的阵列基板制作应用程序，并执行以下操作：
- [58] 提供一基板；
- [59] 在所述基板上依次形成薄膜晶体管的栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；
- [60] 涂布像素电极的光阻，通过图案化方式形成像素电极，所述像素电极不形成于保护层上，且所述像素电极直接与所述漏极金属层连接。
- [61] 可选地，处理器1001可以设置为调用存储器1005中存储的阵列基板制作应用程序，并执行以下操作：
- [62] 在所述基板上沉积一第一金属层；
- [63] 进行第一光罩曝光和腐蚀制造工艺来限定所述第一金属层的图案，以在第一金属层中形成一栅极；
- [64] 在所述基板上沉积一绝缘层，使其覆盖所述第一金属层表面；
- [65] 依序沉积一半导体层、一掺杂硅层以及一第二金属层，进行第二光罩和腐蚀工艺来限定所述半导体层、所述掺杂硅层以及所述第二金属层的图案，用以形成一薄膜晶体管岛状结构；
- [66] 进行一第三光罩和腐蚀制造工艺以在所述第二金属层以及所述掺杂硅层中形成一源极/漏极金属层，并完成所述薄膜晶体管的制作；
- [67] 在所述基板上形成一保护层，且覆盖薄膜晶体管的表面。
- [68] 可选地，处理器1001可以设置为调用存储器1005中存储的阵列基板制作应用程序，并执行以下操作：

- [69] 进行一第四光罩和腐蚀制造工艺，限定所述像素电极的图案，使得所述像素电极形成于栅绝缘层上，而不形成于保护层之上。
- [70] 可选地，处理器1001可以设置为调用存储器1005中存储的阵列基板制作应用程序，并执行以下操作：所述像素电极氧化锡构成。
- [71] 可选地，处理器1001可以设置为调用存储器1005中存储的阵列基板制作应用程序，并执行以下操作：
- [72] 通过曝光工艺在所述基板上形成公共线；以及
- [73] 通过曝光工艺形成连接至所述公共线的公共电极，所述公共电极在所述像素区域中与所述像素电极交替。
- [74] 参照图2，本申请的一实施例提供一种阵列基板制作方法，所述阵列基板制作方法包括：
- [75] 步骤S10，提供一基板；
- [76] 在本实施例中，提供一基板，所述基板为阵列基板，所述基板的选材为玻璃也还可以是其他可以适用显示作用的其他材料，例如，硅基板。
- [77] 步骤S20，在所述基板上依次形成薄膜晶体管的栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；
- [78] 在所述基板上依次形成TFT薄膜晶体管的栅极、栅绝缘层、有源层、源极/漏极金属层、钝化层，参考图3，所述形成TFT的过程包括：
- [79] 步骤S21，在所述基板上沉积一第一金属层；
- [80] 步骤S22，进行第一光罩曝光和腐蚀制造工艺来限定所述第一金属层的图案，以在第一金属层中形成一栅极；
- [81] 步骤S23，在所述基板上沉积一绝缘层，使其覆盖所述第一金属层表面；
- [82] 步骤S24，依序沉积一半导体层、一掺杂硅层以及一第二金属层，进行第二光罩和腐蚀工艺来限定所述半导体层、所述掺杂硅层以及所述第二金属层的图案，用以形成一薄膜晶体管岛状结构；
- [83] 步骤S25，进行一第三光罩和腐蚀制造工艺以在所述第二金属层以及所述掺杂硅层中形成一源极/漏极金属层，并完成所述薄膜晶体管的制作；
- [84] 步骤S26，在所述基板上形成一保护层，且覆盖薄膜晶体管的表面。

- [85] TFT的制作过程为：
- [86] A. Metal 1 Process, 第一金属层制作过程；
- [87] Metal 1镀膜，光阻涂布/曝光/显影，M1湿蚀刻，去光阻；
- [88] B. GIN process, 绝缘层制作过程；
- [89] CVD（化学气相沉淀）法GIN层镀膜，光阻涂布/曝光/显影，GIN层蚀刻，去光阻；
- [90] C. Metal 2 Process, 第二金属层制作过程；
- [91] Metal 2镀膜，光阻涂布/曝光/显影，M2湿蚀刻，N+蚀刻，去光阻；
- [92] D. Passivation Process（钝化过程），保护层制作过程；
- [93] CVD passivation镀膜，光阻涂布/曝光/显影，passivation蚀刻，去光阻。
- [94] 而这里在形成保护层之后，不进行干法蚀刻，不在保护层上挖接触孔，至完成蚀刻，形成保护层图案。
- [95] 首先在基板的表面全面沉积第一金属层，接着进行第一光罩腐蚀制造工艺，在基板上形成一栅极与一扫描线，且栅极与扫描线是相连接的，完成第一光罩腐蚀制造工艺之后，接着在基板上全面沉积一绝缘层、一半导体层、一掺杂硅层和第二金属层。半导体层选择多晶硅或是非晶硅材料，根据制造工艺和显示需求等条件设定。接下来，进行第二光罩腐蚀制造工艺，限定半导体层、掺杂硅层以及所述第二金属层图案，用以形成一薄膜晶体管岛状结构。进行第三光罩腐蚀制造工艺，在第二金属层以及掺杂硅层中形成一信号线、源极和漏极金属层，完成TFT薄膜晶体管的制作。在完成第三光罩腐蚀制作工艺后，在所述基板上形成一保护层，且覆盖于TFT薄膜晶体管和所述信号线的表面。而这里不再进行保护层的干法蚀刻，不形成源极接触孔、漏极接触孔和信号线接触孔。
- [96] 步骤S30，涂布像素电极的光阻，通过图案化方式形成像素电极，所述像素电极不形成于保护层上，且所述像素电极直接与所述漏极金属层连接。
- [97] 在形成保护层后，不经过干法蚀刻保护层形成接触孔，而是直接ITO像素电极的光阻，通过曝光、显影的方式形成像素电极，所述像素电极不形成于保护层上，且所述像素电极直接与所述漏极金属层连接。这里减少了一道保护层干法蚀刻制作接触孔的制作程序，而是直接将ITO像素电极与Drain电极直接相连。参

考图5，ITO像素电极涂布后，经过图案化的方式，使得ITO像素电极在A位置直接与Drain电极贴合，而不用像传统工艺一样要在保护层干法蚀刻出接触孔，通过ITO像素电极填充至接触孔而使得两者接触。而在B位置，传统工艺覆盖ITO像素电极至保护层上，而本实施例中不覆盖。

[98] 参考图4，形成ITO像素电极的方式为：

[99] 步骤S31，进行一第四光罩和腐蚀制造工艺，限定所述像素电极的图案，使得所述像素电极形成于栅绝缘层上，而不形成于保护层之上。在形成保护层后，在所述基板上全面沉积ITO光阻，经过第四光罩和腐蚀制造工艺（显影），ITO湿法蚀刻，去光阻，ITO OVEN（烘烤）在栅极层上形成ITO像素电极，而不形成于保护层上，ITO像素电极直接与漏极金属层Drain电极连接，无需接触孔的方式使得这两者连接。

[100] 为了提高所述像素电极的导电性，所述像素电极的材料为氧化铟锡(ITO)，在本申请其他实施例中，所述像素电极的材料也还可以是其他导电材料。

[101] 本实施例通过在完成保护层的制作之后，不进行干法蚀刻在保护层上产生接触孔，而是直接涂布ITO像素电极层，ITO像素电极不形成于保护层上，直接与漏极金属层接触，减少了一道制作工艺，节省了制作流程，且ITO像素电极层不会与保护层接触，避免了保护层与ITO像素电极的不兼容问题，提高了显示装置的稳定性，提高了显示画面的稳定性和显示效果。

[102] 而在一实施例中，提供一种阵列基板，参考图5，所述阵列基板包括：

[103] 基板1，

[104] 薄膜晶体管2，形成于所述基板上，所述薄膜晶体管包括：栅极21、栅绝缘层22、有源层23、源极24/漏极金属层25和保护层26；

[105] 像素电极3，形成于所述栅极绝缘层22上，不形成于所述保护层26上，直接与所述漏极金属层22连接。

[106] TFT是制作在一透明的基板1上，基板上至少一薄膜晶体管2、多条扫描线以及多条与扫描线垂直交错的信号线，薄膜晶体管2包括：栅极21、栅绝缘层22、有源层23、源极24/漏极金属层25和保护层26，多条扫描线以及与所述扫描线垂直的数据线位于所述基板上，以界定出多个阵列式像素区域。

- [107] 每一薄膜晶体管2皆用来驱动一由ITO所构成的像素电极，于信号线以及扫描线的交错区域的上方，该ITO像素电极形成于栅极层上，而不形成于保护层上，且与漏极金属层直接接触。
- [108] 本实施例的阵列基板通过在完成保护层的制作之后，不进行干法蚀刻在保护层上产生接触孔，而是直接涂布ITO像素电极层，ITO像素电极不形成于保护层上，直接与漏极金属层接触，减少了一道制作工艺，节省了制作流程，且ITO像素电极层不会与保护层接触，避免了保护层与ITO像素电极的不兼容问题，提高了显示装置的稳定性，提高了显示画面的稳定性和显示效果。
- [109] 而在一实施例中，提供一种显示装置，参考图6，所述显示装置包括：
- [110] 如上所述的阵列基板10；
- [111] 对向基板20，与所述阵列基板10对向设置；
- [112] 液晶层30，填充于所述对向基板20和所述阵列基板10之间。
- [113] 所述TFT是制作在一透明的基板1上，基板上至少一薄膜晶体管、多条扫描线以及多条与扫描线垂直交错的信号线，薄膜晶体管包括：栅极、栅绝缘层、有源层、源极/漏极金属层和保护层，多条扫描线以及与所述扫描线垂直的数据线位于所述基板上，以界定出多个阵列式像素区域。
- [114] 每一薄膜晶体管皆用来驱动一由ITO所构成的像素电极，于信号线以及扫描线的交错区域的上方，该ITO像素电极形成于栅极层上，而不形成于保护层上，且与漏极金属层直接接触。
- [115] 而对向基板包括一彩色滤光片，所述彩色滤光片的制作过程为：提供一基板，在所述一基板上沉积并蚀刻出黑色矩阵，在所述黑色矩阵之间的所述一基板上形成色阻，所述色阻包括但不限于红色阻、绿色阻和蓝色阻；形成覆盖所述色阻和所述黑色矩阵的公用电极，在所述公用电极上形成间隙物，且TFT对应于间隙物的位置形成有衬垫。
- [116] 为了节约工艺，所述衬垫为包括所述形成的栅绝缘层、有源层或钝化层材料中的单层或多层。即，所述衬垫与所述形成的栅绝缘层、有源层或钝化层材料中的单层或多层同步形成。而在阵列基板和对向基板之间填充液晶，通过阵列基板电压的控制，使得液晶偏转透过对向基板形成显示所需的颜色和根据输入信

号输出需要的画面。

[117] 本实施例的显示装置通过在完成保护层的制作之后，不进行干法蚀刻在保护层上产生接触孔，而是直接涂布ITO像素电极层，ITO像素电极不形成于保护层上，直接与漏极金属层接触，减少了一道制作工艺，节省了制作流程，且ITO像素电极层不会与保护层接触，避免了保护层与ITO像素电极的不兼容问题，提高了显示装置的稳定性，提高了显示画面的稳定性和显示效果。

[118] 此外，本申请实施例还提出一种显示装置，所述显示装置包括显示面板和与显示面板连接的处理器，所述处理器中加载有阵列基板制作控制装置，所述显示面板在所述处理器的控制下完成阵列基板的制作控制，而处理器中存储的阵列基板制作方式以上述实施例中的阵列基板制作方法完成，该阵列基板制作方法加载于阵列基板制作装置，供处理器调用和启动完成阵列基板制作的过程控制，进而提高了显示装置的显示画面的稳定性和效果。所述显示装置可以是电视、手机、pad、机台显示仪等移动或固定显示设备。本实施例的显示装置通过在完成保护层的制作之后，不进行干法蚀刻在保护层上产生接触孔，而是直接涂布ITO像素电极层，ITO像素电极不形成于保护层上，直接与漏极金属层接触，减少了一道制作工艺，节省了制作流程，且ITO像素电极层不会与保护层接触，避免了保护层与ITO像素电极的不兼容问题，提高了显示装置的稳定性，提高了显示画面的稳定性和显示效果。

[119] 此外，本申请实施例还提出一种存储介质，存储介质，所述存储介质上存储有阵列基板制作程序，所述阵列基板制作程序被处理器执行时实现如上实施例所述的阵列基板制作方法。

[120] 需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者系统不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者系统所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者系统中还存在另外的相同要素。

[121] 上述本申请实施例序号仅仅为了描述，不代表实施例的优劣。

[122] 通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到上述实施例方法可借助软件加必需的通用硬件平台的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在如上所述的一个存储介质(如ROM/RAM、磁碟、光盘)中，包括若干指令用以使得一台终端设备(可以是手机，计算机，服务器，空调器，或者网络设备等)执行本申请各个实施例所述的方法。

[123] 以上仅为本申请的可选实施例，并非因此限制本申请的专利范围，凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本申请的专利保护范围内。

权利要求书

- [权利要求 1] 一种阵列基板制作方法，其中，所述阵列基板方法包括：
提供一基板；
在所述基板上依次形成薄膜晶体管的栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；以及
涂布像素电极的光阻，通过图案化方式形成像素电极，所述像素电极不形成于保护层上，且所述像素电极直接与所述漏极金属层连接。
- [权利要求 2] 如权利要求1所述的阵列基板制作方法，其中，所述方法，还包括：
在所述基板上沉积一第一金属层；
进行第一光罩曝光和腐蚀制造工艺来限定所述第一金属层的图案，以在第一金属层中形成一栅极；
在所述基板上沉积一绝缘层，使其覆盖所述第一金属层表面；
依序沉积一半导体层、一掺杂硅层以及一第二金属层，进行第二光罩和腐蚀工艺来限定所述半导体层、所述掺杂硅层以及所述第二金属层的图案，用以形成一薄膜晶体管岛状结构；
进行一第三光罩和腐蚀制造工艺以在所述第二金属层以及所述掺杂硅层中形成一源极/漏极金属层，并完成所述薄膜晶体管的制作；以及在所述基板上形成一保护层，且覆盖薄膜晶体管的表面。
- [权利要求 3] 如权利要求2所述的阵列基板制作方法，其中，所述方法，还包括：
通过曝光工艺在所述基板上形成公共线；以及
通过曝光工艺形成连接至所述公共线的公共电极，所述公共电极在所述像素区域中与所述像素电极交替。
- [权利要求 4] 如权利要求2所述的阵列基板制作方法，其中，所述像素电极为氧化铟锡构成。
- [权利要求 5] 如权利要求2所述的阵列基板制作方法，其中，所述涂布像素电极的光阻，通过曝光、显影的方式形成像素电极的步骤包括：
进行一第四光罩和腐蚀制造工艺，限定所述像素电极的图案，使得所述像素电极形成于栅绝缘层上，而不形成于保护层之上。

- [权利要求 6] 如权利要求5所述的阵列基板制作方法，其中，所述方法，还包括：
通过曝光工艺在所述基板上形成公共线；以及
通过曝光工艺形成连接至所述公共线的公共电极，所述公共电极在所述像素区域中与所述像素电极交替。
- [权利要求 7] 如权利要求1所述的阵列基板制作方法，其中，所述像素电极为氧化铟锡构成。
- [权利要求 8] 如权利要求1所述的阵列基板制作方法，其中，所述方法，还包括：
通过曝光工艺在所述基板上形成公共线；以及
通过曝光工艺形成连接至所述公共线的公共电极，所述公共电极在所述像素区域中与所述像素电极交替。
- [权利要求 9] 一种阵列基板，其中，所述阵列基板包括：
基板，
薄膜晶体管，形成于所述基板上，所述薄膜晶体管包括：栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；以及
像素电极，形成于所述栅极绝缘层上，不形成于所述保护层上，直接与所述漏极金属层连接。
- [权利要求 10] 如权利要求9所述的阵列基板，其中，所述阵列基板包括多条扫描线以及与所述扫描线垂直的数据线位于所述基板上，以界定出多个阵列式像素区域。
- [权利要求 11] 如权利要求9所述的阵列基板，其中，所述像素电极为氧化铟锡构成。
- [权利要求 12] 一种显示装置，其中，所述显示装置包括：存储器、处理器及存储在所述存储器上并可在所述处理器上运行的计算机程序，所述计算机程序被所述处理器执行时实现如下步骤：
提供一基板；
在所述基板上依次形成薄膜晶体管的栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；以及
涂布像素电极的光阻，通过图案化方式形成像素电极，所述像素电极

不形成于保护层上，且所述像素电极直接与所述漏极金属层连接。

[权利要求 13] 如权利要求12所述的显示装置，其中，所述计算机程序被所述处理器执行时实现如下步骤：

在所述基板上沉积一第一金属层；

进行第一光罩曝光和腐蚀制造工艺来限定所述第一金属层的图案，以在第一金属层中形成一栅极；

在所述基板上沉积一绝缘层，使其覆盖所述第一金属层表面；

依序沉积一半导体层、一掺杂硅层以及一第二金属层，进行第二光罩和腐蚀工艺来限定所述半导体层、所述掺杂硅层以及所述第二金属层的图案，用以形成一薄膜晶体管岛状结构；

进行一第三光罩和腐蚀制造工艺以在所述第二金属层以及所述掺杂硅层中形成一源极/漏极金属层，并完成所述薄膜晶体管的制作；以及在所述基板上形成一保护层，且覆盖薄膜晶体管的表面。

[权利要求 14] 如权利要求12所述的显示装置，其中，所述计算机程序被所述处理器执行时实现如下步骤：

进行一第四光罩和腐蚀制造工艺，限定所述像素电极的图案，使得所述像素电极形成于栅绝缘层上，而不形成于保护层之上。

[权利要求 15] 如权利要求12所述的显示装置，其中，所述像素电极为氧化铟锡构成。

[权利要求 16] 如权利要求12所述的显示装置，其中，所述计算机程序被所述处理器执行时实现如下步骤：

通过曝光工艺在所述基板上形成公共线；以及

通过曝光工艺形成连接至所述公共线的公共电极，所述公共电极在所述像素区域中与所述像素电极交替。

[权利要求 17] 如权利要求12所述的显示装置，其中，所述显示装置还包括：

阵列基板；

对向基板，与所述阵列基板对向设置；以及

液晶层，填充于所述对向基板和所述阵列基板之间，其中，所述阵

列基板包括：基板，
薄膜晶体管，形成于所述基板上，所述薄膜晶体管包括：栅极、栅绝缘层、有源层、源极/漏极金属层和保护层；以及
像素电极，形成于所述栅极绝缘层上，不形成于所述保护层上，直接与所述漏极金属层连接。

[权利要求 18] 如权利要求12所述的显示装置，其中，所述阵列基板包括多条扫描线以及与所述扫描线垂直的数据线位于所述基板上，以界定出多个阵列式像素区域。

[权利要求 19] 如权利要求12所述的显示装置，其中，生成对向基板的步骤包括：
提供一基板，在所述一基板上沉积并蚀刻出黑色矩阵，在所述黑色矩阵之间的所述一基板上形成色阻，所述色阻包括但不限于红色阻、绿色阻和蓝色阻；形成覆盖所述色阻和所述黑色矩阵的公用电极，在所述公用电极上形成间隙物，且TFT对应于间隙物的位置形成有衬垫。

[权利要求 20] 如权利要求19所述的显示装置，其中，所述衬垫为包括所述形成的栅绝缘层、有源层或钝化层材料中的单层或多层。

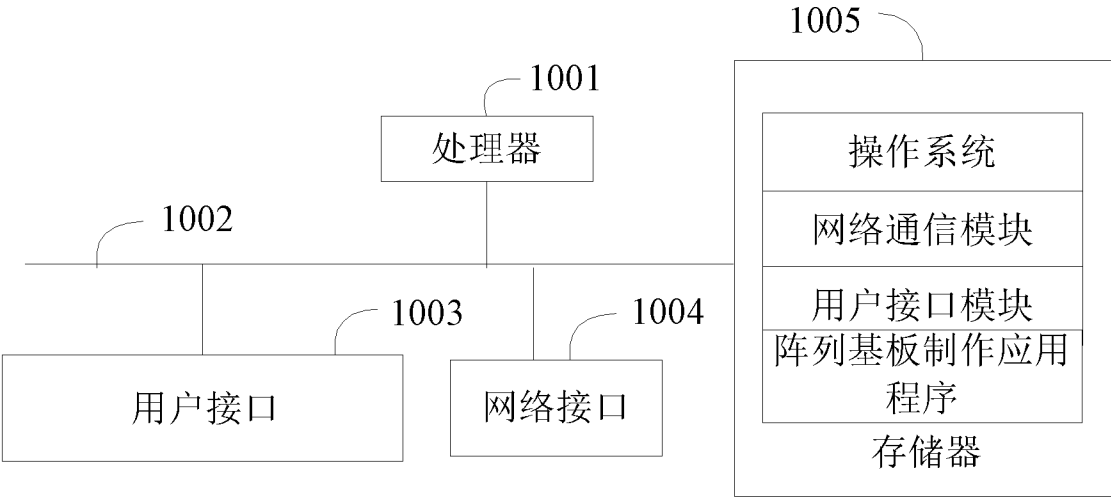


图 1

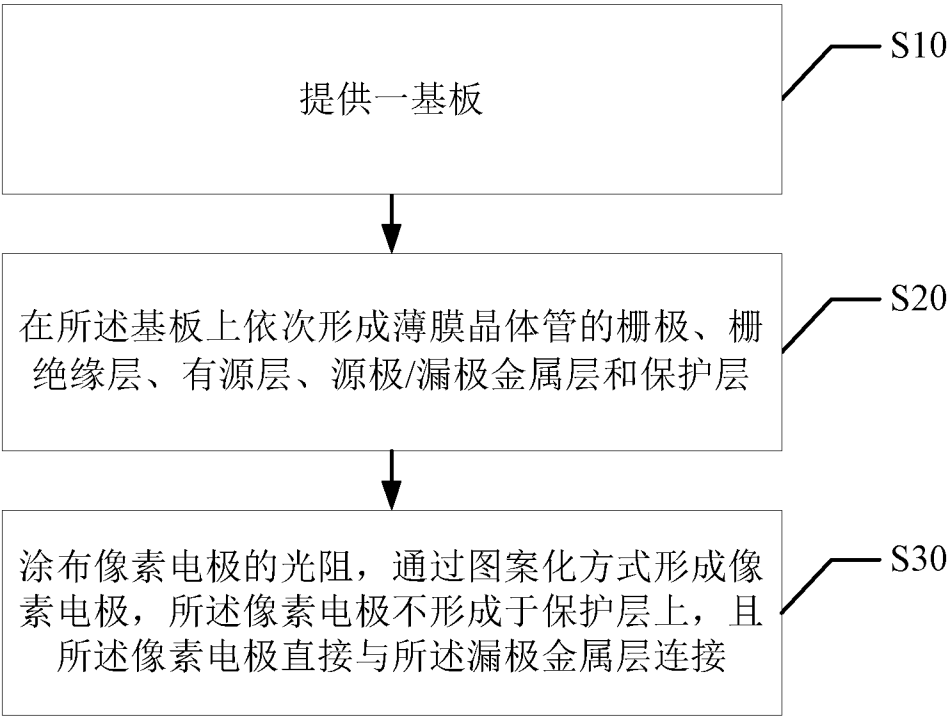


图 2

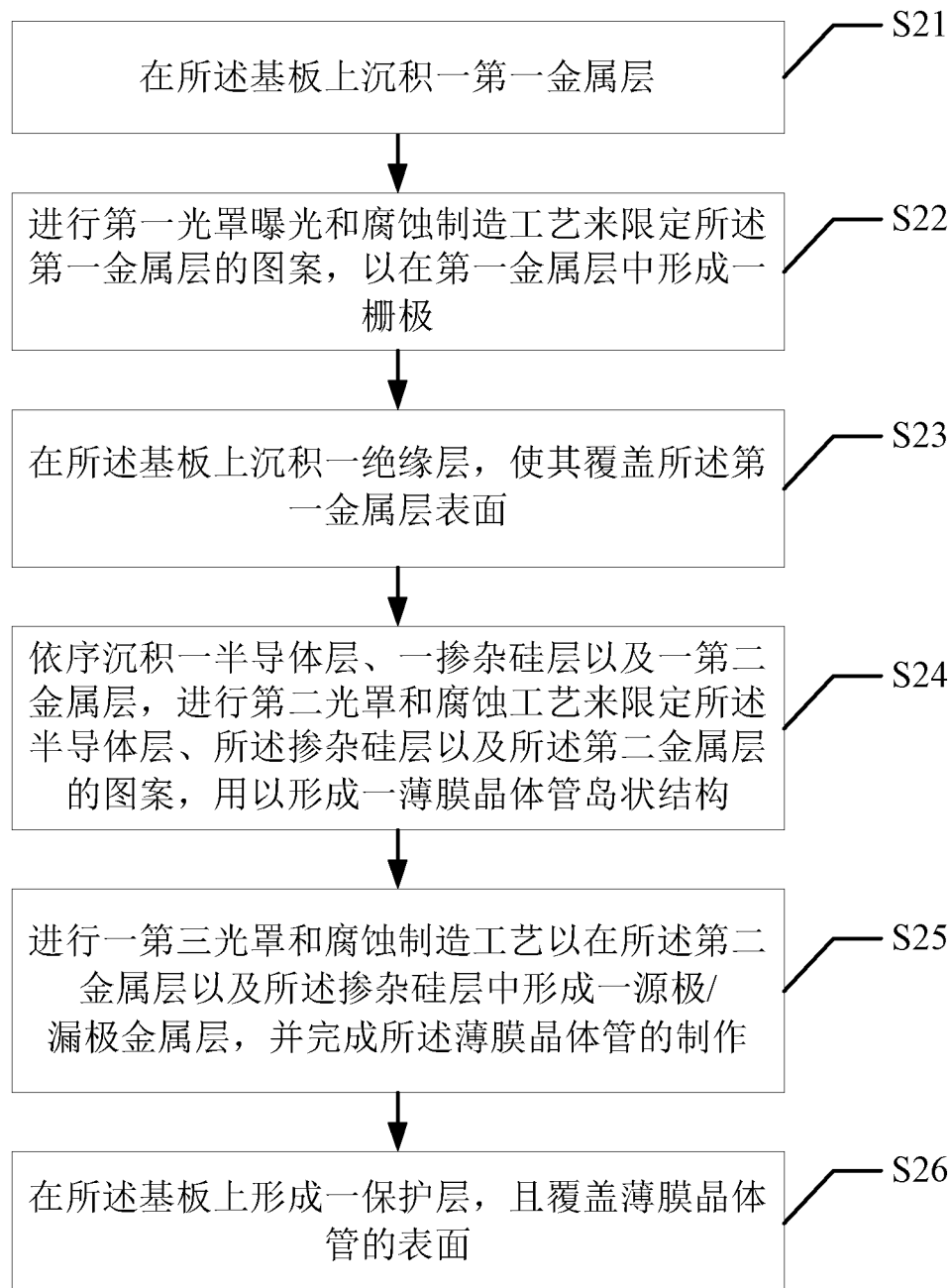


图 3

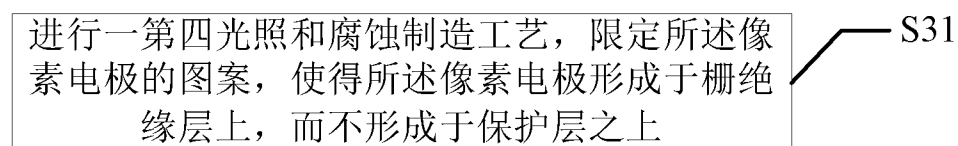


图 4

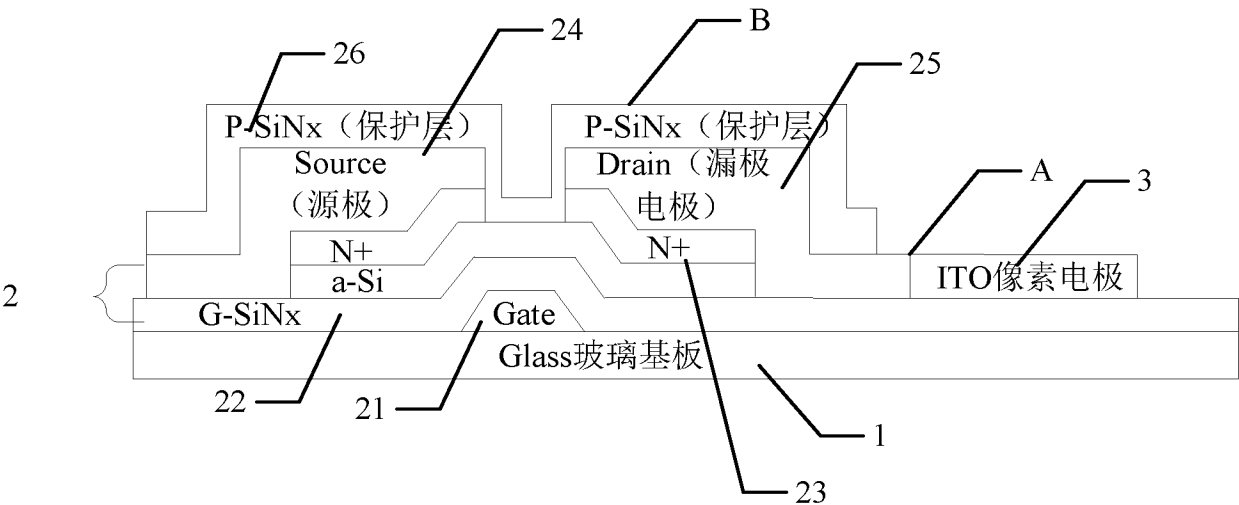


图 5

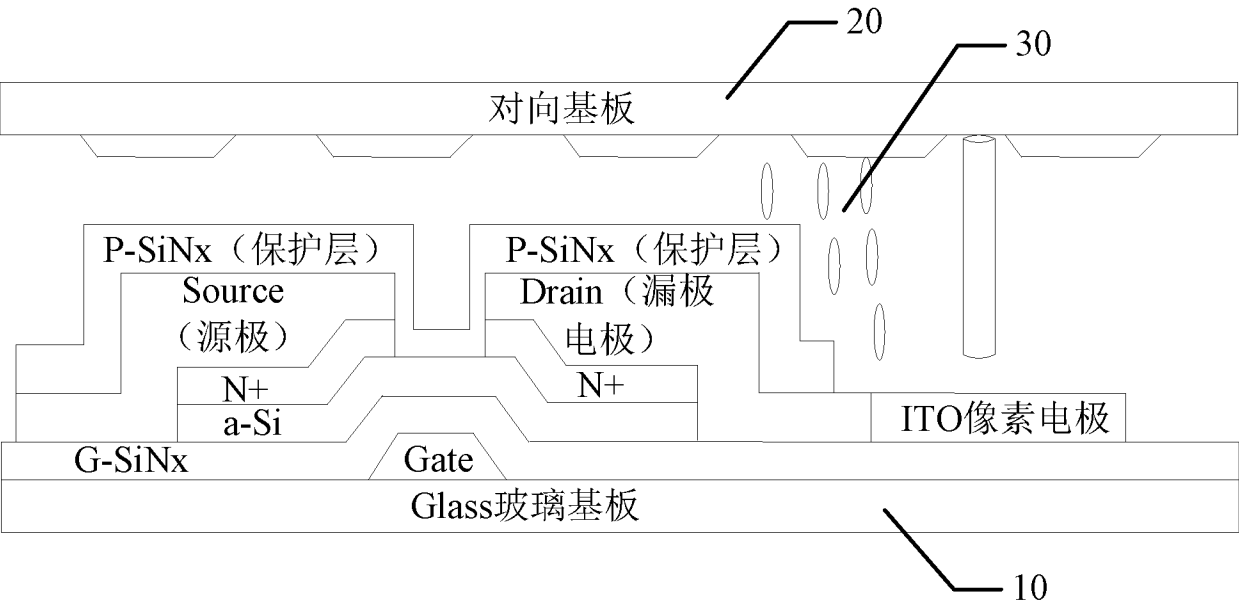


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/122005

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362(2006.01)i; G02F 1/1343(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, IEEE, EPODOC, WPI: 阵列基板, 像素电极, 薄膜晶体管, 直接接触, 漏电极, 漏极电极, 源极电极, 源电极, 保护层, 钝化层, 显示, TFT, pixel, source, drain, electrode, passivation, protection, layer, film, common electrode, thin film transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1987622 A (BOE TECHNOLOGY GROUP CO., LTD.) 27 June 2007 (2007-06-27) description, page 2, line 22 to page 8, line 22, and figures 5-10	1-20
X	CN 102655114 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 05 September 2012 (2012-09-05) description, paragraphs [0044]-[0050], and figures 4-6	1-20
X	CN 105914183 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 31 August 2016 (2016-08-31) description, paragraphs [0031]-[0043], and figures 1-6	1-20
X	US 2013234124 A1 (SAMSUNG DISPLAY CO., LTD.) 12 September 2013 (2013-09-12) description, paragraphs [0034]-[0059], and figures 1-2	9-11
A	CN 103197480 A (BOE TECHNOLOGY GROUP CO., LTD.) 10 July 2013 (2013-07-10) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 July 2019

Date of mailing of the international search report

01 August 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/122005

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1987622	A	27 June 2007	CN	100462825	C	18 February 2009
CN	102655114	A	05 September 2012	CN	102655114	B	22 April 2015
CN	105914183	A	31 August 2016	US	2018182787	A1	28 June 2018
				US	10325942	B2	18 June 2019
				CN	105914183	B	30 April 2019
				WO	2017219438	A1	28 December 2017
US	2013234124	A1	12 September 2013	KR	20110095615	A	25 August 2011
				KR	101627136	B1	07 June 2016
				US	8445301	B2	21 May 2013
				US	2011204370	A1	25 August 2011
CN	103197480	A	10 July 2013	CN	103197480	B	01 July 2015
				US	9425219	B2	23 August 2016
				US	2015236043	A1	20 August 2015
				WO	2014146344	A1	25 September 2014

国际检索报告

国际申请号

PCT/CN2018/122005

A. 主题的分类 G02F 1/1362(2006.01)i; G02F 1/1343(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L, G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, IEEE, EPODOC, WPI: 阵列基板, 像素电极, 薄膜晶体管, 直接接触, 漏电极, 漏极电极, 源极电极, 源电极, 保护层, 钝化层, 显示, TFT, pixel, source, drain, electrode, passivation, protection, layer, film, common electrode, thin film transistor																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 1987622 A (京东方科技集团股份有限公司) 2007年 6月 27日 (2007 - 06 - 27) 说明书第2页第22行至第8页第22行, 附图5-10</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 102655114 A (京东方科技集团股份有限公司 等) 2012年 9月 5日 (2012 - 09 - 05) 说明书第[0044]-[0050]段, 附图4-6</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 105914183 A (深圳市华星光电技术有限公司) 2016年 8月 31日 (2016 - 08 - 31) 说明书第[0031]-[0043]段, 附图1-6</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>US 2013234124 A1 (SAMSUNG DISPLAY CO., LTD.) 2013年 9月 12日 (2013 - 09 - 12) 说明书第[0034]-[0059]段, 附图1-2</td> <td>9-11</td> </tr> <tr> <td>A</td> <td>CN 103197480 A (京东方科技集团股份有限公司) 2013年 7月 10日 (2013 - 07 - 10) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 1987622 A (京东方科技集团股份有限公司) 2007年 6月 27日 (2007 - 06 - 27) 说明书第2页第22行至第8页第22行, 附图5-10	1-20	X	CN 102655114 A (京东方科技集团股份有限公司 等) 2012年 9月 5日 (2012 - 09 - 05) 说明书第[0044]-[0050]段, 附图4-6	1-20	X	CN 105914183 A (深圳市华星光电技术有限公司) 2016年 8月 31日 (2016 - 08 - 31) 说明书第[0031]-[0043]段, 附图1-6	1-20	X	US 2013234124 A1 (SAMSUNG DISPLAY CO., LTD.) 2013年 9月 12日 (2013 - 09 - 12) 说明书第[0034]-[0059]段, 附图1-2	9-11	A	CN 103197480 A (京东方科技集团股份有限公司) 2013年 7月 10日 (2013 - 07 - 10) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 1987622 A (京东方科技集团股份有限公司) 2007年 6月 27日 (2007 - 06 - 27) 说明书第2页第22行至第8页第22行, 附图5-10	1-20																		
X	CN 102655114 A (京东方科技集团股份有限公司 等) 2012年 9月 5日 (2012 - 09 - 05) 说明书第[0044]-[0050]段, 附图4-6	1-20																		
X	CN 105914183 A (深圳市华星光电技术有限公司) 2016年 8月 31日 (2016 - 08 - 31) 说明书第[0031]-[0043]段, 附图1-6	1-20																		
X	US 2013234124 A1 (SAMSUNG DISPLAY CO., LTD.) 2013年 9月 12日 (2013 - 09 - 12) 说明书第[0034]-[0059]段, 附图1-2	9-11																		
A	CN 103197480 A (京东方科技集团股份有限公司) 2013年 7月 10日 (2013 - 07 - 10) 全文	1-20																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2019年 7月 10日		国际检索报告邮寄日期 2019年 8月 1日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 裴亚芳 电话号码 86-(10)-53961448																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/122005

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1987622	A	2007年 6月 27日	CN	100462825	C	2009年 2月 18日
CN	102655114	A	2012年 9月 5日	CN	102655114	B	2015年 4月 22日
CN	105914183	A	2016年 8月 31日	US	2018182787	A1	2018年 6月 28日
				US	10325942	B2	2019年 6月 18日
				CN	105914183	B	2019年 4月 30日
				WO	2017219438	A1	2017年 12月 28日
US	2013234124	A1	2013年 9月 12日	KR	20110095615	A	2011年 8月 25日
				KR	101627136	B1	2016年 6月 7日
				US	8445301	B2	2013年 5月 21日
				US	2011204370	A1	2011年 8月 25日
CN	103197480	A	2013年 7月 10日	CN	103197480	B	2015年 7月 1日
				US	9425219	B2	2016年 8月 23日
				US	2015236043	A1	2015年 8月 20日
				WO	2014146344	A1	2014年 9月 25日