

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363254

(P2004-363254A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/3205	HO 1 L 21/88	5 F 0 3 3
HO 1 L 21/822	HO 1 L 27/04	5 F 0 3 8
HO 1 L 27/04	HO 1 L 29/78	3 O 1 X
HO 1 L 29/78		5 F 1 4 0

審査請求 未請求 請求項の数 15 O L (全 14 頁)

(21) 出願番号	特願2003-158478 (P2003-158478)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成15年6月3日(2003.6.3)	(74) 代理人	110000040 特許業務法人池内・佐藤アンドパートナーズ
		(72) 発明者	江利口 浩二 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	松本 晋 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		F ターム(参考)	5F033 HH08 HH11 JJ19 KK01 KK04 MM01 QQ37 QQ48 RR04 RR06 SS15 VV01 VV06 XX00
			最終頁に続く

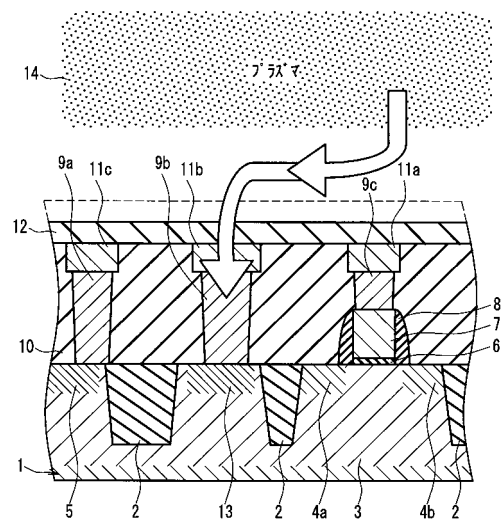
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 プラズマプロセスにおけるプラズマチャージングダメージの抑制を図り得る半導体装置及びその製造方法を提供することにある。

【解決手段】 シリコン基板上に、ゲート絶縁膜6及びゲート電極7の積層体と、活性領域13とを少なくとも形成し、更に下地層間絶縁膜10を形成する。次に、下地層間絶縁膜10に、ゲート電極7に接続される配線11aと、ダミー配線となり、且つ、活性領域13に接続される配線11bとを同時に形成する。その後、下地層間絶縁膜10の上にプラズマプロセスによって層間絶縁膜12を形成する。このとき、プラズマ14からのチャージング電流を、ダミー配線となる配線11bによって排出する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記ゲート絶縁膜及び前記ゲート電極を被覆する絶縁層と、前記絶縁層に設けられた配線とを有する半導体装置であって、前記配線は、前記ゲート電極に電氣的に接続されたゲート電極用配線と、ダミー配線とを有し、前記ダミー配線は、前記半導体基板に形成された活性領域に電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

前記ダミー配線が接続された活性領域が、ソース領域及びドレイン領域のいずれとしても機能しない活性領域である請求項 1 記載の半導体装置。

【請求項 3】

前記配線が第 2 のダミー配線を更に有し、前記第 2 のダミー配線は、前記ダミー配線と隣接する位置に形成されており、前記第 2 のダミー配線の全周囲は前記絶縁層によって絶縁されている請求項 1 記載の半導体装置。

【請求項 4】

前記ダミー配線が前記ゲート電極用配線に隣接する位置に配置されており、前記第 2 のダミー配線が複数の配線で構成され、前記第 2 のダミー配線を構成する複数の配線が、前記ダミー配線の前記ゲート電極用配線に隣接していない側において、前記ダミー配線を囲むように配置されている請求項 3 記載の半導体装置。

【請求項 5】

前記配線が、ダマシン法によって形成されたものであって、前記絶縁層に埋め込まれており、前記ダミー配線が接続された活性領域が、前記ゲート絶縁膜が設けられた前記半導体基板の領域に隣接した位置に、素子分離を隔てて設けられている請求項 1 ~ 4 のいずれかに記載の半導体装置。

【請求項 6】

前記半導体基板に、ソース領域又はドレイン領域として機能する活性領域が形成されており、前記配線が、前記ソース領域又はドレイン領域として機能する活性領域に電氣的に接続された配線を更に有している請求項 2 記載の半導体装置。

【請求項 7】

前記ゲート電極用配線、前記ダミー配線、および前記第 2 のダミー配線が、同一の金属材料によって形成されている請求項 3 または 4 記載の半導体装置。

【請求項 8】

前記金属材料が銅を含む金属材料である請求項 7 記載の半導体装置。

【請求項 9】

(a) 半導体基板上に、ゲート絶縁膜及びゲート電極の積層体と、活性領域とを少なくとも形成する工程と、
(b) 前記半導体基板上に、前記積層体及び前記活性領域を被覆する第 1 の絶縁層を形成する工程と、
(c) 前記第 1 の絶縁層に、前記ゲート電極に電氣的に接続されるゲート電極用配線と、前記活性領域に電氣的に接続されるダミー配線とを同時に設ける工程と、
(d) 前記第 1 の絶縁層の上に、プラズマプロセスによって、第 2 の絶縁層を形成する工程とを有する半導体装置の製造方法。

【請求項 10】

前記 (d) の工程において、前記プラズマプロセスによって発生したプラズマからのチャージング電流を、前記ダミー配線によって排出しながら、前記第 2 の絶縁層を形成する請求項 9 記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 1 1】

前記(c)の工程において、前記ゲート電極用配線と前記ダミー配線とをダマシン法によって形成する請求項 9 記載の半導体装置の製造方法。

【請求項 1 2】

前記(a)の工程において、ソース領域又はドレイン領域として機能する活性領域と、ソース領域及びドレイン領域のいずれとしても機能しない活性領域とを形成し、

前記(c)の工程において、前記ソース領域及びドレイン領域のいずれとしても機能しない活性領域に前記ダミー配線を接続する請求項 9 記載の半導体装置の製造方法。

【請求項 1 3】

前記第 1 の絶縁層が多層配線を形成するための下地層間絶縁膜であり、前記第 2 の絶縁層が多層配線を形成するための層間絶縁膜である請求項 9 記載の半導体装置の製造方法。 10

【請求項 1 4】

前記(c)の工程において、前記ダミー配線と隣接する位置に、前記第 1 の絶縁層によって前記ゲート電極及び前記活性領域に対して絶縁された第 2 のダミー配線を、前記ゲート電極用配線と同時に形成する請求項 9 記載の半導体装置の製造方法。

【請求項 1 5】

前記第 1 の絶縁層及び前記第 2 の絶縁層が、シリコン酸化膜又はシリコン窒化膜である請求項 9 ~ 1 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路によって構成された半導体装置においては、高集積化が大きく進展してきている。特に、MIS (Metal Insulated semiconductor) 型の半導体装置においては、高集積化に対応するため、トランジスタ等の素子の微細化、高性能化が図られており、更なる微細化、高性能化も求められている。

【0003】

また、このような半導体装置の配線の形成工程においては、プラズマ CVD やプラズマエッチングに代表されるプラズマプロセスの利用が増加している。これは、半導体装置の配線の形成工程においては、不純物の拡散の点や金属配線材料の耐熱性の点から熱処理量に制約があり、プラズマプロセスによれば熱処理量を小さくできるからである。 30

【0004】

更に、近年においては、高性能化を図るため銅 (Cu) 配線が導入される場合があるが、銅 (Cu) 配線の形成にはダマシン法が使用されるため、この場合は、益々、プラズマプロセスの利用が増大する。

【0005】

このように、プラズマプロセスはエッチング時だけでなく、成膜時にも多用されており、プラズマプロセスの利用は年々増加傾向にある。ところが、プラズマプロセスの利用増大に伴い、プラズマプロセスによるデバイス損傷が顕在化してきている。これを主に「プラズマチャージングダメージ」と呼び、近年大きくクローズアップされている。 40

【0006】

このようなプラズマチャージングダメージを受けた半導体装置においては、デバイス特性が劣化するため、不良品となる。また、プラズマチャージングダメージの問題においては、特に、ゲート絶縁膜における信頼性の劣化が重大な問題となっている。

【0007】

ここで、プラズマチャージングダメージについて図 6 及び図 7 を用いて説明する。図 6 は、従来の半導体装置の構成を部分的に示す断面図であり、図 6 (a) は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図 6 (b) は図 6 (a) に示す切断 50

線 C - C ' に沿って切断した断面図である。

【 0 0 0 8 】

図 6 (a) に示すように、従来の半導体装置は、n 型シリコン基板 2 1 を備えている。シリコン基板 2 1 には、S T I (S h a l l o w T r e n c h I s o l a t i o n) 法によって、複数の素子分離 2 2 が、所定の間隔をおいて、シリコン基板 2 1 上に露出するように形成されている。

【 0 0 0 9 】

シリコン基板 2 1 上の素子分離 2 2 間には、シリコン基板 2 1 の内部に形成された p ウェル (p w e l l) 2 3 と、ゲート絶縁膜 (膜厚 2 . 2 n m) 2 6 と、n + ポリシリコンで形成されたゲート電極 2 7 と、シリコン基板 2 1 の表層部分に設けられたソース (n +) 領域 2 4 a 及びドレイン (n +) 領域 2 4 b とによって、n チャンネル M O S トランジスタが形成されている。

10

【 0 0 1 0 】

ゲート絶縁膜 2 6 及びゲート電極 2 7 は、互いに整合されるように形成されており、これらの両側面には、両側面を覆うようにサイドウォール 2 8 が形成されている。なお、3 5 は、n + 領域であって、他のトランジスタのソース領域又はドレイン領域として機能する活性領域である。

【 0 0 1 1 】

また、シリコン基板 2 1 の上には、多層配線を実現するための下地層間絶縁膜 3 0 と層間絶縁膜 3 2 とが順に積層されている。下地層間絶縁膜 3 0 には、配線 3 1 a ~ 3 1 c が形成されている。配線 3 1 a ~ 3 1 c は、ダマシン法によって形成された銅配線 (厚み 5 0 0 n m) であり、下地層間絶縁膜 3 0 に埋め込まれている。

20

【 0 0 1 2 】

配線 3 1 a は、W プラグ 2 9 b を介してゲート電極 2 7 に接続されるゲート電極接続用配線である。また、配線 3 1 c は、W プラグ 2 9 a を介して n + 領域 2 5 に接続されるソース・ドレイン接続用配線である。配線 3 1 a 及び 3 1 c は、図 6 (b) に示すように短冊状に形成されている。

【 0 0 1 3 】

W プラグ 2 9 a 及び 2 9 b は、下地層間絶縁膜 3 0 に形成されたコンタクトホールに、タングステンを充填して形成されている。なお、W プラグ 2 9 a は n + 領域 2 5 に接続するように形成されており、W プラグ 2 9 b はゲート電極 2 7 に接続するように形成されている。

30

【 0 0 1 4 】

配線 3 1 b は、ダマシン法で実施される C M P (c h e m i c a l m e c h a n i c a l p o l i s h i n g) 工程における平坦性の確保のためのダミー配線であり、配線 3 1 a に隣接して形成されている。配線 3 1 b は、図 6 (b) に示すように、複数個で構成されており、正方形に形成されている。また、配線 3 1 b は、その全周囲が下地層間絶縁膜 3 0 と層間絶縁膜 3 2 とによって絶縁されており、電氣的に浮遊した状態にある。

【 0 0 1 5 】

図 7 は、図 6 に示す従来の半導体装置における層間絶縁膜の形成工程を示す断面図であり、プラズマチャージングダメージの発生を概念的に示している。

40

【 0 0 1 6 】

最初に、素子分離 2 2 と p ウェル 2 3 とが設けられたシリコン基板 2 1 上に、ゲート絶縁膜 2 6 を形成する。次に、ゲート絶縁膜 2 6 の上にゲート電極 2 7 を形成し、ゲート絶縁膜 2 6 及びゲート電極 2 7 の両側面にサイドウォール 2 8 を形成する。次いで、イオン注入によって、n + 領域 2 5、ソース (n +) 領域 2 4 a 及びドレイン (n +) 領域 2 4 b を形成して、下地層間絶縁膜 3 0 を成膜する。

【 0 0 1 7 】

次に、下地層間絶縁膜 3 0 に W プラグ 2 9 a 及び 2 9 b を形成した後、ダマシン法を用いて配線 3 1 a ~ 3 1 c を同時に形成する。具体的には、下地層間絶縁膜 3 0 における配線

50

31a ~ 31c を設けるべき位置に溝を形成し、この溝が埋まるように銅の層を形成した後、CMP法によって余分な厚みを研磨によって除去する。

【0018】

次に、図7に示すように、プラズマCVD装置(図示せず)によってプラズマ33を発生させて、層間絶縁膜32の成膜を行う。この場合、配線31bは、上述したように電氣的に浮遊しており、又配線31cはシリコン基板21に直接接続されているため、プラズマ33からのチャージング電流はゲート電極27及びゲート絶縁膜26へと流れることになる。このため、ゲート絶縁膜26が破壊され、デバイス特性が劣化してしまう。

【0019】

このような問題を解決するため、特許文献1には、半導体基板上に、ゲート電極に接続された保護ダイオードを設けた半導体装置が開示されている。特許文献1に開示された半導体装置においては、プラズマチャージングダメージを生じさせるチャージング電流は保護ダイオードを介して設置電位に逃がされる。このため、チャージング電流がゲート絶縁膜に印加されるのが抑制され、ゲート絶縁膜の破壊が回避される。

10

【0020】

【特許文献1】

特開平10-173157号公報(第20段落、第2図-第9図)

【0021】

【発明が解決しようとする課題】

しかしながら、半導体装置の高集積化により、ゲート絶縁膜は、年々、薄膜化しており、この結果、ゲート絶縁膜の絶縁耐圧は、保護ダイオードの接合耐圧に比べて小さくなってきている。このため、ゲート絶縁膜の薄膜化が進行するにつれ、保護ダイオードに流れないで、ゲート電極へとリークするチャージング電流が増大している。

20

【0022】

このことから、保護ダイオードによるプラズマチャージングダメージの抑制効果は、ゲート絶縁膜の薄膜化に伴って小さなものとなっており、保護ダイオードを設けているにも拘わらず、プラズマチャージングダメージによるデバイス特性の劣化が生じている。

【0023】

本発明の目的は、上記問題を解決し、プラズマプロセスにおけるプラズマチャージングダメージの抑制を図り得る半導体装置及びその製造方法を提供することにある。

30

【0024】

【課題を解決するための手段】

上記目的を達成するために本発明にかかる半導体装置は、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記ゲート絶縁膜及び前記ゲート電極を被覆する絶縁層と、前記絶縁層に設けられた配線とを有する半導体装置であって、前記配線は、前記ゲート電極に電氣的に接続されたゲート電極用配線と、ダミー配線とを有し、前記ダミー配線は、前記半導体基板に形成された活性領域に電氣的に接続されていることを特徴とする。

【0025】

上記本発明にかかる半導体装置によれば、ダミー配線がシリコン基板に形成された活性領域に電氣的に接続されている。このため、プラズマによるチャージング電流は、ゲート電極用配線ではなく、ダミー配線へと流れることとなる。また、ダミー配線は、従来技術における特許文献1に開示された保護ダイオードではなく、活性領域に電氣的接続されている。このため、本発明にかかる半導体装置によれば、ゲート絶縁膜の薄膜化が更に進んだとしても、チャージング電流がゲート電極用配線へとリークするのを抑制できる。

40

【0026】

上記本発明にかかる半導体装置においては、前記ダミー配線が接続された活性領域が、ソース領域及びドレイン領域のいずれとしても機能しない活性領域であるのが好ましい。この場合、前記半導体基板に、ソース領域又はドレイン領域として機能する活性領域が形成されており、前記配線が、前記ソース領域又はドレイン領域として機能する活性領域に電

50

氣的に接続された配線を更に有しているのが好ましい。

【0027】

また、上記本発明にかかる半導体装置においては、前記配線が第2のダミー配線を更に有し、前記第2のダミー配線は、前記ダミー配線と隣接する位置に形成されており、前記第2のダミー配線の全周囲は前記絶縁層によって絶縁されているのが好ましい。この場合、前記ダミー配線が前記ゲート電極用配線に隣接する位置に配置されており、前記第2のダミー配線が複数の配線で構成され、前記第2のダミー配線を構成する複数の配線が、前記ダミー配線の前記ゲート電極用配線に隣接していない側において、前記ダミー配線を囲むように配置されているのが好ましい。

【0028】

更に、上記本発明にかかる半導体装置においては、前記配線が、ダマシン法によって形成されたものであって、前記絶縁層に埋め込まれており、前記ダミー配線が接続された活性領域が、前記ゲート絶縁膜が設けられた前記半導体基板の領域に隣接した位置に、素子分離を隔てて設けられているのが好ましい。

【0029】

また、前記ゲート電極用配線、前記ダミー配線、および前記第2のダミー配線は、同一の金属材料によって形成されているのが好ましく、前記金属材料としては銅を含む金属材料が挙げられる。

【0030】

次に、上記目的を達成するために本発明にかかる半導体装置の製造方法は、(a)半導体基板上に、ゲート絶縁膜及びゲート電極の積層体と、活性領域とを少なくとも形成する工程と、(b)前記半導体基板上に、前記積層体及び前記活性領域を被覆する第1の絶縁層を形成する工程と、(c)前記第1の絶縁層に、前記ゲート電極に電氣的に接続されるゲート電極用配線と、前記活性領域に電氣的に接続されるダミー配線とを同時に設ける工程と、(d)前記第1の絶縁層の上に、プラズマプロセスによって、第2の絶縁層を形成する工程とを有することを特徴とする。

【0031】

上記本発明にかかる半導体装置の製造方法によれば、シリコン基板に形成された活性領域にダミー配線を電氣的に接続した状態で、第2の絶縁層の成膜を行っている。このため、プラズマによって第2の絶縁層の成膜時に発生するチャージング電流は、ゲート電極用配線ではなく、ダミー配線へと流れることとなる。また、ダミー配線は、従来技術における特許文献1に開示された保護ダイオードではなく、活性領域に電氣的接続されている。このため、本発明にかかる半導体装置の製造方法によれば、ゲート絶縁膜の薄膜化が更に進んだとしても、チャージング電流がゲート電極用配線へとリークするのを抑制できる。

【0032】

上記本発明にかかる半導体装置の製造方法においては、前記(d)の工程において、前記プラズマプロセスによって発生したプラズマからのチャージング電流を、前記ダミー配線によって排出しながら、前記第2の絶縁層を形成するのが好ましい。また、前記(c)の工程において、前記ゲート電極用配線と前記ダミー配線とをダマシン法によって形成するのも好ましい。

【0033】

また、上記本発明にかかる半導体装置の製造方法においては、前記(a)の工程において、ソース領域又はドレイン領域として機能する活性領域と、ソース領域及びドレイン領域のいずれとしても機能しない活性領域とを形成し、前記(c)の工程において、前記ソース領域及びドレイン領域のいずれとしても機能しない活性領域に前記ダミー配線を接続するのが好ましい。更に、前記第1の絶縁層が多層配線を形成するための下地層間絶縁膜であり、前記第2の絶縁層が多層配線を形成するための層間絶縁膜であるのが好ましい。

【0034】

更に、上記本発明にかかる半導体装置の製造方法においては、前記(c)の工程において、前記ダミー配線と隣接する位置に、前記第1の絶縁層によって前記ゲート電極及び前記

10

20

30

40

50

活性領域に対して絶縁された第2のダミー配線を、前記ゲート電極用配線と同時に形成するのが好ましい。また、前記第1の絶縁層及び前記第2の絶縁層が、シリコン酸化膜又はシリコン窒化膜であるのが好ましい。

【0035】

【発明の実施の形態】

(実施の形態1)

以下、本発明の実施の形態1にかかる半導体装置及び半導体装置の製造方法について、図1及び図2を参照しながら説明する。最初に、図1を用いて本実施の形態1にかかる半導体装置の構成について説明する。図1は、本発明の実施の形態1にかかる半導体装置の構成を部分的に示す断面図であり、図1(a)は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図1(b)は図1(a)に示す切断線A-A'に沿って切断した断面図である。

10

【0036】

図1(a)に示すように、本実施の形態1にかかる半導体装置は、従来技術において図6に示した半導体装置と同様に、n型シリコン基板1を備えており、シリコン基板1には複数の素子分離2が、所定の間隔をおいて、シリコン基板1上に露出するように形成されている。

【0037】

また、シリコン基板1上の素子分離2間には、従来技術において図6に示した半導体装置と同様に、シリコン基板1の内部に形成されたpウェル(p well)3と、ゲート絶縁膜6と、n+ポリシリコンで形成されたゲート電極7と、シリコン基板1の表層部分に設けられたソース(n+)領域4a及びドレイン(n+)領域4bとによって、nチャンネルMOSトランジスタが形成されている。

20

【0038】

ゲート絶縁膜6及びゲート電極7は、従来技術において図6に示した半導体装置と同様に、互いに整合されるように形成されており、これらの両側面には、両側面を覆うようにサイドウォール8が形成されている。5は、n+領域であって、他のトランジスタのソース領域又はドレイン領域として機能する活性領域である。

【0039】

また、シリコン基板1の上には、従来技術において図6に示した半導体装置と同様に、多層配線を実現するための下地層間絶縁膜10と層間絶縁膜12とが順に積層されている。更に、下地層間絶縁膜10には、配線11a~11cが形成されている。なお、下地層間絶縁膜10及び層間絶縁膜12は、シリコン酸化膜又はシリコン窒化膜である。

30

【0040】

配線11a~11cは、ダマシン法によって同時に形成された銅配線(厚み500nm)であり、下地層間絶縁膜10に埋め込まれている。配線11aは、Wプラグ9cを介してゲート電極7に接続されるゲート電極接続用配線である。配線11cは、Wプラグ9aを介してn+領域5に接続されるソース・ドレイン接続用配線である。また、本実施の形態1においても、図1(b)に示すように、配線11a及び11cは短冊状に形成されている。

40

【0041】

配線11bは、ダマシン法で実施されるCMP工程における平坦性の確保のためのダミー配線であり、半導体装置の機能に貢献しない配線である。また、配線11bは、図1(b)に示すように、複数個で構成されており、正方形状に形成されている。

【0042】

このように、本実施の形態1にかかる半導体装置は、従来技術において図6に示した半導体装置と同様の構成を有しているが、以下に説明するように、この従来の半導体装置と異なる点を有している。

【0043】

本実施の形態1においては、従来技術において図6に示した半導体装置と異なり、ソース

50

領域及びドレイン領域のいずれとしても機能しない活性領域（ $n+$ 領域）13が、ゲート絶縁膜6が設けられたシリコン基板1の領域に隣接した位置に、素子分離2を隔てて設けられている。また、ダミー配線である配線11bは、電氣的に浮遊した状態にはなく、Wプラグ9bを介して、この活性領域13に接続されている。

【0044】

なお、本明細書でいう「ソース領域及びドレイン領域のいずれとしても機能しない活性領域」とは、ソース領域及びドレイン領域と同様に形成されているが、これと隣接するゲート電極が存在しないためにソース領域及びドレイン領域のいずれとしても機能しない領域をいう。

【0045】

また、本実施の形態1においても、Wプラグ9a~9cは、従来技術において図6に示したWプラグ29a及び29bと同様に、下地層間絶縁膜10に形成されたコンタクトホールに、タングステンを充填して形成されている。更に、本実施の形態1において、層間絶縁膜12には、多層配線のための配線及びプラグ（共に図示せず）が形成されており、層間絶縁膜12の上には別の複数の層間絶縁膜を形成することもできる。

【0046】

次に、図2に用いて、本実施の形態1にかかる半導体装置の製造方法及びダミー配線による作用について説明する。図2は、本発明の実施の形態1にかかる半導体装置の製造方法を示す断面図である。なお、図2は、図1に示す半導体装置を構成する層間絶縁膜の形成工程を示している。図2には、本実施の形態1によってプラズマチャージングダメージの発生が抑制される様子が概念的に示されている。

【0047】

最初に、素子分離2とpウェル3とが設けられたシリコン基板1上に、ゲート絶縁膜6を形成する。次に、ゲート絶縁膜6の上にゲート電極7を形成し、ゲート絶縁膜6及びゲート電極7の両側面にサイドウォール8を形成する。

【0048】

次いで、例えばAs、Pをイオン注入して、 $n+$ 領域5、ソース（ $n+$ ）領域4a及びドレイン（ $n+$ ）領域4b、更に、活性領域13を形成する。その後、プラズマCVD装置（図示せず）によってプラズマを発生させて、下地層間絶縁膜10を成膜する。なお、このとき、ゲート電極7に接続される配線11aは未だ形成されていないため、プラズマによるチャージ電流は発生しない。

【0049】

次に、下地層間絶縁膜10において、底面に $n+$ 領域5が露出したコンタクトホール、底面に活性領域13が露出したコンタクトホール、底面にゲート電極7が露出したコンタクトホールを形成し、これらコンタクトホールの内部にタングステンを充填してWプラグ9a~9cを形成する。

【0050】

その後、ダマシン法を用いて配線11a~11cを同時に形成する。具体的には、下地層間絶縁膜10に、Wプラグ9a~9cがそれぞれ底面に露出した溝を形成し、この溝が埋まるように銅の層を形成した後、CMP法による研磨によって余分な厚みを除去する。

【0051】

次に、図2に示すように、プラズマCVD装置（図示せず）によってプラズマ14を発生させて、層間絶縁膜12を成膜する。このとき、本実施の形態1においては、従来技術において示した図7の場合と異なり、ダミー配線となる配線11bはシリコン基板1に形成された活性領域13にWプラグ9bを介して電氣的に接続されている。このため、プラズマ14による成膜時のチャージング電流は、ゲート電極7に接続された配線11aではなく、配線11bへと流れる。

【0052】

また、本実施の形態1においては、ダミー配線（配線11b）は、従来技術における特許文献1に開示された保護ダイオードではなく、活性領域13に電氣的接続されている。更

10

20

30

40

50

に、ダミー配線（配線 1 1 b）は、ゲート電極接続用配線（配線 1 1 a）に対して絶縁されている。このため、ゲート絶縁膜の薄膜化が更に進んだとしても、チャージング電流はダミー配線である配線 1 1 b へと流れることになる。

【0053】

このように、本実施の形態 1 によれば、薄膜化によってゲート絶縁膜の絶縁耐圧が低下した場合であっても、ゲート絶縁膜 6 の破壊によるデバイス特性の劣化を抑制できる。

【0054】

なお、本実施の形態 1 において、形成された全てのダミー配線が活性領域 1 3 に接続されていなくても良く、一部のダミー配線のみが活性領域 1 3 に接続された態様であっても良い。本実施の形態 1 において、形成されたダミー配線の活性領域 1 3 への接続割合は、ゲート絶縁膜 6 の厚み等といったプロセス条件に応じて適宜設定することができる。

10

【0055】

（実施の形態 2）

次に本発明の実施の形態 2 にかかる半導体装置及び半導体装置の製造方法について、図 3 及び図 4 を参照しながら説明する。最初に、図 3 を用いて本実施の形態 2 にかかる半導体装置の構成について説明する。図 3 は、本発明の実施の形態 2 にかかる半導体装置の構成を部分的に示す断面図であり、図 3（a）は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図 3（b）は図 1（a）に示す切断線 B - B' に沿って切断した断面図である。なお、図 3 及び図 4 において、図 1 に示した符号と同様の符号が付された部分は、図 1 に示したものと同様のものである。

20

【0056】

図 3 に示すように、本実施の形態 2 においては、実施の形態 1 と異なり、第 2 のダミー配線となる配線 1 1 d が設けられている。配線 1 1 d も、ダマシン法によって、配線 1 1 a 及び配線 1 1 b と同時に形成されているが、配線 1 1 d の全周囲は下地層間絶縁膜 1 0 と層間絶縁膜 1 2 とによって絶縁されており、配線 1 1 d は電氣的に浮遊した状態にある。

【0057】

次に、図 4 に用いて、本実施の形態 2 にかかる半導体装置の製造方法及びダミー配線による作用について説明する。図 4 は、本発明の実施の形態 2 にかかる半導体装置の製造方法を示す断面図である。なお、図 4 は、図 2 に示す半導体装置を構成する層間絶縁膜の形成工程を示している。図 4 には、本実施の形態 2 によってプラズマチャージングダメージの発生が抑制される様子が概念的に示されている。

30

【0058】

最初に、実施の形態 1 と同様に、素子分離 2 と p ウェル 3 とが設けられたシリコン基板 1 上にゲート絶縁膜 6 を形成し、更に、ゲート電極 7 及びサイドウォール 8 を形成する。

【0059】

次に、実施の形態 1 と同様に、イオン注入によって、ソース（n+）領域 4 a 及びドレイン（n+）領域 4 b を形成し、更に、活性領域 1 3 を形成する。その後、プラズマ CVD 装置（図示せず）によってプラズマを発生させて、下地層間絶縁膜 1 0 を成膜する。その後、実施の形態 1 と同様に、下地層間絶縁膜 1 0 に、W プラグ 9 b 及び 9 c を形成した後、ダマシン法を用いて配線 1 1 a、1 1 b 及び 1 1 d を同時に形成する。

40

【0060】

次に、図 4 に示すように、プラズマ CVD 装置（図示せず）によってプラズマ 1 4 を発生させて、層間絶縁膜 1 2 を成膜する。このとき、本実施の形態 2 においても、実施の形態 1 において示した図 2 の場合と同様に、プラズマ 1 4 による成膜時のチャージング電流は、ゲート電極 7 に接続された配線 1 1 a ではなく、配線 1 1 b へと流れる。

【0061】

但し、本実施の形態 2 においては、実施の形態 1 と異なり、活性領域 1 3 に接続された配線に隣接して配線 1 1 d が設けられている。このため、配線 1 1 b は、実施の形態 1 において示した場合よりも電荷を集め易い特性を備えることになる。

【0062】

50

即ち、本実施の形態 2 によれば、電氣的に浮遊状態にある配線 1 1 d を、配線 1 1 b に隣接して配置することで、プラズマ 1 4 からのチャージング電流を選択的に配線 1 1 b に流すことができ、この結果、配線 1 1 b には実施の形態 1 で示した場合よりも多くのチャージング電流が流れることになる。このため、本実施の形態 2 によれば、実施の形態 1 よりも、デバイス特性劣化の抑制効果を更に高めることができる。

【0063】

また、本実施の形態 2 においては、図 3 (b) に示すように、第 2 のダミー配線となる配線 1 1 d は、複数の配線で構成されている。更に、複数の配線 1 1 d は、活性領域 1 3 に接続された配線 (ダミー配線) 1 1 b に隣接するように形成されており、配線 1 1 b における配線 1 1 a (ゲート電極用配線) に隣接していない側において、配線 1 1 b を囲むように配置されている。このため、配線 1 1 b へのチャージング電流の集中を効率的に行うことができる。

10

【0064】

本実施の形態 2 において、第 2 のダミー配線である配線 1 1 d のレイアウトは、図 3 (b) に示すレイアウトに限定されるものではない。配線 1 1 d のレイアウトは、CMP 工程でのプロセス特性やダミー配線ルール等に応じて適宜設定すれば良い。

【0065】

ここで、上述した実施の形態 1 及び実施の形態 2 にかかる半導体装置及び半導体装置の製造方法の効果について、図 5 を用いて説明する。図 5 は、実施の形態 1 及び実施の形態 2 にかかる半導体装置の寿命を示すグラフである。

20

【0066】

図 5 において、横軸は、信頼性寿命の指標となる定電圧 T D D B (Time Dependent Dielectric Breakdown) 試験時の半導体装置の寿命を示しており、縦軸は、ワイブル分布を仮定した累積不良率を示している。また、図 5 中の「従来の半導体装置」は、図 6 に示す半導体装置を示している。従来の半導体装置、実施の形態 1 及び 2 の半導体装置のいずれにおいても、ゲート絶縁膜の厚みは 2 . 2 n m である。

【0067】

図 5 から分かるように、累積不良率が同一の場合、従来の半導体装置 (図中「 」) の破壊までの時間は、本発明の実施の形態 1 にかかる半導体装置 (図中「 」) 及び実施の形態 2 にかかる半導体装置 (図中「 」) の破壊までの時間に比べて、常に短くなっている。このことは、本発明の実施の形態 1 にかかる半導体装置 (図中「 」) 及び実施の形態 2 にかかる半導体装置 (図中「 」) は、従来の半導体装置 (図中「 」) に比べて、寿命が長いことを示している。つまり、本発明の半導体装置及び半導体装置の製造方法によれば、デバイス特性の劣化を抑制できる。

30

【0068】

なお、本発明の半導体装置及び半導体装置の製造方法は、上記した実施の形態 1 及び 2 に限定されるものではない。例えば、実施の形態 1 及び 2 においては、CMP 工程における効果を高めるため、又ルール化し易いようにするため、ダミー配線の形状は矩形としているが、本発明においてはダミー配線の形状は特に限定されるものではない。

40

【0069】

本発明においては、ダミー配線は、ソース領域及びドレイン領域のいずれとしても機能しない活性領域に電氣的に接続されたものであれば良い。また、ダミー配線が接続される活性領域のタイプは n 型に限定されず、p 型であっても良い。更に、本発明においては、半導体基板は、p 型シリコン基板であっても良いし、シリコン基板以外の基板であっても良い。

【0070】

また、実施の形態 1 及び 2 においては、ダミー配線と活性領域との接続や、ゲート電極接続用配線とゲート電極との接続等においては、W プラグが用いられているが、Cu プラグを用いることもできる。更に、このようなプラグを設ける代わりに、デュアルダマシン構

50

造とすることもできる。

【0071】

また、実施の形態1及び2においては、配線はCu配線であるが、本発明はこれにも限定されず、配線は金属材料で形成されたものであれば良く、Al配線であっても良い。Al配線の場合は、配線はエッチングにより形成すれば良い。また、この場合は、ダミー配線は、エッチングを実施する前に行うリソグラフィ法におけるアライメント確認のためのアライメント用配線であっても良い。

【0072】

【発明の効果】

以上のように、本発明にかかる半導体装置及び半導体装置の製造方法によれば、配線の周りに配置するダミー配線の構造を最適化することにより、層間絶縁膜をプラズマプロセスで作成する際のチャージングダメージの抑制を図ることができる。その結果、信頼性の高い半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる半導体装置の構成を部分的に示す断面図であり、図1(a)は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図1(b)は図1(a)に示す切断線A-A'に沿って切断した断面図である。

【図2】本発明の実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図3】本発明の実施の形態2にかかる半導体装置の構成を部分的に示す断面図であり、図3(a)は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図3(b)は図1(a)に示す切断線B-B'に沿って切断した断面図である。

【図4】本発明の実施の形態2にかかる半導体装置の製造方法を示す断面図である。

【図5】実施の形態1及び実施の形態2にかかる半導体装置の寿命を示すグラフである。

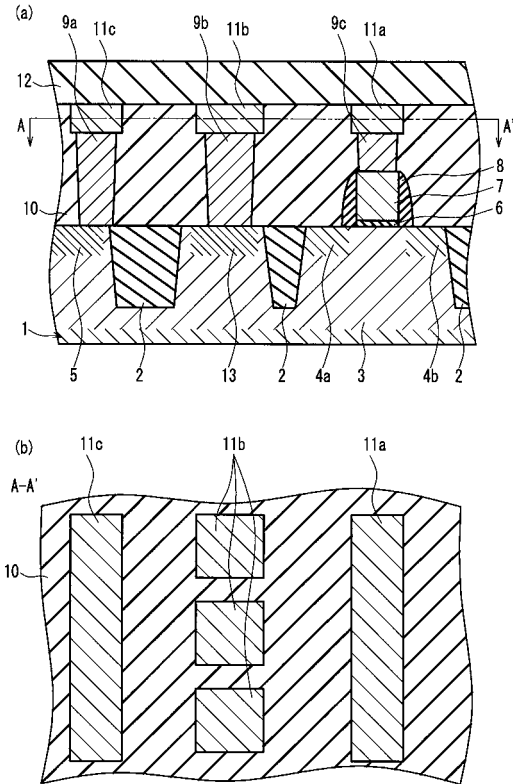
【図6】従来の半導体装置の構成を部分的に示す断面図であり、図6(a)は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図6(b)は図6(a)に示す切断線C-C'に沿って切断した断面図である。

【図7】図6に示す従来の半導体装置における層間絶縁膜の形成工程を示す断面図であり、プラズマチャージングダメージの発生を概念的に示している。

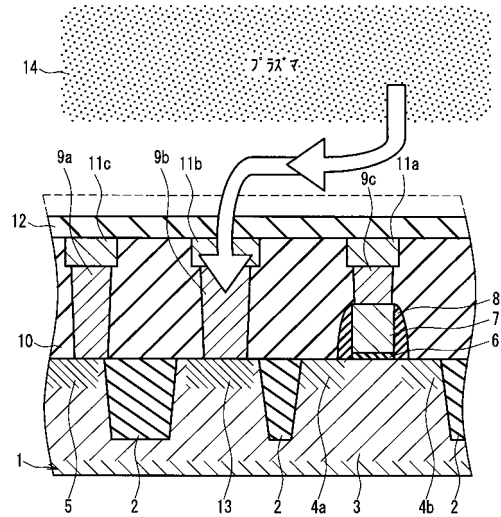
【符号の説明】

- 1 n型シリコン基板 30
- 2 素子分離
- 3 pウェル
- 4 a ソース(n+)領域
- 4 b ドレイン(n+)領域
- 5 n+領域
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 サイドウォール
- 9 a ~ 9 c Wプラグ
- 10 下地層間絶縁膜 40
- 11 a 配線(ゲート電極接続用配線)
- 11 b 配線(ダミー配線)
- 11 c 配線(ソース・ドレイン接続用配線)
- 11 d 配線(第2のダミー配線)
- 12 層間絶縁膜
- 13 活性領域(n+領域)

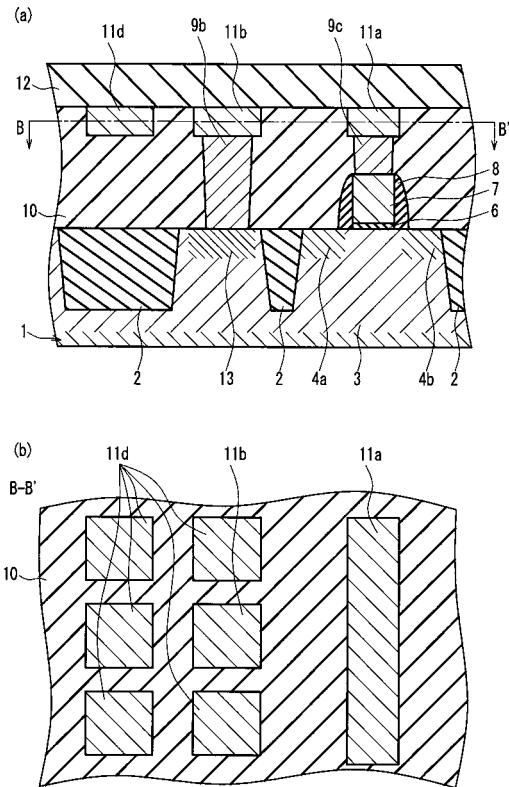
【 図 1 】



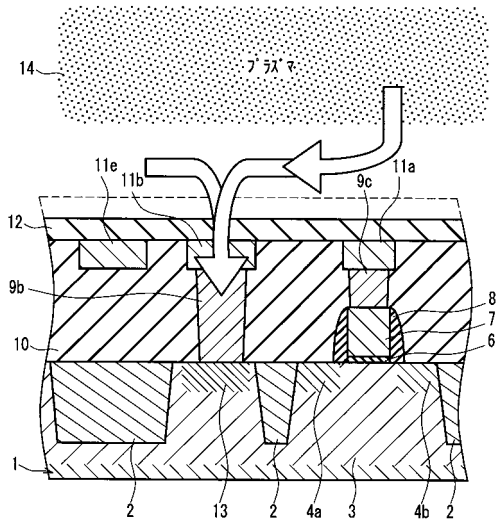
【 図 2 】



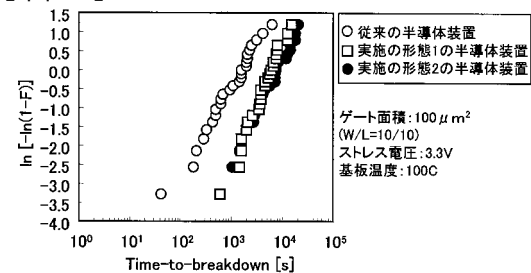
【 図 3 】



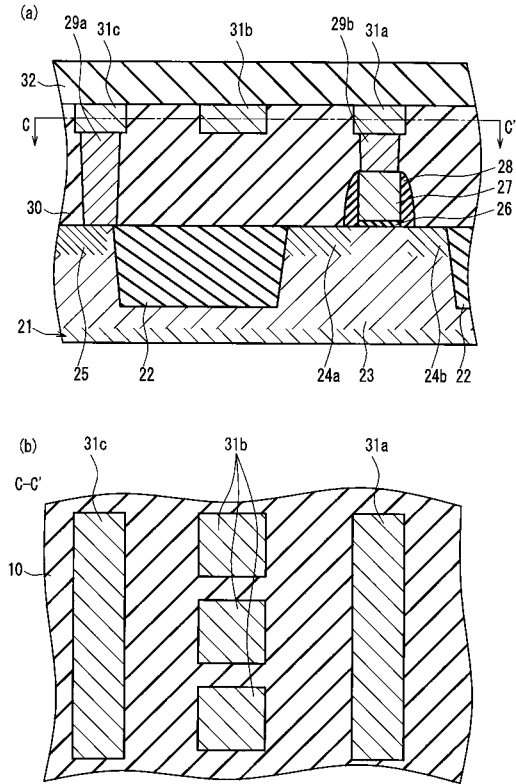
【 図 4 】



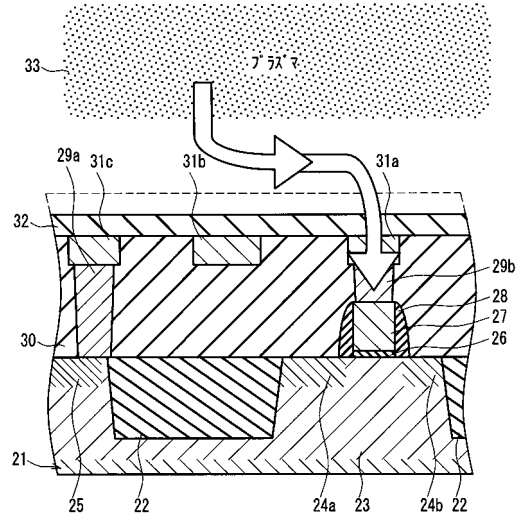
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

F ターム(参考) 5F038 BH05 BH15 CA05 CD10 CD18 EZ11 EZ13
5F140 AA00 AA26 AA38 BA01 BF01 BF04 BF60 BG08 BJ01 BJ07
BJ27 BK13 CA01 CA03 CB04 CB08 CC03 CC08 CC13 CE07
CF05