(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5146168号
(P5146168)

(45)発行日　平成25年2月20日(2013.2.20)　(24)登録日　平成24年12月7日(2012.12.7)

(51)Int.Cl.			F I		
H03B	***5/36***	***(2006.01)***	H03B	5/36	
H03B	***5/32***	***(2006.01)***	H03B	5/32	J
H03B	***5/30***	***(2006.01)***	H03B	5/30	A

請求項の数 5　(全 12 頁)

(21)出願番号　特願2008-188175(P2008-188175)
(22)出願日　平成20年7月22日(2008.7.22)
(65)公開番号　特開2009-81837(P2009-81837A)
(43)公開日　平成21年4月16日(2009.4.16)
審査請求日　平成23年6月7日(2011.6.7)
(31)優先権主張番号　特願2007-229817(P2007-229817)
(32)優先日　平成19年9月5日(2007.9.5)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(74)代理人　100127661
弁理士　宮坂　一彦
(72)発明者　矢島　有継
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　橋本　和志

最終頁に続く

(54)【発明の名称】発振器及び発振器を備えた電子機器

(57)【特許請求の範囲】
【請求項１】
第１の端子と、
第２の端子と、
前記第１の端子と前記第２の端子との間に接続された振動子と、
前記第１の端子と接地電位を供給する接地線との間に接続された第１のコンデンサと、
前記第２の端子と前記接地線との間に接続された第２のコンデンサと、
前記第１の端子と前記第２の端子との間にｍ個（ｍは３以上の奇数）のインバータが直列に接続されたインバータ列と、
前記インバータ列の入力側から数えてｎ番目（ｎは１≦ｎ＜ｍの整数）の前記インバータの入力端子とｎ＋１番目の前記インバータの出力端子との間に接続された第３のコンデンサと、
を含む、
ことを特徴とする発振器。
【請求項２】
請求項１に記載の発振器において、
前記発振器は、さらに、前記インバータ列の入力側から数えてｐ番目（ｐは１≦ｐ＜ｍでｎ以外の整数）の前記インバータの入力端子とｐ＋１番目の前記インバータの出力端子との間に接続された第４のコンデンサと、
を含むことを特徴とする発振器。

【請求項３】
請求項１または２に記載の発振器において、
前記ｍ個のインバータは、各々、ドレイン端子が相互に接続された第１の能動素子及び第２の能動素子を含み、前記第１の能動素子のソース端子は、抵抗素子が容量素子と並列に接続された負荷素子である第１の負荷素子を介して前記接地線と接続され、前記第２の能動素子のソース端子は、前記負荷素子である第２の負荷素子を介して電源電圧を供給する電源電圧線と接続されていることを特徴とする発振器。
【請求項４】
請求項１または２に記載の発振器において、
前記ｍ個のインバータは、各々、ドレイン端子が相互に接続された第１の能動素子及び第２の能動素子を含み、前記第１の能動素子のソース端子は、インダクタンス素子が容量素子と並列に接続された負荷素子である第１の負荷素子を介して前記接地線と接続され、前記第２の能動素子のソース端子は、前記負荷素子である第２の負荷素子を介して電源電圧を供給する電源電圧線と接続されていることを特徴とする発振器。
【請求項５】
請求項１から４のいずれか一項に記載の発振器を備え、前記発振器の前記第１の端子または前記第２の端子から出力される信号に基づき制御されることを特徴とする電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、振動子を用いた発振器及び発振器を備えた電子機器に関する。
【背景技術】
【０００２】
コンピュータなどの電子機器においては、動作の高速化に対する要求が年々高まっている。これらの電子機器は、内蔵する発振器によって発生したクロック信号を用いて、各部の回路の動作タイミングを制御している。従って、これらの電子機器の動作を高速化するためには、発振器における発振周波数を高くする必要がある。例えば特許文献１には、反転増幅器の増幅率を大きくして発振起動性を高めた３次オーバートーン発振回路が記載されている。
【０００３】
【特許文献１】特許第３２２９９００号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
しかしながら、従来の方法では、インバータを構成するＭＯＳトランジスタの寄生成分により負性抵抗が減少し、所望の負性抵抗を得るには消費電力が増加してしまうという課題がある。
【課題を解決するための手段】
【０００５】
本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することが可能である。
【０００６】
［適用例１］
第１の端子と、第２の端子と、前記第１の端子と前記第２の端子との間に接続された振動子と、前記第１の端子と接地電位を供給する接地線との間に接続された第１のコンデンサと、前記第２の端子と前記接地線との間に接続された第２のコンデンサと、前記第１の端子と前記第２の端子との間にｍ個（ｍは３以上の奇数）のインバータが直列に接続されたインバータ列と、前記インバータ列の入力側から数えてｎ番目（ｎは１≦ｎ＜ｍの整数）の前記インバータの入力端子とｎ＋１番目の前記インバータの出力端子との間に接続された第３のコンデンサと、を含む、ことを特徴とする発振器。

【０００７】
この構成によれば、ｎ番目のインバータの入力端子とｎ＋１番目のインバータの出力端子との間に第３のコンデンサを接続し帰還をかけることにより、ｍ個のインバータと振動子による発振ループとは別の発振ループができるので、負性抵抗の阻害要因が減少し、低消費電力化を実現できる。
【０００８】
［適用例２］
上記に記載の発振器において、前記発振器は、さらに、前記インバータ列の入力側から数えてｐ番目（ｐは１≦ｐ＜ｍでｎ以外の整数）の前記インバータの入力端子とｐ＋１番目の前記インバータの出力端子との間に接続された第４のコンデンサと、を含むことを特徴とする発振器。
【０００９】
この構成によれば、別のｐ番目のインバータの入力端子とｐ＋１番目のインバータの出力端子との間にさらに第４のコンデンサを接続し帰還をかけることにより、負性抵抗の阻害要因がさらに減少し、さらなる低消費電力化を実現できる。
【００１０】
［適用例３］
上記に記載の発振器において、前記ｍ個のインバータは、各々、ドレイン端子が相互に接続された第１の能動素子及び第２の能動素子を含み、前記第１の能動素子のソース端子は、抵抗素子が容量素子と並列に接続された負荷素子である第１の負荷素子を介して前記接地線と接続され、前記第２の能動素子のソース端子は、前記負荷素子である第２の負荷素子を介して電源電圧を供給する電源電圧線と接続されていることを特徴とする発振器。
【００１１】
この構成によれば、抵抗素子を付加したことによりインバータの電流を抑制することができ、容量素子を付加したことにより回路の交流的な利得が上昇するので、負性抵抗の阻害要因が減るため高い負性抵抗を維持でき、低消費電力化を実現できる。
【００１２】
［適用例４］
上記に記載の発振器において、前記ｍ個のインバータは、各々、ドレイン端子が相互に接続された第１の能動素子及び第２の能動素子を含み、前記第１の能動素子のソース端子は、インダクタンス素子が容量素子と並列に接続された負荷素子である第１の負荷素子を介して前記接地線と接続され、前記第２の能動素子のソース端子は、前記負荷素子である第２の負荷素子を介して電源電圧を供給する電源電圧線と接続されていることを特徴とする発振器。
【００１３】
この構成によれば、インダクタンス素子を付加したことによりインバータの電流を抑制することができ、容量素子を付加したことにより回路の交流的な利得が上昇するので、負性抵抗の阻害要因が減るため高い負性抵抗を維持でき、低消費電力化を実現できる。
【００１４】
［適用例５］
上記のいずれかに記載の発振器を備え、前記発振器の前記第１の端子または前記第２の端子から出力される信号に基づき制御されることを特徴とする電子機器。
【００１５】
この構成によれば、低消費電力の電子機器を実現できる。
【発明を実施するための最良の形態】
【００１６】
以下、発振器の実施形態について図面に従って説明する。
【００１７】
（第１実施形態）
＜発振器の構成＞

まず、第１実施形態に係る発振器の構成について、図１を参照して説明する。図１は、第１実施形態に係る発振器の構成を示す回路図である。

【００１８】

図１に示すように、発振器１００は、第１の端子Ａと、第２の端子Ｂと、第１の端子Ａと第２の端子Ｂとの間に接続されたＳＡＷ（Surface Acoustic Wave、弾性表面波）振動子などで構成された振動子ＯＳＣと、第１の端子Ａと接地電位を供給する接地線ＧＮＤとの間に接続された第１のコンデンサＣｇと、第２の端子Ｂと接地線ＧＮＤとの間に接続された第２のコンデンサＣｄと、第１の端子Ａと第２の端子Ｂとの間に直列に接続された３個（ｍ＝３）のインバータＩＮ１～ＩＮ３と、１番目（ｎ＝１）のインバータＩＮ１の入力端子Ｉ１と２番目（ｎ＋１＝１＋１）のインバータＩＮ２の出力端子Ｏ２との間に接続された第３のコンデンサＣｆと、から構成されている。

【００１９】

インバータＩＮ１は、接地線ＧＮＤと電源電圧を供給する電源電圧線ＶＤＤとの間に直列に接続された第１の能動素子であるＮｃｈトランジスタＮ１及び第２の能動素子であるＰｃｈトランジスタＰ１から構成されている。インバータＩＮ２は、接地線ＧＮＤと電源電圧線ＶＤＤとの間に直列に接続されたＮｃｈトランジスタＮ２及びＰｃｈトランジスタＰ２から構成されている。インバータＩＮ３は、接地線ＧＮＤと電源電圧線ＶＤＤとの間に直列に接続されたＮｃｈトランジスタＮ３及びＰｃｈトランジスタＰ３から構成されている。

【００２０】

ここで、インバータＩＮ１の入力端子Ｉ１とインバータＩＮ２の出力端子Ｏ２との間に第３のコンデンサＣｆを接続することにより負性抵抗の阻害要因が減少する原理を説明する。

【００２１】

図５は、従来の発振器１０３の構成を示す回路図である。図５に示すように、従来の発振器１０３は、図１の発振器１００に示すインバータＩＮ１の入力端子Ｉ１とインバータＩＮ２の出力端子Ｏ２との間に接続された第３のコンデンサＣｆは含まれない。

【００２２】

図６は、従来の発振器１０３の３個のインバータの等価回路図である。インバータＩＮ１を構成するＮｃｈトランジスタＮ１及びＰｃｈトランジスタＰ１は、電源電圧線ＶＤＤと接地線ＧＮＤとが交流的に等価と考えられるので、図６に示すように、電圧制御電流源ｇｍ１Ｖｇｓ１と、ドレイン抵抗Ｒｄ１と、ゲート－ソース間容量とゲート－ドレイン間容量が加算された容量Ｃ１と、により置き換えることができる。インバータＩＮ２についても、電圧制御電流源ｇｍ２Ｖｇｓ２と、ドレイン抵抗Ｒｄ２と、容量Ｃ２と、により置き換えることができる。インバータＩＮ３についても、電圧制御電流源ｇｍ３Ｖｇｓ３と、ドレイン抵抗Ｒｄ３と、容量Ｃ３と、により置き換えることができる。

【００２３】

第１の端子Ａと第２の端子Ｂとの間をキルヒホッフの法則の節点方程式を解くことにより、３個のインバータＩＮ１～ＩＮ３を流れる電流Ｉｘは、次の式（１）となる。

Ｉｘ＝ｊω（Ｃ１＋Ｃｇ）×Ｖｇｓ１＝Ｙａ×Ｖｇｓ１・・・（１）

なお、Ｃ１＋ＣｇのアドミタンスＹａは、Ｙａ＝ｊω（Ｃ１＋Ｃｇ）となる。また、Ｖｇｓ１は、インバータＩＮ１のゲート－ソース間電圧である。

【００２４】

次に、インバータＩＮ２のゲート－ソース間電圧Ｖｇｓ２は、次の式（２）となる。

Ｖｇｓ２＝－ｇｍ１×Ｖｇｓ１×Ｒｄ１／（１＋Ｒｄ１×Ｙ２）・・・（２）

Ｃ２のアドミタンスＹ２は、Ｙ２＝ｊωＣ２となる。

【００２５】

同様に、インバータＩＮ３のゲート－ソース間電圧Ｖｇｓ３は、次の式（３）となる。

Ｖｇｓ３＝－ｇｍ２×Ｖｇｓ２×Ｒｄ２／（１＋Ｒｄ２×Ｙ３）・・・（３）

Ｃ３のアドミタンスＹ３は、Ｙ３＝ｊωＣ３となる。

【００２６】
さらに、第２のコンデンサＣｄに印加される電圧Ｖｏｕｔは、次の式（４）となる。
Ｖｏｕｔ＝（Ｉｘ＋ｇｍ３×Ｖｇｓ３）×Ｒｄ３／（１＋Ｒｄ３×Ｙｄ）・・・（４）
第２のコンデンサＣｄのアドミタンスＹｄは、Ｙｄ＝ｊωＣｄとなる。
【００２７】
式（４）に、式（２），（３）を代入することにより、電圧Ｖｏｕｔは、次の式（５）となる。
Ｖｏｕｔ＝－｛Ｉｘ＋ｇｍ１×ｇｍ２×ｇｍ３×（（Ｒｄ１×Ｒｄ２×Ｖｇｓ１）／（１＋Ｒｄ１×Ｙ２）×（１＋Ｒｄ２×Ｙ３））｝×（Ｒｄ３／（１＋Ｒｄ３×Ｙｄ））・・・（５）
【００２８】
アンプの利得係数Ｇｍ＝ｇｍ１×ｇｍ２×ｇｍ３、抵抗Ｒｄ＝Ｒｄ１×Ｒｄ２×Ｒｄ３とし、式（１）からＶｇｓ１＝Ｉｘ／Ｙａを代入し、式（５）から３個のインバータＩＮ１～ＩＮ３の負性抵抗－Ｒｘ０を求めると、次の式（６）となる。
－Ｒｘ０＝（１／Ｙａ）＋｛Ｒｄ３／（１＋Ｒｄ３×Ｙｄ）｝＋｛Ｇｍ×Ｒｄ／（Ｙａ×（１＋Ｒｄ１×Ｙ２）×（１＋Ｒｄ２×Ｙ３）×（１＋Ｒｄ３×Ｙｄ））｝・・・（６）
【００２９】
式（６）から虚数を除き、実数部のみを取り出すと、次の式（７）に示す負性抵抗式が得られる。
－Ｒｘ０＝｛（－ｇｍ１）／（ω^2×（Ｃｇ＋Ｃ１）×Ｃｄ）｝×｛（ｇｍ２×Ｒｄ１）／（１＋（ω×Ｃ２×Ｒｄ１）^{2}）｝×｛（ｇｍ３×Ｒｄ２）／（１＋（ω×Ｃ３×Ｒｄ２）^{2}）｝×｛１／（１＋（１／（ω×Ｃｄ×Ｒｄ３）^{2}）｝＋｛Ｒｄ３／（１＋（ω×Ｃｄ×Ｒｄ３）^{2}）｝・・・（７）
【００３０】
図２は、図１の発振器１００の３個のインバータＩＮ１～ＩＮ３と第３のコンデンサＣｆの等価回路図である。図６の従来の等価回路に対して、インバータＩＮ１の入力端子Ｉ１とインバータＩＮ２の出力端子Ｏ２との間に接続された第３のコンデンサＣｆが付加されているので、発振器１００の３個のインバータＩＮ１～ＩＮ３の負性抵抗－Ｒｘの負性抵抗式は、次の式（８）となる。
－Ｒｘ＝｛（－ｇｍ１）／（ω^2×（Ｃｇ＋Ｃ１－Ｃｆ）×Ｃｄ）｝×｛（ｇｍ２×Ｒｄ１）／（１＋（ω×Ｃ２×Ｒｄ１）^{2}）｝×｛（ｇｍ３×Ｒｄ２）／（１＋（ω×Ｃ３×Ｒｄ２）^{2}）｝×｛１／（１＋（１／（ω×Ｃｄ×Ｒｄ３）^{2}）｝＋｛Ｒｄ３／（１＋（ω×Ｃｄ×Ｒｄ３）^{2}）｝・・・（８）
【００３１】
つまり、式（７）の分母の（Ｃｇ＋Ｃ１）に対し、式（８）では分母が（Ｃｇ＋Ｃ１－Ｃｆ）となり小さくなるので発振器１００の負性抵抗－Ｒｘは増大する。
【００３２】
以上に述べた本実施形態によれば、以下の効果が得られる。
【００３３】
本実施形態では、１番目のインバータＩＮ１の入力端子Ｉ１と２番目のインバータＩＮ２の出力端子Ｏ２との間に第３のコンデンサＣｆを接続し帰還をかけることにより、３個のインバータＩＮ１～ＩＮ３と振動子ＯＳＣによる発振ループとは別の発振ループができるので、負性抵抗の阻害要因が減少し、低消費電力化を実現できる。
【００３４】
（変形例１）発振器の変形例１について説明する。第１実施形態においては、発振器１００は、３個のインバータＩＮ１～ＩＮ３において１番目のインバータＩＮ１の入力端子Ｉ１と２番目のインバータＩＮ２の出力端子Ｏ２との間に第３のコンデンサＣｆを接続し帰還をかけたが、さらに他の帰還をさせるためのコンデンサを追加してもよい。例えば、図１の発振器１００ならば、２番目のインバータＩＮ２の入力端子Ｉ２と３番目のインバ

ータＩＮ３の出力端子Ｏ３との間に別の第４のコンデンサを接続し帰還をかけてもよい。このように構成すれば、式（８）の分母がさらに小さくなり負性抵抗－Ｒｘが増大するので、負性抵抗の阻害要因が減少し、低消費電力化を実現できる。

【００３５】

また、第１実施形態では、ｍ＝３個のインバータの場合について説明したが、３個以上のインバータでも同様である。図３は、変形例１に係る発振器１０１の構成を示す回路図である。図３に示すように、発振器１０１は、５個のインバータＩＮ１～ＩＮ５を含み、１番目のインバータＩＮ１の入力端子Ｉ１と２番目のインバータＩＮ２の出力端子Ｏ２との間に第３のコンデンサＣｆ１が接続され、２番目のインバータＩＮ２の入力端子Ｉ２と３番目のインバータＩＮ３の出力端子Ｏ３との間に第４のコンデンサＣｆ２が接続され、３番目のインバータＩＮ３の入力端子Ｉ３と４番目のインバータＩＮ４の出力端子Ｏ４との間に第５のコンデンサＣｆ３が接続されている。このように構成すれば、負性抵抗－Ｒｘが増大するので、負性抵抗の阻害要因が減少し、低消費電力化を実現できる。

【００３６】

（変形例２）発振器の変形例２について説明する。図４は、変形例２に係る発振器１０２の構成を示す回路図である。図４に示すように、１番目のインバータＩＮ１１では、ＮｃｈトランジスタＮ１のソース端子は、抵抗素子Ｒ１２が容量素子Ｃ１２と並列に接続された負荷素子（第１の負荷素子）を介して接地線ＧＮＤと接続され、ＰｃｈトランジスタＰ１のソース端子は、抵抗素子Ｒ１１が容量素子Ｃ１１と並列に接続された負荷素子（第２の負荷素子）を介して電源電圧線ＶＤＤと接続されている。同様に、２番目のインバータＩＮ１２では、ＮｃｈトランジスタＮ２のソース端子は、抵抗素子Ｒ２２が容量素子Ｃ２２と並列に接続された負荷素子を介して接地線ＧＮＤと接続され、ＰｃｈトランジスタＰ２のソース端子は、抵抗素子Ｒ２１が容量素子Ｃ２１と並列に接続された負荷素子を介して電源電圧線ＶＤＤと接続されている。さらに、３番目のインバータＩＮ１３では、ＮｃｈトランジスタＮ３のソース端子は、抵抗素子Ｒ３２が容量素子Ｃ３２と並列に接続された負荷素子を介して接地線ＧＮＤと接続され、ＰｃｈトランジスタＰ３のソース端子は、抵抗素子Ｒ３１が容量素子Ｃ３１と並列に接続された負荷素子を介して電源電圧線ＶＤＤと接続されている。

【００３７】

この構成によれば、６個の抵抗素子Ｒ１１～Ｒ３２を付加したことによりインバータＩＮ１１～ＩＮ１３の電流を抑制することができ、６個の容量素子Ｃ１１～Ｃ３２を付加したことにより利得が上昇するので、負性抵抗が一定となり、低消費電力化を実現できる。

【００３８】

（変形例３）発振器の変形例３について説明する。前記第１実施形態では、振動子ＯＳＣをＳＡＷ振動子で構成した場合を説明したが、音叉型振動子、ＡＴ振動子、ＦＢＡＲ（Film Bulk Acoustic Resonator）、ＭＥＭＳ振動子、ＳＭＲ（Solid Mounted Resonator）などで構成してもよい。

【００３９】

（変形例４）発振器の変形例４について説明する。上記変形例１では、図３に示すような５個のインバータＩＮ１～ＩＮ５を含む発振器１０１で説明したが、図７に示すような発振器１０４を構成することもできる。図７は、変形例４に係る発振器の構成を示す回路図である。図７に示すように、インバータＩＮ１の入力端子Ｉ１とインバータＩＮ２の出力端子Ｏ２との間に第３のコンデンサＣｆ１を接続し、インバータＩＮ１の入力端子Ｉ１とインバータＩＮ４の出力端子Ｏ４との間に第４のコンデンサＣｆ２を接続してもよい。このように構成すれば、第４のコンデンサＣｆ２を追加することにより、負性抵抗の大きさと負性抵抗が最大となる周波数を第３のコンデンサが１個の時に比べて柔軟に選択できる。

【００４０】

（変形例５）発振器の変形例５について説明する。上記第１実施形態では、第１のコンデンサＣｇと第２のコンデンサＣｄは、固定容量のコンデンサを使う場合について説明し

たが、図８に示す発振器１０５のように、制御電圧Ｖｃで静電容量を制御可能な可変容量ダイオードＶＣｇ，ＶＣｄを使ってもよい。この場合、可変容量ダイオードＶＣｇと第１の端子Ａとの間及び可変容量ダイオードＶＣｄと第２の端子Ｂとの間にＤＣカット用のコンデンサＤＣ１及びＤＣ２を挿入する必要がある。

【００４１】

（変形例６）発振器の変形例６について説明する。上記変形例２では、抵抗素子が容量素子と並列に接続された負荷素子の場合について説明したが、図９に示す発振器１０６のように、インダクタンス素子が容量素子と並列に接続された負荷素子にしてもよい。図４の６個の抵抗素子Ｒ１１～Ｒ３２の替わりに各々６個のインダクタンス素子Ｌ１１～Ｌ３２を接続する。

【００４２】

（変形例７）発振器の変形例７について説明する。上記変形例２では、抵抗素子が容量素子と並列に接続された負荷素子の場合について説明したが、図１０に示す発振器１０７のように、６個の容量素子Ｃ１１～Ｃ３２を制御電圧Ｖｃで静電容量を制御可能な６個の可変容量ダイオードＶＣ１１～ＶＣ３２及びＤＣカット用のコンデンサＤＣ１１～ＤＣ３２で置き換えてもよい。なお、図１１に示す発振器１０８のように、図１０の６個の抵抗素子Ｒ１１～Ｒ３２を各々６個のインダクタンス素子Ｌ１１～Ｌ３２に置き換えてもよい。

【００４３】

（変形例８）発振器を使った電子機器の例について説明する。図１２は、変形例８に係る発振器を使った電子機器である携帯電話の構成を示す概略図である。携帯電話１２００は、操作ボタンなどを備えた本体部１２１０と、液晶パネルなどを備えた表示部１２２０とが、ヒンジ部１２３０によって折りたたみ可能なように接続されている。本体部１２１０には、発振器１００（または１０１，１０２，１０４～１０８のいずれか）が内蔵され、発振器１００が第１の端子Ａまたは第２の端子Ｂから出力される信号に基づき制御される図示しない送信回路が内蔵され、表示部１２２０には、図示しない受信回路が内蔵され、無線通信により本体部１２１０から表示部１２２０に動画や静止画や音声などのデータが送受信される。発振器１００と送信回路及び受信回路で携帯電話１２００を構成することにより、本体部１２１０から表示部１２２０に高速に動画や静止画や音声などのデータを転送することができる。なお、発振器１００を使った電子機器は、他に小型電池駆動で低消費電力が必要とされる腕時計、ＰＤＡ、リモコン、携帯音楽プレーヤーなどにも適応できる。

【図面の簡単な説明】

【００４４】

【図１】第１実施形態に係る発振器の構成を示す回路図。
【図２】図１の発振器の３個のインバータとコンデンサの等価回路図。
【図３】変形例１に係る発振器の構成を示す回路図。
【図４】変形例２に係る発振器の構成を示す回路図。
【図５】従来の発振器の構成を示す回路図。
【図６】従来の発振器の３個のインバータの等価回路図。
【図７】変形例４に係る発振器の構成を示す回路図。
【図８】変形例５に係る発振器の構成を示す回路図。
【図９】変形例６に係る発振器の構成を示す回路図。
【図１０】変形例７に係る発振器の構成を示す回路図。
【図１１】変形例７に係る発振器の構成を示す回路図。
【図１２】変形例８に係る発振器を使った電子機器の構成を示すブロック図。

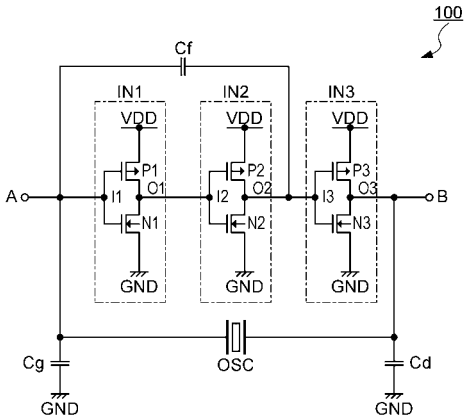
【符号の説明】

【００４５】

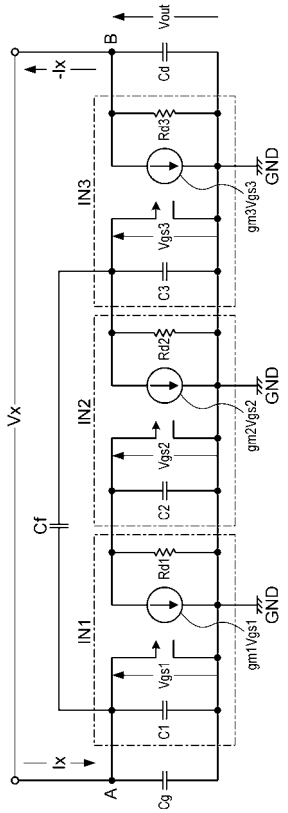
１００…発振器、１０１…発振器、１０２…発振器、１０３…発振器、１０４…発振器、１０５…発振器、１０６…発振器、１０７…発振器、１０８…発振器、１２００…携帯

電話。

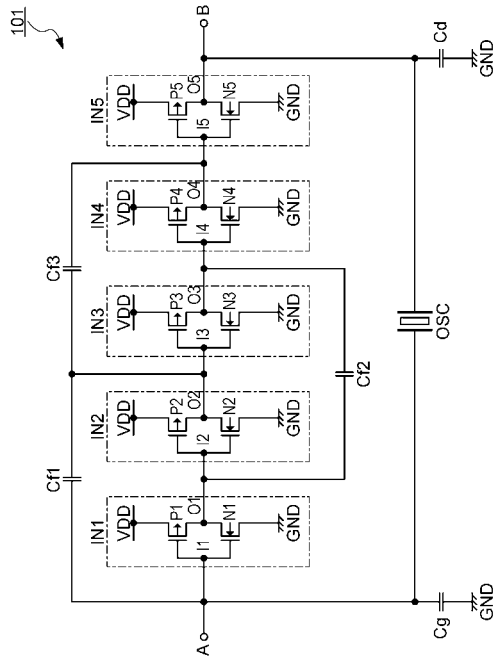
【図１】


100
Cf
IN1
IN2
IN3
VDD
VDD
VDD
P1
P2
P3
A
I1
O1
I2
O2
I3
O3
B
N1
N2
N3
GND
GND
GND
Cg
OSC
Cd
GND
GND

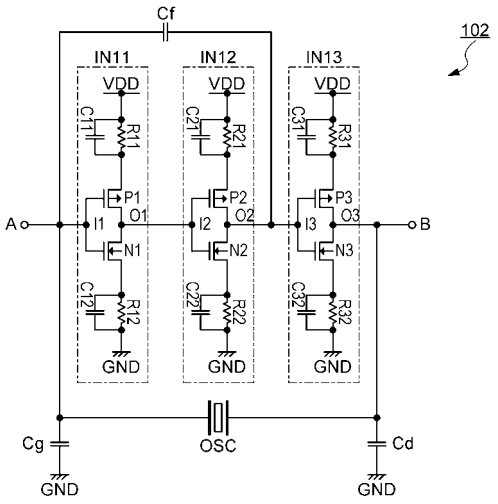
【図２】


Vout
B
-Ix
Cd
Rd3
GND
gm3Vgs3
IN3
Vgs3
C3
Rd2
GND
gm2Vgs2
Vx
IN2
Vgs2
C2
Cf
Rd1
GND
gm1Vgs1
IN1
Vgs1
C1
Ix
A
Cg

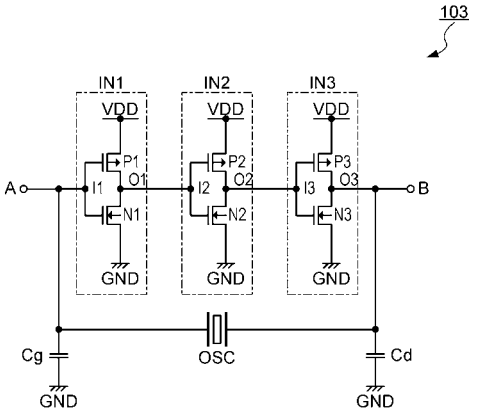
【図３】


101
B
Cd
GND
IN5
VDD
P5
O5
N5
GND
I5
IN4
P4
O4
N4
I4
Cf3
IN3
P3
O3
N3
I3
OSC
Cf2
IN2
P2
O2
N2
I2
Cf1
IN1
P1
O1
N1
I1
A
Cg

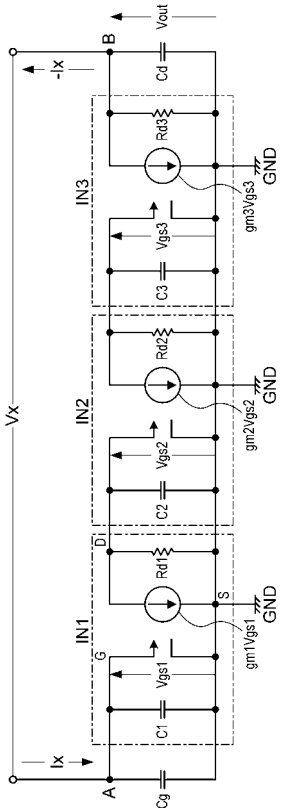
【図４】


Cf
102
IN11
IN12
IN13
VDD
C11
R11
C21
R21
C31
R31
P1
P2
P3
A
I1
O1
I2
O2
I3
O3
B
N1
N2
N3
C12
R12
C22
R22
C32
R32
GND
OSC
Cg
Cd

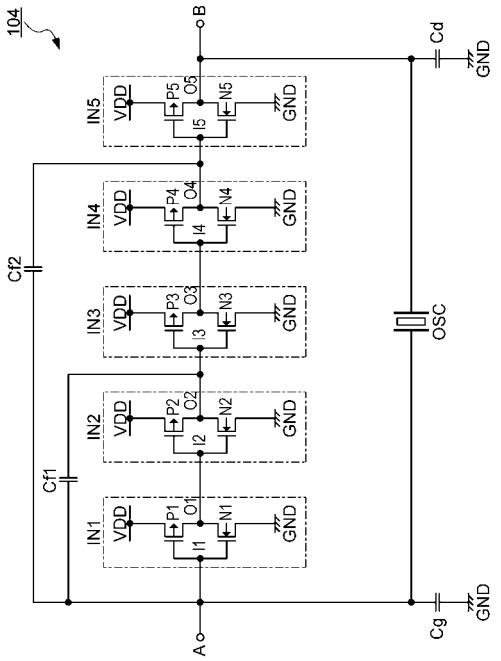
【図５】


103
IN1
IN2
IN3
VDD
P1
P2
P3
A
I1
O1
I2
O2
I3
O3
B
N1
N2
N3
GND
OSC
Cg
Cd

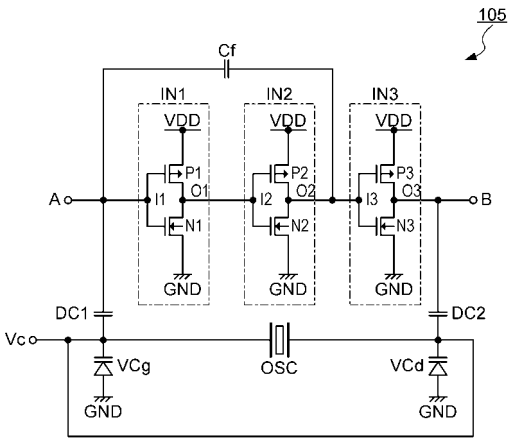
【図６】


Vout
B
-Ix
Cd
Rd3
GND
IN3
gm3Vgs3
Vgs3
C3
Rd2
IN2
gm2Vgs2
Vgs2
C2
Vx
D
Rd1
S
IN1
gm1Vgs1
G
Vgs1
C1
Ix
A
Cg

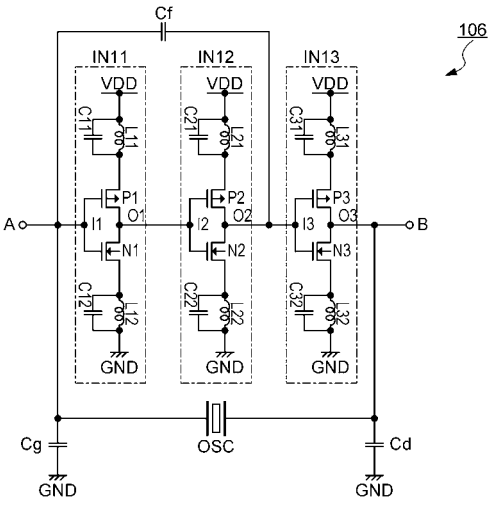
【図７】


104
B
Cd
GND
IN5
VDD
P5
O5
N5
GND
I5
IN4
P4
O4
N4
I4
Cf2
IN3
P3
O3
N3
I3
OSC
IN2
P2
O2
N2
I2
Cf1
IN1
P1
O1
N1
I1
A
Cg

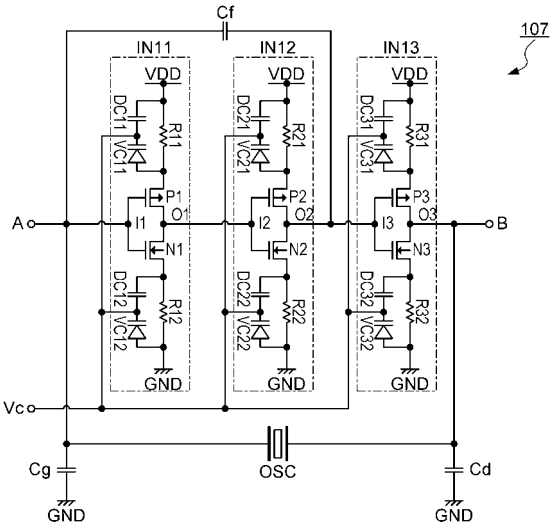
【図８】


105
Cf
IN1
IN2
IN3
VDD
P1
O1
N1
P2
O2
N2
P3
O3
N3
I1
I2
I3
GND
A
B
DC1
DC2
Vc
VCg
OSC
VCd

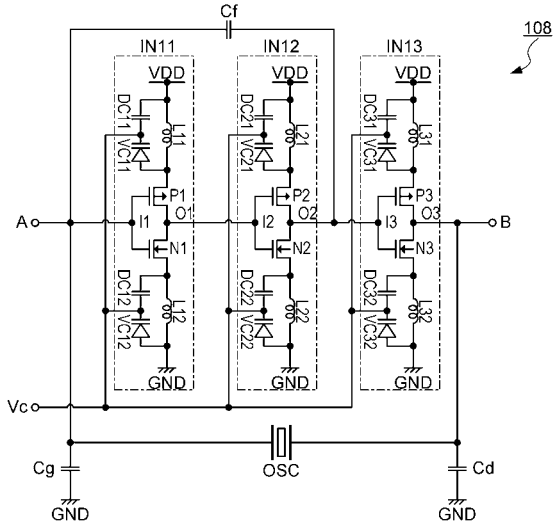
【図９】


106
Cf
IN11
IN12
IN13
VDD
C11
L11
C21
L21
C31
L31
P1
P2
P3
O1
O2
O3
I1
I2
I3
N1
N2
N3
C12
L12
C22
L22
C32
L32
GND
A
B
Cg
OSC
Cd

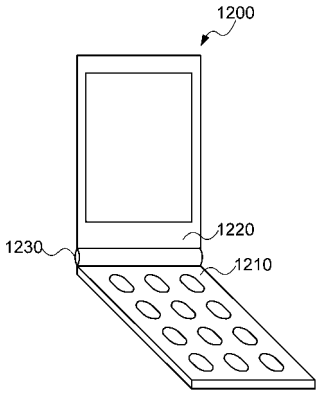
【図１０】


107
Cf
IN11
IN12
IN13
VDD
DC11
VC11
R11
DC21
VC21
R21
DC31
VC31
R31
P1
P2
P3
O1
O2
O3
I1
I2
I3
N1
N2
N3
DC12
VC12
R12
DC22
VC22
R22
DC32
VC32
R32
GND
A
B
Vc
Cg
OSC
Cd

【図１１】


Cf
108
IN11
IN12
IN13
VDD
DC11
VC11
L11
P1
I1
O1
N1
DC12
VC12
L12
GND
DC21
VC21
L21
P2
I2
O2
N2
DC22
VC22
L22
DC31
VC31
L31
P3
I3
O3
N3
DC32
VC32
L32
A
B
Vc
Cg
OSC
Cd

【図１２】


1200
1220
1230
1210

フロントページの続き

(56)参考文献 特開２００７－２２１１９７（ＪＰ，Ａ）
特開平０６－２９６１２３（ＪＰ，Ａ）
特開２００４－０２３１０９（ＪＰ，Ａ）
特開平１１－１６３６３３（ＪＰ，Ａ）
特開２００２－２０４１２８（ＪＰ，Ａ）
特開２００５－０７２８２８（ＪＰ，Ａ）
特開平０４－０４０１０６（ＪＰ，Ａ）
特開２００４－３３６７６１（ＪＰ，Ａ）
特開平０６－００６１３５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｂ　　５／３６
Ｈ０３Ｂ　　５／３０
Ｈ０３Ｂ　　５／３２