

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
 C23C 16/40
 H01L 21/316

(11) 공개번호 10-2005-0043926
 (43) 공개일자 2005년05월11일

(21) 출원번호	10-2005-7003579
(22) 출원일자	2005년02월28일
번역문 제출일자	2005년02월28일
(86) 국제출원번호	PCT/US2003/026789
국제출원출원일자	2003년08월27일
	(87) 국제공개번호 WO 2004/020689
	국제공개일자 2004년03월11일

(30) 우선권주장 10/229,627 2002년08월28일 미국(US)

(71) 출원인 마이크론 테크놀로지 인코포레이티드
 미국, 아이다호 83706-9632, 보이즈, 사우스 패더럴 웨이 8000
 (72) 발명자 바트스트라, 브라이언, 에이.
 미국 83686 아이다호 남파 브레이든 레인 3417
 웨스트모어랜드, 도날드, 엘.
 미국 83704 아이다호 보이세 웨스트 어라이언스 스트리트 10258

(74) 대리인 남상선

심사청구 : 없음

(54) 금속 유기 아민과 금속 유기 산화물을 사용하여 금속 산화물을 형성하는 방법 및 시스템

명세서

기술분야

본 발명은 1종 이상의 유기 아민 전구체 화합물(예: 알킬아민 또는 알킬이미노알킬아민 전구체 화합물)과 1종 이상의 유기 산화물 전구체 화합물(예: 알콕사이드 또는 옥소알콕사이드)을 포함하는 1종 이상의 전구체 화합물들을 사용하여 기상 증착 공정 중에 기판상에 금속 산화물 층을 형성하는 방법에 관한 것이다. 상기 전구체 화합물과 본 발명의 방법은 반도체 기판 또는 기판 어셈블리상에 금속 산화물 층을 형성하는데 특히 적합하다.

배경기술

수년간 커패시터(capacitor) 및 게이트(gate)와 같은 마이크로전자 소자의 연속적인 축소로 인해 집적 회로 기술 분야에 통상 사용되는 재료가 그들의 성능상의 한계에 근접하는 상황이 유발되어 왔다. 실리콘(즉, 도핑된 폴리실리콘)을 통상 기판으로서 선택되고 있으며, 이산화실리콘(SiO_2)은 실리콘과 함께 유전체 재료로서 사용되어 마이크로전자 소자를 구성하는 경우가 많다. 그러나, 상기 SiO_2 층이 최근 마이크로 소자에서 요구되는 바와 같이 두께가 1 nm 정도(즉, 단 4개 또는 5개의 분자에 불과한 두께)로 얇아질 때, 상기 층은 그것을 통과하여 흐르는 터널링(tunneling) 전류에 기인하여 더 이상 절연체로서 효과적으로 성능을 발휘하지 못한다.

따라서, 소자의 성능을 연장시키기 위해서 신규한 고유전율 재료가 요구되고 있는 실정이다. 이와 같은 재료는 높은 유전율, 터널링을 방지하기 위한 방벽 높이, 실리콘과의 직접 접촉시 안정성 및 우수한 계면 특성과 필름 형태를 나타낼 필요가 있다. 더욱이, 이와 같은 재료는 게이트 재료, 전극, 반도체 처리 온도 및 작동 조건과도 양립되어야 한다.

최근에, 반도체 웨이퍼상에 증착된 ZrO_2 , HfO_2 , Al_2O_3 및 YSZ 와 같은 금속으로 된 양질의 금속 산화물 박막이 메모리(예: 동적 랜덤 억세스 메모리(DRAM) 소자, 정적 랜덤 억세스 메모리(SRAM) 소자, 및 강유전성 메모리(FERAM) 소자)에 유용한 것으로 관심이 증가하고 있다. 이러한 재료들은 유전율이 높아서 매우 얇은 층이 요구되는 메모리 분야에서 SiO_2 의 대체물로서 주목할만하다. 이와 같은 금속 산화물층은 실리콘의 존재하에서 열역학적으로 안정하여 열 어닐링(annealing) 처리시에 실리콘 산화 반응을 최소화시키며, 금속 게이트 전극과도 양립되는 것으로 보인다. 구체적으로, 게이트 유전체로서는, La_2O_3 , HfO_2 및 ZrO_2 가 유망한데, 이들이 높은 값의 유전율과 밴드갭(bandgap)을 갖기 때문이다.

이러한 발견에 따라서 층, 구체적으로 금속 산화물을 주성분으로 하는 유전층을 형성하는 다양한 증착 공정을 연구하기 위한 많은 노력이 이루어졌다. 이와 같은 증착 공정으로는, 기상 증착법, 금속 열 산화법, 및 고진공 스퍼터링(sputtering)법을 들 수 있다. 화학 기상 증착(chemical vapor deposition; CVD) 및 원자층 증착(atomic layer deposition; ALD)을 포함하는 기상 증착 공정이 매우 바람직한데, 기판상에서 유전체의 균일성과 두께를 조절하기가 좋기 때문이다. 그러나, 기상 증착 공정은 대개 반응성 금속 전구체 화합물과 물 또는 산소와 같은 산소원의 동시 반응을 수반하는 경우가 많은데, 물이나 산소는 바람직하지 못한 SiO_2 계면 층의 형성을 유발할 수가 있다. 따라서, 물과 산소가 없는 기상 증착 공정의 개발이 진행중이다.

문헌 [Ritala 등, "Atomic Layer Deposition of Oxide Thin Films with Metal Alkoxides as Oxygen Sources", SCIENCE, 288:319-321 (2000)]에는, 산화물 박막을 형성하기 위한 ALD의 화학적 접근 방법이 개시되어 있다. 이러한 방법에서, 금속 공급원 및 산소 공급원으로서 둘다 작용하는 금속 알콕사이드는 또 다른 금속 화합물, 예컨대 금속 염화물 또는 금속 알킬화물과 반응하여 계면 실리콘 산화물 층을 형성하는 일 없이 실리콘상에 금속 산화물을 증착시킨다. 그러나, 바람직하지 않은 염소 잔류물이 형성될 수도 있다. 더욱이, 알킬지르코늄과 알킬하프늄은 일반적으로 불안정하며 입수하기가 용이하지 않다. 이를 알킬화물은 형성된 필름에 탄소를 남길 가능성도 있다.

이와 같은 반도체 유전체층에 대한 지속적인 개선에도 불구하고, 기상 증착 공정에 의해 얇은 양질의 산화물 층을, 구체적으로 반도체 기판상에 형성할 수 있는 휘발성이 충분한 금속 전구체 화합물을 사용하는 기상 증착 방법에 대한 필요성이 여전히 존재하고 있는 실정이다.

발명의 상세한 설명

본 발명은 기판상에 금속 산화물 층을 기상 증착시키는 방법을 제공한다. 본 발명의 기상 증착 방법은 1종 이상의 금속 유기 산화물 전구체 화합물(예: 알콕사이드 또는 옥소알콕사이드)과 1종 이상의 금속 유기 아민 전구체 화합물(예: 알킬아민 또는 알킬이민알킬아민)을 병용하여 상기 층을 형성시키는 단계를 포함한다. 분명히, 본 발명의 방법은 물 또는 강력한 산화제의 사용을 필요로 하지 않으므로, 목적하는 금속 산화물 층과 기판 사이에서 바람직하지 못한 계면 산화물 층을 생성시키는 문제점과 상단층 아래의 다른 층들을 산화시키는 문제점을 줄일(대개는 방지할) 수 있다. 대개는, 그리고 바람직하게는 상기 층은 유전체층(dielectric layer)이다.

본 발명의 방법은 기판(바람직하게는, 반도체 기판 또는 반도체 구조물을 제작하는데 사용되는 기판 어셈블리)상에 금속 산화물 층을 형성시키는 단계를 포함한다. 구체적으로, 본 발명의 방법은, 기판을 제공하는 단계; 화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 제공하는 단계; 및 기상 증착 공정에 의해 기판의 하나 이상의 표면상에 금속 산화물 층을 형성시키도록 상기 전구체 화합물들을 접촉시키는 단계를 포함한다. 상기 화학식 I과 화학식 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고; R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며; x 는 0 내지 4이고; y 는 1 내지 8이며; w 는 0 내지 4이고; z 는 1 내지 8이며; q 는 1 또는 2이고; x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수이다.

본 발명의 다른 실시양태에서, 본 발명의 방법은, 증착 챔버내에 기판(바람직하게는, 반도체 기판 또는 기판 어셈블리)을 제공하는 단계; 화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 제공하는 단계; 기화된 전구체 화합물들을 형성시키도록 상기 전구체 화합물들을 기화시키는 단계; 및 상기 기판의 하나 이상의 표면상에 금속 산화물 유전체층을 형성시키도록 상기 기화된 화합물들을 상기 기판을 향해 배향시키는 단계를 포함한다. 상기 화학식 I과 화학식 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고; R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며; x 는 0 내지 4이고; y 는 1 내지 8이며; w 는 0 내지 4이고; z 는 1 내지 8이며; q 는 1 또는 2이고; x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수이다.

또한, 본 발명은 메모리 소자 구조물을 제조하는 방법을 제공한다. 상기 방법은, 표면상에 제 1 전극을 구비한 기판을 제공하는 단계; 화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 제공하는 단계; 기화된 전구체 화합물들을 형성시키도록 상기 전구체 화합물들을 기화시키는 단계; 상기 기판의 제 1 전극상에 금속 산화물 유전체층을 형성시키도록 상기 기화된 화합물들을 상기 기판을 향해 배향시키는 단계; 및 상기 유전체층상에 제 2 전극을 형성시키는 단계를 포함한다. 상기 화학식 I과 화학식 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고; R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며; x 는 0 내지 4이고; y 는 1 내지 8이며; w 는 0 내지 4이고; z 는 1 내지 8이며; q 는 1 또는 2이고; x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수이다.

이외에도, 본 발명은, 내부에 기판이 배치된 기상 증착 챔버; 화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물을 포함하는 하나 이상의 용기; 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 포함하는 하나 이상의 용기를 포함하는 기상 증착 장치를 제공한다. 상기 화학식 I과 화학식 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고; R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며; x 는 0 내지 4이고; y 는 1 내지 8이며; w 는 0 내지 4이고; z 는 1 내지 8이며; q 는 1 또는 2이고; x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수이다.

본 발명의 방법은, 펄스화될 수 있는 화학 기상 증착(CVD) 공정 또는 원자층 증착(ALD) 공정(다수의 증착 사이클을 포함하고, 사이클 사이 사이에 세정 과정이 포함되는 자체 제한식 기상 증착 공정)을 이용할 수 있다. 본 발명의 방법은 ALD 공정을 사용하는 것이 바람직하다. 특정한 ALD 공정에 있어서, 상기 전구체 화합물들은 각 증착 사이클 동안 증착 챔버내에 교대로 도입될 수 있다.

또한, 본 발명은 상기 화학식 I로 표시되는 1종 이상의 전구체 화합물 및 상기 화학식 II로 표시되는 1종 이상의 전구체 화합물을 포함하는 전구체 조성물을 제공한다.

본 명세서에서 사용한, "반도체 기판" 또는 "기판 어셈블리"라는 용어는, 베이스(base) 반도체 층 또는 하나 이상의 층, 구조물 또는 영역이 형성된 반도체 기판과 같은 반도체 기판을 의미한다. 베이스 반도체 층은 통상적으로 웨이퍼상에 존재하는 실리콘 재료로 된 쇠하층 또는 다른 재료상에 중착된 실리콘 층, 예를 들면 사파이어상의 실리콘 층이다. 반도체 어셈블리라는 용어를 사용한 경우에, 영역, 접점, 각종 구조물 또는 미세구조물, 그리고 커파시터 플레이트 또는 커파시터용 방벽과 같은 개구부를 형성하기 위해 사전에 여러 가지 처리 단계들이 사용된 것일 수도 있다.

본 명세서에서 사용한 "층"이라는 용어는, 본 발명의 전구체 화합물로부터 기상 중착 공정에 의해서 기판상에 형성될 수 있는 임의의 금속 산화물 층을 의미한다. "층"이라는 용어는, 반도체 산업 분야에 있어서 특별히 사용되는 층들, 예를 들면 "방벽층", "유전체층" 및 "전도층"을 모두 포함하는 의미이다 ("층(layer)"이라는 용어는 반도체 산업 분야에서 "막(film)"이라는 용어와 동의어로서 사용되는 경우가 많다). 또한, "층"이라는 용어는, 반도체 기술 분야 이외의 기술 분야에서 발견되는 층들, 예를 들면 유리상의 코팅층도 포함하는 의미이다.

본 명세서에서 사용한, "전구체 화합물"이라는 용어는, 단독으로 또는 다른 전구체 화합물과 함께 기상 중착 공정에 따라 기판상에 금속 산화물 층을 형성할 수 있는 금속 함유 화합물을 말한다.

본 명세서에서 사용한, "중착 공정" 및 "기상 중착 공정"이라는 용어는, 기화된 전구체 화합물(들)로부터 기판(예를 들면, 도핑된 폴리실리콘 웨이퍼)의 하나 이상의 표면상에 금속 산화물 층을 형성시키는 공정을 의미한다. 구체적으로, 1종 이상의 금속 함유 전구체 화합물이 기화되고, 중착 챔버내에 배치된 가열된 기판(예를 들면, 반도체 기판 또는 기판 어셈블리)의 하나 이상의 표면에 대해 배향된다. 상기 전구체 화합물들은 비휘발성의 얇고 균일한 금속 산화물 층을 기판의 표면(들)상에 형성한다(예를 들면, 반응 또는 분해에 의해서). 본 발명에 의하면, "기상 중착 공정"이라는 용어는 화학 기상 중착 공정(펄스화된 화학 기상 중착 공정 포함) 및 원자층 중착 공정을 모두 포함하는 의미이다.

본 명세서에 사용한 "화학 기상 중착(CVD)"이라는 용어는 중착 챔버내에서 기화된 금속 전구체(즉, 금속 함유 전구체) 화합물(및 기타 선택적으로 사용된 반응 가스)로부터, 반응 성분들을 분리시킬 필요없이, 기판상에 소정의 층을 부착시키는 중착 공정을 의미한다. 전구체 화합물과 임의의 반응 가스를 거의 동시에 사용하는 "단순한" CVD 공정에 반하여, "펄스화된(pulsed)" CVD는 상기 물질들을 중착 챔버내로 교대로 펄스 방식으로 도입하지만, 원자층 중착 또는 ALD(이하에 상세히 설명함) 공정에서 이루어지는 것과 같이, 전구체와 반응 가스 스트림간의 상호 혼합을 염격하게 방지하는 것은 아니다.

본 명세서에서 사용한, "원자층 중착(ALD)"이라는 용어는 중착 챔버내에서 다수의 연속적인 중착 사이클을 수행하는 중착 공정을 의미한다. 통상적으로, 매회 사이클 동안에 금속 전구체를 기판 표면상에 화학적으로 흡착시키고 과량의 전구체는 세정되며, 후속하는 전구체 및/또는 반응 가스를 도입시켜서 화학 흡착된 층과 반응시킨 후에, 과량의 반응 가스(사용한 경우) 및 부산물을 제거한다. 1회 사이클로 이루어지는 화학 기상 중착(CVD)과 달리, 지속 기간이 긴 멀티사이클 ALD 공정에 의하면, 자체 제한적인 층의 성장에 의해서 층 두께를 개선된 방식으로 조절할 수 있으며, 반응 성분들의 분리에 의한 유해한 기체상 반응을 최소화시킬 수 있다. 본 명세서에 사용한 "원자층 중착"이라는 용어는, 전구체 화합물(들), 반응 가스(들) 및 세정(즉, 불활성 캐리어) 가스(들)의 교호 펄스를 사용하여 수행할 경우에는 관련 용어인 "원자층 에피택시(atomic layer epitaxy; ALE), 분자빔 에피택시(molecular beam epitaxy; MBE), 기체 공급원 MBE, 유기금속 MBE, 및 화학빔 에피택시도 포함하는 의미를 갖는다.

본 명세서에서 사용한 "화학 흡착(chemisorption)"이라는 용어는, 기화된 반응성 전구체 화합물이 기판의 표면상에 화학적으로 흡착되는 것을 의미한다. 이와 같이 흡착된 화학종은, 통상의 화학 결합에 대해 비교할 때 높은 흡착 에너지(예: >30 kcal/mol)를 특징으로 하는 비교적 강한 결합력에 따라서 기판 표면에 대해 비가역적으로 결합된다. 이와 같은 화학 흡착된 화학종은 대개 기판 표면상에서 단일층을 형성한다. (이에 관해서는 문헌 [The Condensed Chemical Dictionary], 제10판, G.G. Hawley 개정, Van Nostrand Reinhold Co. 발행, 뉴욕 225 (1981)]을 참조할 수 있다). ALD 기법은 화학 흡착에 대해서 반응성 전구체 분자의 포화된 단일층이 형성된다는 원리에 기초한 것이다. ALD에서는, 1종 이상의 적절한 전구체 화합물 또는 반응 가스가 교대로 (예: 펄스화) 중착 챔버내에 도입되어 기판의 표면상에 화학 흡착된다. 반응성 화합물들이 순차적으로 도입될 때마다(예를 들면, 1종 이상의 전구체 화합물과 1종 이상의 반응 가스), 이 화합물들은 대개 불활성 캐리어 가스에 의한 세정 처리에 따라 분리된다. 각각의 전구체 화합물의 동시 반응은 앞서 중착된 층에 새로운 원자층을 부가하여 누적된 고체 층을 형성한다. 이와 같은 사이클이 대개는 수백회동안 반복되어 소정의 층 두께를 서서히 형성하게 된다. ALD는 화학 흡착되는 1종의 전구체 화합물 및 그와 같이 화학 흡착된 화학종과 반응하는 1종의 반응 가스를 교대식으로 사용할 수 있음을 이해해야 한다.

도면의 간단한 설명

도 1 내지 도 3은 커파시터의 구조를 예시한 도면이다.

도 4는 본 발명의 방법에 사용하는데 적합한 기상 중착 코팅 장치의 사시도이다.

실시예

본 발명은 화학식 $M^1_{q_x}(O_y)(OR^1)^z$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물과 화학식 $M^2(NR^2)^w(NR^3R^4)^z$ (화학식 II)로 표시되는 1종 이상의 금속 전구체 화합물을 사용하여 기판(바람직하게는 반도체 기판 또는 기판 어셈블리)상에 금속 산화물 층(바람직하게는, 혼합된 금속 산화물 층)을 형성하는 방법을 제공한다. 상기 화학식 I과 화학식 II에서, M^1 과 M^2 는 각각 독립적으로 금속(주족, 전이 금속, 란탄족 원소)을 나타내고; 각각의 R은 독립적으로 수소 원자 또는 유기 기이며; x

는 0 내지 4(바람직하게는 0 내지 2)이고; y는 1 내지 8(바람직하게는 2 내지 6)이며; w는 0 내지 4(바람직하게는 0 내지 2)이고; z는 1 내지 8(바람직하게는 2 내지 6)이며; q는 1 또는 2(바람직하게는 1)이고; x, y, z 및 w는 M¹과 M²의 산화상태에 좌우되는 수이다.

상기 금속 산화물 층은 1종 이상의 상이한 금속들을 포함할 수 있으며, 통상적으로 화학식 M_nO_m(화학식 III)으로 표시되는 데, 이때 M은 전술한 바와 같은 M¹과 M²중 하나 이상일 수 있다(즉, 상기 산화물은 단일 금속 산화물 또는 혼합된 금속 산화물일 수 있다). 상기 금속 산화물 층은 혼합된 금속 산화물인 것이(즉, 2종 이상의 상이한 금속을 포함하는 것이) 바람직하다. 상기 금속 산화물 층은 2종의 상이한 금속을 포함하는 것이 더욱 바람직하다.

특정의 실시양태에서, 상기 화학식 I과 화학식 II로 표시되는 화합물의 금속들은 동일하다(즉, M¹=M²). 이와 같은 화합물을 ALD 공정에 사용할 경우에, 매 사이클당 성장 속도는 단일의 금속 전구체와 산화 가스를 사용하는 전형적인 ALD 공정의 당해 속도에 비해 거의 2배가 될 수 있다.

상기 금속 산화물 층이 2종 이상의 상이한 금속을 포함할 경우에, 상기 금속 산화물 층은, 합금, 고용체 또는 나노적층체(nanolaminate)의 형태로 존재할 수 있다. 이들은 유전 특성을 갖는 것이 바람직하다. 상기 금속 산화물 층(구체적으로, 유전체층인 경우에)은 ZrO₂, HfO₂, Ta₂O₃, Al₂O₃, TiO₂ 및 란탄족 원소의 산화물중에서 1종 이상을 포함하는 것이 바람직하다.

상기 금속 산화물 층이 형성되는 기판은 반도체 기판 또는 기판 어셈블리인 것이 바람직하다. 적당한 반도체 재료를 사용할 수 있으며, 그 구체적인 예로서는 전도성 도핑 폴리실리콘(본 발명에서는 이것을 간단히 "실리콘"으로 언급함)을 들 수 있다. 기판 어셈블리는 백금, 이리듐, 로듐, 루테늄, 산화루테늄, 질화티탄, 질화탄탈, 탄탈-실리콘-질화물, 이산화실리콘, 알루미늄, 갈륨 아세나이드, 유리 등을 비롯한 층, 및 기타 반도체 구조물, 예컨대 동적 랜덤 억세스 메모리(DRAM) 소자 및 정적 랜덤 억세스 메모리(SRAM) 소자에 사용되는 기존의 재료 또는 개발되고 있는 재료를 포함하는 층을 더 함유할 수 있다.

반도체 기판 또는 기판 어셈블리 이외의 다른 기판도 본 발명의 방법에 사용할 수 있다. 이러한 기판의 예로서는 섬유, 와이어 등을 들 수 있다. 상기 기판이 반도체 기판 또는 기판 어셈블리인 경우에, 상기 층들은 기판의 가장 아래인 반도체 표면상에 직접 형성되거나, 예컨대 패턴화된 웨이퍼의 경우처럼 다양한 층들중 어느 하나(즉, 표면)상에 형성될 수 있다.

본 발명에 사용되는 전구체 화합물은 광범위한 금속을 포함할 수 있다. 본 명세서에서 사용한 "금속"이라는 용어는, 주기율표상의 모든 금속(주족금속, 전이금속, 란탄족원소, 악티늄족원소 포함)뿐만 아니라 메탈로이드(metalloid) 또는 반금속(semimetal)을 모두 포함하는 의미를 갖는다. 본 발명의 특정한 방법에 있어서, 바람직하게 금속 M은 IIIB족 금속(Sc, Y), IVB족 금속(Ti, Zr, Hf), VB족 금속(V, Nb, Ta), VIB족 금속(Cr, Mo, W), VIIIB족 금속(Mn, Tc, Re), IIIA족 금속(Al, Ga, In, Tl), IVA족 금속(Si, Ge, Sn, Pb) 및 란탄족 원소(La, Ce, Pr 등) [주기율표의 3-7족, 13족, 14족 및 란탄족으로도 언급됨] 금속으로 이루어진 그룹에서 선택된다. M는 Y, La, Pr, Nd, Gd, Ti, Zr, Hf, Nb, Ta, Si 및 Al로 이루어진 그룹에서 선택되는 것이 더욱 바람직하다.

본 발명에 유용한 전구체 화합물은 화학식 M¹_q(O)_x(OR¹)_y(화학식 I)로 표시되는 화합물 및 화학식 M²(NR²)_w(NR³R⁴)_z(화학식 II)로 표시되는 화합물로서, 식중 각각의 R은 수소 원자 또는 유기 기를 나타낸다. 본 명세서에서 사용한 "유기 기"라는 용어는 지방족 기, 시클릭 기 또는 지방족 기와 시클릭 기가 혼합된 기(예: 알카릴 및 아랄킬기)로서 분류되는 탄화수소 기를 의미한다. 본 발명에 있어서, 본 발명의 전구체 화합물에 대해 적합한 유기 기는 기상 증착 기법을 사용한 금속 산화물 층의 형성을 방해하지 않는 기들이다. 본 발명에 있어서, "지방족 기"라는 용어는 포화 또는 불포화 선형 또는 분지형 탄화수소 기를 의미한다. 이 용어는, 예를 들면 알킬, 알케닐 및 알킬닐기를 모두 포함하여 지칭하는데 사용된다. "알킬기"라는 용어는, 예를 들면 메틸, 에틸, n-프로필, 이소프로필, t-부틸, 아밀, 헵틸 등을 포함하는 포화 선형 또는 분지형 1가 탄화수소 기를 의미한다. "알케닐기"라는 용어는, 하나 이상의 올레핀계 불포화기(즉, 탄소-탄소 이중 결합), 예컨대 비닐기를 함유하는 불포화 선형 또는 분지형 1가 탄화수소 기를 의미한다. "알킬닐기"라는 용어는 하나 이상의 탄소-탄소 삼중 결합을 함유하는 불포화 선형 또는 분지형 1가 탄화수소 기를 의미한다. "시클릭 기"라는 용어는 지환족 기, 방향족 기 또는 헤테로시클릭 기로 분류되는 폐환식 탄화수소 기를 의미한다. "지환족 기"라는 용어는 지방족 기의 특성과 유사한 특성을 갖는 시클릭 탄화수소 기를 의미한다. "방향족 기" 또는 "아릴기"라는 용어는 단핵 또는 다핵 방향족 탄화수소 기를 의미한다. "헤테로시클릭 기"라는 용어는 고리내의 하나 이상의 원자가 탄소 원자 이외의 것(예를 들면, 질소, 산소, 황 등)인 폐환식 탄화수소를 의미한다.

본 명세서 전반에 걸쳐 특정 용어에 대한 설명을 간명하게 하기 위한 수단으로서, "기"와 "부분"이라는 용어를 치환을 허용하거나 치환될 수 있는 화학종과 치환을 허용하지 않거나 치환될 수 없는 화학종 사이를 구분하기 위해서 사용하였다. 따라서, 화학 치환체를 설명하는데 있어서 "기"라는 용어를 사용한 경우에, 당해 화학 물질은 미치환된 기 및 예를 들어 사슬내의 비과산화 형태인 O, N, Si, F 또는 S원자 등을 가진 기뿐만 아니라 카르보닐기 또는 기타 통상의 치환체를 가진 기를 포함하는 것이다. 화학적 화합물 또는 치환체를 설명하는데 있어서 "부분"이라는 용어를 사용한 경우에는, 오로지 미치환된 화학 물질만이 포함되는 의미이다. 예를 들면, "알킬기"라는 용어는 순수한 개방된 사슬 형태의 포화 탄화수소 알킬 치환체, 예를 들면 메틸, 에틸, 프로필, t-부틸 등뿐만 아니라 당분야에 알려진 추가의 치환체, 예컨대 히드록시, 알콕시, 알킬설피닐, 할로겐원자, 시아노, 니트로, 아미노, 카르복시 등을 가진 알킬 치환체도 모두 포함하는 것이다. 따라서, "알킬기"라는 용어는 에테르기, 할로알킬, 니트로알킬, 카르복시알킬, 히드록시알킬, 설피알킬 등을 포함한다. 그 반면에, "알킬 부분"이라는 용어는 오로지 순수한 개방된 사슬 형태의 포화 탄화수소 알킬 치환체, 예를 들면 메틸, 에틸, 프로필, t-부틸 등만을 포함하는 것으로 제한된다.

본 발명의 모든 전구체 화합물에 대해서, 각각의 R은 독립적으로, 또한 바람직하게 수소 원자 또는 유기 기이며, 더욱 바람직하게는 (C1-C10) 유기 기, 보다 더 바람직하게는 (C1-C8) 유기 기, 그보다 더 바람직하게는 (C1-C6) 유기 기, 그보다 더 바람직하게는 "저급"(즉, C1-C4) 유기 기이다. 유기 기는 각각 알킬기인 것이 더욱 바람직하다. 유기 기는 각각 유기 부분, 바람직하게는 알킬 부분인 것이 가장 바람직하다.

특정한 실시양태에서, R기의 탄소 원자는 경우에 따라서 실리콘, 플루오르, 산소 및/또는 질소 원자 또는 이러한 원자들을 함유하는 기로 치환된다. 따라서, 실록사이드는 화학식 I의 범위내에 포함되고, 실릴화 아민 및 실릴화 이민 아민은 화학식 II의 범위내에 포함된다.

화학식 I, 즉, $M^1_q(O)_x(OR^1)_y$ 로 표시되는 화합물에 있어서, R^1 은 각각 (C1-C6) 유기 기인 것이 바람직하다. 적합한 전구체 화합물의 예로서는, 테트라카리스(t-부톡사이드)하프늄, 테트라카리스(이소프로포시)티타늄, 및 펜타(에톡시)탄탈을 들 수 있다. 이와 같은 화합물은 시그마 알드리치(Sigma Aldrich) 같은 제조원으로부터 상업적으로 입수 가능하거나, 표준 기법을 사용하여 (예를 들면, 금속 알킬 아미드의 알콜 첨가 분해 반응에 의해) 제조된 것일 수 있다.

화학식 II, 즉, $M^2(NR^2)_w(NR^3R^4)_z$ 로 표시되는 화합물에 있어서, R^2 , R^3 및 R^4 는 각각 (C1-C6) 유기 기인 것이 바람직하다. 적합한 전구체 화합물로서는, 테트라카리스(디메틸아미노)티타늄, 테트라카리스(디메틸아미노)하프늄, 테트라카리스(에틸메틸아미노)하프늄, 및 $Al(NMe_2)_2(N(Me)CH_2CH_2NMe_2)$ 를 들 수 있다. 이와 같은 화합물들은 스트렘 케미칼사(Strem Chemical Co.)와 같은 제조원으로부터 상업적으로 이용 가능하거나, 표준 기법을 사용하여 (예를 들면, 금속 염화물과 상용하는 리튬 디알킬아미드를 반응시킴으로써) 제조된 것일 수 있다.

다양한 전구체 화합물들을 다양한 조합으로, 경우에 따라서는 1종 이상의 유기 용매(특히, CVD 공정의 경우)와 함께 사용하여, 전구체 조성물을 형성할 수 있다. 전구체 화합물은 실온에서 액체 또는 고체로 존재할 수 있다(기화온도에서 액체인 것이 바람직함). 통상적으로, 전구체 화합물은 공지의 기상 증착 기법에 따라 사용하는데 충분한 정도로 휘발성이 액체이다. 그러나, 고체로서도 충분한 휘발성을 가질 수 있기 때문에, 전구체 화합물은 공지의 기상 증착 기법에 따라서 고체 상태로부터 기화 또는 승화될 수 있다. 전구체 화합물이 휘발성이 적은 고체일 경우에, 이들은 플래쉬(flash) 기화, 밸포, 미소액적 형성 기법등에 사용될 수 있도록 유기 용매중에 충분히 용해 가능하거나, 그들의 분해 온도 이하인 용점을 갖는 것이 바람직하다. 이때, 기화된 전구체 화합물은 단독으로, 또는 경우에 따라 다른 전구체 화합물의 기화된 분자와 함께, 그렇지 않으면 경우에 따라 기화된 용매 분자와 함께 사용될 수 있다. 본 명세서에서, "액체"라는 용어는 용액 또는 순수 액체(실온에서 액체이거나 고온에서 용해되고 실온에서는 고체인 것)를 언급한 것이다. 본 명세서에서, "용액"이라는 용어는 고체의 완전한 용해를 필요로 하지 않고, 화학 기상 증착 공정에 있어서 유기 용매에 의해 증기상내로 전달되는 고체의 양이 충분하다는 조건하에 약간의 용해되지 않은 고체가 존재해도 무방한 경우를 말한다. 증착시 용매 희석법을 사용하는 경우, 생성되는 총 몰 농도의 용매 증기가 불활성 캐리어 가스로서 고려될 수 있다.

본 발명에 (특히 CVD 공정에) 사용하는데 적합한 용매는 다음과 같은 용매들 중 1종 이상일 수 있다: 지방족 탄화수소 또는 불포화 탄화수소(C3-C20, 바람직하게는 C5-C10 시클릭, 분지형 또는 선형), 방향족 탄화수소(C5-C20, 바람직하게는 C5-C10), 할로겐화 탄화수소, 실릴화 탄화수소, 예컨대 알킬실란, 알킬실리케이트, 에테르, 폴리에테르, 티오에테르, 에스테르, 락톤, 암모니아, 아미드, 아민(지방족 또는 방향족, 1급, 2급 또는 3급), 폴리아민, 니트릴, 시아네이트, 이소시아네이트, 티오시아네이트, 실리콘 오일, 알코올, 또는 전술한 용매가 혼합된 형태를 함유하는 화합물 또는 전술한 용매 1종 이상으로 이루어진 혼합물. 또한, 용매 화합물은 일반적으로 서로 상용성이 있어서, 다양한 양의 전구체 화합물들로 이루어진 혼합물이 그들의 물리적 특성을 현저하게 변화시킬 정도로 상호작용을 하지는 않을 것이다.

본 발명에 의하면, 기판(대개 실리콘)의 산화물(대개는 이산화실리콘)로의 산화 반응을 극소화시키기 위해서 반응 가스를 전혀 사용하지 않는 것이 바람직하다. 이러한 산화 과정은 다른 기판, 예컨대 금속 전극 또는 질화물 방벽에 대해서도 유해한 산화 반응을 야기할 수 있다. 또한, 당분야에 잘 알려진 바와 같이, 일부의 층들은 산화 가스를 투과시킬 수 있으므로, 상단 기판 층 아래의 층에 대하여 유해한 산화 반응을 야기할 수 있다.

상기 전구체 화합물은 필요에 따라 불활성 캐리어 가스의 존재하에서 기화될 수 있다. 또한, 불활성 캐리어 가스는 ALD 공정에서 세정 단계에 사용될 수도 있다. 이와 같은 불활성 캐리어 가스는 통상적으로 질소, 헬륨, 아르곤 및 이들의 혼합물로 이루어진 그룹에서 선택된다. 본 발명에 있어서, 불활성 캐리어 가스는 금속 산화물 층의 형성을 방해하지 않는 가스이다. 불활성 캐리어 가스의 존재 여부에 상관없이, 기화 과정은 층의 산소 오염(예를 들면, 실리콘의 이산화실리콘으로의 산화반응)을 방지하기 위해서 산소의 부재하에 수행하는 것이 바람직하다.

본 발명에 의한 증착 방법은 기상 증착 방법이다. 기상 증착 방법은 반도체 산업 분야에서 바람직하게 사용되는데, 그 까닭은 기상 증착 방법이 깊은 접촉 영역 및 기타 개구부 내에 고도의 등각 층들을 신속하게 제공할 수 있는 가능성이 있기 때문이다. 화학 기상 증착(CVD) 방법 및 원자층 증착(ALD) 방법이 얇고 연속적이며 균일한 금속 산화물 층(바람직하는 유전체)을 반도체 기판상에 형성하는데 자주 사용되는 2가지 기상 증착 방법이다. 어떠한 기상 증착 방법을 사용하더라도, 일반적으로 1종 이상의 전구체 화합물을 증착 챔버에서 기화시키고, 경우에 따라서 1종 이상의 반응 가스와 혼합하여 기판상에 금속 산화물 층을 형성시킨다. 당업자라면, 다양한 관련 기법, 예컨대 플라스마 지원, 광학적 지원, 레이저 지원 및 기타 다른 기법을 사용함으로써 기상 증착 과정을 촉진시킬 수 있다는 사실을 잘 알 것이다.

형성되는 최종적인 층(바람직하게는 유전체층)의 두께는 약 10Å 내지 약 500 Å 범위인 것이 바람직하다. 금속 산화물 층의 두께는 약 30Å 내지 약 80Å 범위인 것이 더욱 바람직하다.

대부분의 기상 증착 방법에 있어서, 전구체 화합물(들)을 고온에서 산화 반응 가스 또는 환원 반응 가스와 반응시켜서 금속 산화물 층을 형성한다. 그러나, 본 발명의 방법에서는, 이와 같은 가스들이 전혀 필요하지 않은데, 화학식 I로 표시되는 전구체가 형성되는 필름에 산소를 제공하기 때문이다. 그러나, 산화 가스, 예컨대 O_2 , O_3 , H_2O , H_2O_2 및 N_2O 를 필요에 따라 사용할 수도 있다.

화학 기상 증착(CVD) 방법은 금속 산화물 층, 예컨대 반도체 공정에서 유전체층을 제조하는데 광범위하게 사용되고 있는데, 그 이유는 CVD 방법이 비교적 신속한 처리 시간내에 고도의 등각의 및 고품질의 유전체층을 제공할 수 있기 때문이다.

소정의 전구체 화합물을 기화시킨 후에, 경우에 따라 사용되는 반응 가스 및/또는 불활성 캐리어 가스와 함께 가열된 기관을 포함하는 증착 챔버내로 도입시킨다. 전형적인 CVD 방법에서는, 기화된 전구체들을 기관 표면에서 반응 가스(들)과 접촉시켜서 층(예: 유전체층)을 형성한다. 1회의 증착 사이클을 소정의 층 두께가 얻어질 때까지 지속시킬 수 있다.

전형적인 CVD 공정은 일반적으로 증착 표면 또는 웨이퍼가 배치된 가공 챔버로부터 분리되어 있는 기화 챔버에서 전구체 화합물을 사용한다. 예를 들면, 액상 전구체 화합물을 통상 발포장치(bubbler)에 배치되어 그 화합물이 기화하는 온도까지 가열되고, 이어서 이와 같이 기화된 액상 전구체 화합물은 상기 발포장치를 지나거나 액상 전구체 화합물을 통과하는 불활성 캐리어 가스에 의해서 운반된다. 이어서, 증기는 기관 표면(상)에 층을 증착시키기 위한 증착 챔버에 연결된 기체 배관을 통해 세정된다. 이와 같은 공정을 정밀하게 제어하기 위해서 많은 기법이 개발되어 왔다. 예를 들면, 증착 챔버로 운반되는 전구체 물질의 양은 전구체 화합물을 함유하는 저장소의 온도에 의해서, 그리고 상기 저장소를 통과하거나 상기 저장소를 통해 발포되는 불활성 캐리어 가스의 유동에 의해서 정밀하게 조절될 수 있다.

전술한 바와 같은 바람직한 실시양태의 전구체 화합물은 화학 기상 증착법(CVD)에 특히 적합하다. 기관 표면에서 증착 온도는 약 100°C 내지 약 600°C 범위로 유지되는 것이 바람직하고, 약 200°C 내지 약 500°C 범위로 유지되는 것이 더욱 바람직하다. 증착 챔버 압력은 약 0.1 torr 내지 약 10 torr의 증착 압력으로 유지되는 것이 바람직하다. 불활성 캐리어 가스 내의 전구체 화합물의 분압은 약 0.001 torr 내지 약 10 torr인 것이 바람직하다.

CVD 공정 및 챔버의 몇 가지 변형 예, 예를 들면 대기압 화학 기상 증착법, 저압 화학 기상 증착법(low pressure chemical vapor deposition; LPCVD), 플라스마 촉진 화학 증착법(plasma enhanced chemical vapor deposition; PECVD), 고열벽 또는 저열벽 반응기 또는 기타 화학 기상 증착 기법을 사용하는 실시예도 가능하다. 이외에도, 펠스화된 CVD를 사용할 수 있는데, 이는 ALD(이하에 상세히 설명함)와 유사하지만, 전구체와 반응 가스 스트림의 상호 혼합을 염격하게 방지하는 것은 아니다. 또한, 펠스화된 CVD의 경우에, 증착 두께는 노출 시간에 좌우되지만, 이와 달리 ALD의 경우에는 자체 제한성이 있다(이하에 더욱 상세히 설명함).

전형적인 CVD 공정은 화학 기상 증착 반응기, 예를 들면 제너스 인코오파레이티드(캘리포니아, 서니베일 소재)에서 7000이라는 상표명으로 시판하는 증착 챔버, 어플라이드 머티어리얼스사(캘리포니아, 산타 클라라 소재)에서 5000이라는 상표명으로 시판하는 증착 챔버, 또는 노벨러스, 인코포레이티드(캘리포니아, 산호세 소재)에서 Prism이라는 상표명으로 시판하는 증착 챔버에서 수행할 수 있다. 그러나, CVD를 수행하는데 적합한 어떠한 증착 챔버라도 사용할 수가 있다.

다른 방법으로, 그리고 바람직한 실시양태에서, 본 발명의 방법에 사용되는 기상 증착 공정은 멀티사이클 ALD 공정이다. 이와 같은 공정은 (특히 CVD 공정에 비해서) 다음과 같은 장점을 갖는다. 멀티사이클 ALD 공정에 의하면 증착된 층(예: 유전체층)에 원자 수준의 두께 및 균일성을 최적의 방식으로 제어할 수 있고, 금속 전구체 화합물을 보다 낮은 휘발 및 반응 온도에 노출시킴으로써 성능 저하를 방지할 수 있다. 통상적으로, ALD 공정에서, 각각의 반응물은 적합한 기관상에, 대개는 CVD 공정에서 현재 사용되는 것보다 일반적으로 낮은 온도인, 약 25°C 내지 약 400°C(바람직하게는 약 150°C 내지 약 300°C)의 증착 온도에서, 적합한 기관상에 순차적으로 펠스 방식으로 도입된다. 이와 같은 조건하에서, 펠스의 성장은 대개 자체 제한성이 있으므로(즉, ALD 공정에서 표면상의 반응성 부위가 다 소모된 경우에 일반적으로 증착이 중지됨), 탁월한 형태 일치성을 확보할 수 있을 뿐만 아니라 우수한 대면적 균일성과 간단하고 정확한 두께 제어라는 장점을 얻을 수 있다. 전구체 화합물 및/또는 반응 가스의 교대식 투입으로 인해, 전구체 및/또는 반응 가스의 연속적인 상호 반응에 의해 수행되는 CVD 공정과 달리, 유해한 증기상 반응이 본질적으로 배제된다. (이에 관해서는 문헌 [“Growth of SrTiO₃ and BaTiO₃, Thin Films by Atomic Layer Deposition, "Electrochemical and Solid-State Letters, 2(10): 504-506 (1999)】를 참조할 수 있다).

전형적인 ALD 공정은 원래의 기관을 제 1 화학종(예를 들면, 화학식 I로 표시되는 전구체 화합물)에 노출시켜서 당해 화학종을 기관상에 화학 흡착시키는 단계를 포함한다. 이론적으로, 화학 흡착에 의하면 전체적인 노출된 원래의 기관상에 균일한 두께의 한 원자 또는 분자에 해당하는 단일층이 형성된다. 다시 말해서, 포화된 단일층이 형성되는 것이다. 실제로, 화학 흡착은 기관의 모든 부분에서 일어나지 않을 수도 있다. 그럼에도 불구하고, 이와 같은 불완전한 단일층은 본 발명의 기술 사상에 비추어볼 때 여전히 단일층이라 할 수 있다. 많은 경우에, 단지 실질적으로 포화된 정도의 단일층만으로도 적합할 수 있다. 실질적으로 포화된 단일층은 그와 같은 층에 필요한 성질 및/또는 특성을 나타내는 증착된 층을 생성하는 단일층을 의미한다.

제 1 화학종을 기관상에서 세정하고 제 2 화학종(예를 들면, 화학식 I로 표시되는 상이한 전구체 화합물 또는 화학식 II로 표시되는 전구체 화합물)을 제공하여 상기 제 1 화학종으로 된 제 1 단일층과 반응시킨다. 이어서, 제 2 화학종을 세정하고, 제 2 화학종으로 된 단일층을 제 1 화학종에 노출시키면서 이와 같은 처리 단계를 반복한다. 경우에 따라서, 2개의 단일층은 동일한 화학종으로 이루어질 수도 있다. 선택적으로, 제 2 화학종은 추가의 물질을 화학 흡착시키지 않고 제 1 화학종과 반응시킬 수도 있다. 즉, 제 2 화학종은 화학 흡착된 제 1 화학종의 일부분을 분해시켜서 추가의 단일층을 형성시키는 일 없이 당해 단일층을 변형시킬 수도 있다. 또한, 제 3 화학종 또는 다른 화학종을 상기 제 1 및 제 2 화학종에 대하여 전술한 바와 같이 연속적으로 화학 흡착(또는 반응)시키고 세정한다. 선택적으로, 제 2 화학종(또는 제 3 화학종 또는 후속하는 화학종)은 필요에 따라 1종 이상의 반응 가스를 포함할 수 있다.

세정 단계에는 여러가지 기법을 사용할 수 있으며, 그 예로서는 기관 및/또는 단일층을 캐리어 가스와 접촉시키는 방법 및/또는 압력을 증착 압력 이하로 저하시켜서 기관과 접촉하는 화학종 및/또는 화학 흡착된 화학종의 농도를 감소시키는 방법을 들 수 있으나, 이에 국한되는 것은 아니다. 캐리어 가스의 예로서는 N₂, Ar, He 등을 들 수 있다. 다른 예로서, 세정 단계는 기관 및/또는 단일층을 화학 흡착 부산물을 탈착시킴으로써 또 다른 화학종을 도입하기에 앞서 접촉 화학종의 농도를 감소시키는 방법을 포함할 수 있다. 접촉 화학종은, 특정한 증착 공정의 생성물에 대한 상세한 설명에 근거하여 당업자에게 잘 알려진 적합한 농도 또는 분압으로 감소시킬 수 있다.

ALD는 제 1 화학종과 화학 결합을 형성할 수 있는 기관상에 존재하는 부위의 수가 유한하다는 점에서 자체 제한성이 있는 공정으로 설명되는 경우가 많다. 제 2 화학종은 제 1 화학종과만 결합할 수 있으므로 마찬가지로 자체 제한성이 있다. 일단 기관상의 유한한 수의 부위가 제 1 화학종과 결합하면, 제 1 화학종은 기관과 이미 결합된 다른 제 1 화학종과는 결합하지

않는 경우가 많을 것이다. 그러나, ALD에서 공정 조건을 변화시켜서 그와 같은 결합을 촉진시키고 ALD에 자체 제한성을 부여하지 않을 수도 있다. 따라서, ALD는 화학총을 적층시킴으로써 일시에 단일층 이외의 다른 층을 형성하는 화학총을 사용하여 단일 원자 또는 분자 두께 이외의 층을 형성하는 것도 포함할 수 있다.

전술한 방법은 제 1 전구체의 화학 흡착중에 제 2 전구체(즉, 제 2 화학총)가 "실질적으로 존재하지 않음"을 시사하는데, 제 2 전구체가 무시할만한 정도의 양으로 존재할 수 있기 때문이다. 당업자의 지식과 기호에 따라서, 제 2 전구체가 실질적으로 존재하지 않도록 하기 위해 선택되는 제 2 전구체의 한계량과 공정 조건에 관한 결정을 할 수 있다.

따라서, ALD 공정중에, 증착 챔버내에서 여러 차례의 연속적인 증착 사이클이 수행되며, 당해 기판상에 소정의 두께를 갖는 층이 형성될 때까지 매회 사이클마다 매우 얇은 금속 산화물 층(통상 평균 성장 속도가 사이클당 약 0.2 내지 약 3.0 Å 정도가 될 정도의 단일층보다 얇은 층)이 증착된다. 층의 증착은 전구체 화합물들을 반도체 기판을 함유하는 증착 챔버내로 교대식으로 도입시키고(즉, 펄스 방식 도입), 전구체 화합물(들)을 기판 표면상에서 단일층으로서 화학 흡착시킨 후에, 화학 흡착된 전구체 화합물(들)과 다른 동시 반응성 전구체 화합물(들)을 반응시킴으로써 이루어진다. 전구체 화합물(들) 및 불활성 캐리어 가스(들)의 펄스 지속 기간은 기판 표면을 포화시키는데 충분한 시간이다. 통상적으로, 펄스 지속 기간은 약 0.1 초 내지 약 5 초, 바람직하게는 약 0.2 초 내지 약 1 초이다.

주로 열에 의해 구동되는 CVD와는 대조적으로, ALD는 주로 화학적으로 구동된다. 따라서, ALD는 CVD보다 훨씬 낮은 온도에서 수행되는 경우가 많다. ALD 공정이 이루어지는 동안에, 기판 온도는 화학 흡착된 전구체 화합물(들)과 아래 놓인 기판 표면간의 완전한 결합을 유지시키고 전구체 화합물(들)의 분해를 방지할 만큼 충분히 낮은 온도로 유지시킨다. 또한, 상기 기판 온도는 전구체 화합물(들)의 응축을 방지할 만큼 충분히 높은 온도이다. 통상적으로, 기판 온도는 약 25°C 내지 약 400°C(바람직하게는 약 150°C 내지 약 300°C) 범위내로 유지되는데, 이러한 온도는 CVD 공정에서 현재 사용되는 것보다 낮은 온도이다. 따라서, 제 1 화학총 또는 전구체 화합물이 이 온도에서 화학 흡착된다. 제 2 화학총 또는 전구체 화합물의 표면 반응은 제 1 전구체의 화학 흡착과 거의 동일한 온도에서 일어나거나, 바람직한 것은 아니지만 실질적으로 상이한 온도에서 일어날 수 있다. 분명히, 당업자가 판단하였을 때 약간의 온도 변화가 일어날 수 있지만, 제 1 전구체의 화학 흡착 온도에서 일어나는 것과 같이 통계학적으로 거의 동일한 반응 속도를 제공함으로써 온도를 실질적으로 동일하게 만들 수 있다. 다른 경우에, 화학 흡착 및 후속 반응은 정확히 동일한 온도에서 일어날 수 있다.

전형적인 ALD 공정에서, 증착 챔버내 압력은 약 10^{-4} torr 내지 약 1 torr, 바람직하게는 약 10^{-4} torr 내지 약 0.1 torr로 유지된다. 통상적으로, 기화된 전구체 화합물(들)을 챔버내로 도입시키고/시키거나 매회 사이클동안 반응시킨 후에, 증착 챔버를 불활성 캐리어 가스로 세정한다. 상기 불활성 캐리어 가스(들)는 매회 사이클중에 기화된 전구체 화합물(들)과 함께 도입시킬 수도 있다.

전구체 화합물의 반응성은 ALD에서 공정의 변수에 상당한 영향을 미칠 수 있다. 전형적인 CVD 공정 조건하에서, 반응성이 큰 화합물은 기체상에서 반응하여 미립자를 생성하고 소정의 표면상에 조기 증착시켜서 불량한 막을 생성하고/하거나 처리 범위를 불량하게 만들거나, 그렇지 않다면 불균일한 증착의 결과를 유발할 수도 있다. 적어도 이와 같은 이유에서, 높은 반응성의 화합물은 CVD용으로 적합하지 않다고 고려될 수도 있다. 그러나, CVD에 적합하지 않은 몇 가지 화합물은 특별한 ALD 전구체가 된다. 예를 들면, 제 1 전구체가 제 2 전구체와 기체상 반응성이 있는 경우에, 이러한 화합물들의 조합은 CVD에 적합하지 않을지도 모르지만, ALD에서는 사용할 수가 있다. CVD의 개념에 비추어 볼 때, 기체 반응성이 큰 전구체를 사용할 경우에 당업자에게 알려진 바와 같이 점착 계수 및 표면 이동성에 관해서도 고려하여야 하지만, ALD 개념상으로는 이와 같은 고려를 거의 또는 전혀 하지 않아도 된다.

기판상에 층이 형성된 후에, 증착 챔버내에서 인시츄 방식으로 질소 대기 또는 산화성 대기하에 어닐링 단계를 수행한다. 바람직하게는, 어닐링 온도는 약 400°C 내지 약 1000°C 범위이다. 구체적으로 ALD 이후에는, 어닐링 온도가 약 400°C 내지 약 750°C인 것이 더욱 바람직하고, 약 600°C 내지 약 700°C인 것이 가장 바람직하다. 어닐링 단계는 약 0.5 분 내지 약 60분의 기간동안 수행하는 것이 바람직하고, 약 1 분 내지 약 10 분의 기간동안 수행하는 것이 더욱 바람직하다. 당업자라면 위와 같은 온도 및 기간이 달라질 수 있다는 사실을 잘 알 것이다. 예를 들면, 요로를 이용한 어닐링과 급속 열 어닐링 방법을 사용할 수 있으며, 이 경우에 어닐링은 1회 이상의 어닐링 단계로 수행할 수 있다.

전술한 바와 같이, 본 발명에 의한 막을 형성하기 위한 조성물 및 방법은, 반도체 구조물, 구체적으로 고유전체 재료를 사용하는 반도체 구조물에 있어서 광범위한 박막 용도에 있어서 유리하다. 예를 들면, 그와 같은 용도로서는 커패시터, 예컨대 평판형 셀, 트렌치 셀(예: 이중 층별 트렌치 커패시터), 적층형 셀(예: 크라운, V-셀, 멜타셀, 다지형 또는 원통형 용기 적층형 커패시터), 및 필드 효과 트랜지스터 장치를 들 수 있다.

본 발명에 따라서 유전체층이 형성되는 구조물의 구체적인 예를 들면 커패시터 구조물이다. 커패시터 구조물의 실시예들을 1 내지 도 3에 의거하여 설명하고자 한다. 도 1을 참조하면, 반도체 웨이퍼 분절(10)은 본 발명의 방법에 의해 형성된 커패시터 구조물(25)을 포함한다. 웨이퍼 분절(10)은 그 내부에 형성된 전도성 확산 영역(14)을 갖는 기판(12)를 포함한다. 기판(12)으로서는 예컨대 단결정 실리콘을 들 수 있다. 통상 보로포스포실리케이트 유리(borophosphosilicate glass; BPSG)로 이루어지는 유전체층(16)이 기판(12)상에 구비되며, 상기 유전체층은 확산 영역(14)에 대한 접촉 개구부(18)를 갖는다. 전도성 재료(20)가 접촉 개구부(18)에 충전되며, 도시된 바와 같이 재료(20)와 산화물 층(18)이 평면을 이룬다. 재료(20)는 임의의 적합한 전도성 재료, 예를 들면 텅스텐 또는 전도성 도핑 처리된 폴리실리콘일 수 있다. 커패시터 구조물(25)이 상단층(16) 및 플러그(20)상에 제공되며, 플러그(20)를 통해서 노드(14)에 전기적으로 접속된다.

커패시터 구조물(25)은 제 1 커패시터 전극(26)을 포함하며, 이 전극은 노드(20)상에 구비되고 패턴을 이룬다. 그 재료의 예로서는 전도성 도핑 처리된 폴리실리콘, Pt, Ir, Rh, Ru, RuO₂, IrO₂ 및 RhO₂를 들 수 있다. 커패시터 유전체층(28)이 제 1 커패시터 전극(26)상에 구비된다. 바람직하게는, 제 1 커패시터 전극(26)이 폴리실리콘을 포함하는 경우에, 폴리실리콘의 표면은 인시츄 방식으로 HF 침지법에 의해 설정한 다음에, 유전막이 증착된다. 256 Mb 집적도에 따른 층(28)의 두께는 예를 들면 100 옹스트롬이다.

상기 유전체층(28)상에는 확산 방벽층(30)이 구비된다. 확산 방벽층(30)은 전도성 재료, 예를 들면 TiN, TaN, 금속 실리사이드 또는 금속 실리사이드-나이트라이드를 포함할 수 있으며, CVD에 의해서, 예를 들면 당업자에게 잘 알려진 조건을

사용하여 제공될 수 있다. 방벽층(30)을 형성한 후에, 제 2 커패시터 전극(32)을 방벽층(30)상에 형성하여 커패시터 구조물(25)을 완전히 구성한다. 제 2 커패시터 전극(32)은 상기 제 1 커패시터 전극(26)에 관하여 전술한 것과 비슷한 구조를 포함할 수 있으므로, 예를 들면 전도성 도핑 처리된 폴리실리콘을 포함할 수 있다. 확산방벽층(30)은 성분들(예를 들면, 산소)이 유전체 재료(28)로부터 전극(32)내로 확산하는 것을 방지하는 것이 바람직하다. 예컨대, 산소가 실리콘 함유 전극(32)내로 확산하는 경우, 바람직하지 못하게 SiO_2 를 형성하여 커패시터(25)의 커패시턴스를 현저하게 감소시킬 수 있다. 또한, 확산 방벽층(30)은 실리콘의 금속 전극(32)으로부터 유전체층(28)으로 확산하는 것도 방지할 수 있다.

도 2는 커패시터 구조물의 다른 실시예를 도시한 것이다. 적절한 경우에 도 1과 유사한 도면 부호를 사용하였으며, 첨자 a를 덧붙여 차이를 나타내었다. 웨이퍼 분절(10a)은 도 1의 구조물(25)과는 상이한 커패시터 구조물(25a)을 포함하는데, 그 차이점은 방벽층(30a)이 유전체층(28)과 제 2 커패시터 전극(32) 사이가 아니라, 제 1 전극(26)과 유전체층(28) 사이에 구비된다는 점이다. 또한, 방벽층(30a)은 도 1에 관하여 위에서 설명한 바와 같은 구조를 포함할 수 있다.

도 3은 커패시터 구조물의 또 다른 실시예를 도시한 것이다. 적절한 경우에 도 1과 유사한 도면 부호를 사용하였으며, 첨자 b를 덧붙여 차이를 나타내었다. 웨이퍼 분절(10b)은 각각 상기 제 1 실시예의 제 1 및 제 2 커패시터 평판(26, 32)을 구비한 커패시터 구조물(25b)을 포함한다. 그러나, 웨이퍼 분절(10b)은 웨이퍼 분절(10b)이 방벽층(30) 이외에도 제 2 방벽층(40)을 포함한다는 점에서, 도 1의 웨이퍼 분절(10)과는 구별된다. 방벽층(40)은 제 1 커패시터 전극(26)과 유전체층(28) 사이에 구비되는 반면, 방벽층(30)은 제 2 커패시터 전극(32)과 유전체층(28) 사이에 구비된다. 방벽층(40)은 상기 방벽층(30)을 형성하기 위해 도 1과 관련하여 설명한 것과 같은 방법에 의해 형성할 수 있다.

도 1 내지 도 3에 도시한 실시예에서, 방벽층들은 커패시터 전극으로부터 분리된 별도의 층으로서 도시 및 설명하였다. 그러나, 방벽층은 전도성 재료를 포함할 수 있으므로, 상기 실시예에서 적어도 일부분의 커패시터 전극도 포함할 수 있다는 것을 알아야 한다. 특정한 실시예에서는, 커패시터 전극의 전체가 전도성 방벽층 재료를 포함할 수 있다.

본 발명의 기상 증착 방법(화학 기상 증착 또는 원자층 증착)을 수행하는데 사용할 수 있는 장치가 도 4에 도시되어 있다. 상기 장치는 폐쇄된 증착 챔버(110)를 포함하고, 상기 챔버에는 터보 펌프(112) 및 백킹(backing) 펌프(114)에 의해서 진공이 형성될 수 있다. 하나 이상의 기관(116)(예: 반도체 기관 또는 기관 어셈블리)이 챔버(110)에 장착된다. 일정한 액면온도가 기관(116)에 형성되는데, 그 온도는 사용된 공정에 따라 달라질 수 있다. 기관(116)은 예를 들면 기관(116)이 상부에 장착된 전기 저항 가열기(118)에 의해서 가열될 수 있다. 또한, 기관을 가열하는 다른 공기의 방법들도 이용할 수 있다.

이러한 방법에서, 전구체 화합물(16)(예: 내화성 금속 전구체 화합물과 에테르)은 용기(162)에 저장된다. 상기 전구체 화합물을 기화시켜서 라인(164) 및 (166)을 따라 별도로, 예를 들면 불활성 캐리어 가스(168)을 사용하여 증착 챔버(110)에 공급한다. 반응 가스(170)는 필요에 따라서 라인(172)을 따라 공급할 수 있다. 또한, 불활성 캐리어 가스(168)와 동일한 경우가 많은 세정 가스(174)를 필요에 따라서 라인(176)을 통해 공급할 수 있다. 도시된 바와 같이, 일련의 밸브(180-185)를 필요에 따라서 개폐할 수 있다.

이하에서는, 실시예에 의거하여 본 발명의 다양하고 구체적인 바람직한 실시예를 더욱 상세히 설명하고자 한다. 그러나, 본 발명의 범위내에서 여러가지 변형예와 개조예를 실시할 수 있으므로, 본 발명의 보호 범위는 후술하는 실시예에 의해서 제한되는 것이 아님을 알아야 한다. 특별한 언급이 없는한, 실시예에 기재된 모든 퍼센트는 중량%이다.

실시예 1. $(\text{Hf}, \text{Ti})\text{O}_2$ 의 원자층 증착

도 4에 도시된 챔버에 컴퓨터로 제어되는 공기압 밸브를 설치하여 순차적인 방식으로 밸브를 펄스 방식에 따라 개방시켰다. 챔버에 연결된 2개의 저장 용기는 $\text{Ti}(\text{NMe}_2)_4$ 및 $\text{Hf}(\text{OC}(\text{CH}_3)_3)_4$ (스트램 케미칼, 매사추세츠, 뉴베리포트 소재)를 함유하였다. 기관은 도핑된 폴리실리콘을 상층으로 하는 실리콘 웨이퍼이며, 증착을 위해 150°C로 유지되었다.

매회 사이클은 $\text{Hf}(\text{OC}(\text{CH}_3)_3)_4$ 의 5초 펄스 및 $\text{Ti}(\text{NMe}_2)_4$ 의 5초 펄스를 포함하였으며, 이들은 각각 아르곤을 사용하는 10초의 세정 기간 및 동적 진공하의 20초간의 펌프 다운 기간에 의해 분리되어 있다. 전구체들을 헬륨 캐리어 가스와 함께 5 sccm으로 설정된 질량 유속 조절기를 사용해서 도입시켰다. 400회의 사이클이 경과한 후, 두께 180Å인 $(\text{Hf}, \text{Ti})\text{O}_2$ 막이 형성되었다. 상기 막은 X선 광전자 현미경(x-ray photoelectron spectroscopy; XPS)으로 분석한 결과 거의 50/50 비율의 Hf/Ni 를 포함하였으며, 질소 또는 탄소는 검출되지 않았다.

산업상 이용 가능성

이상 설명한 바와 같이, 휘발성이 충분한 금속 전구체 화합물을 사용하는 본 발명의 증착 방법 및 장치에 의하면, 얇은 양질의 산화물 층을 반도체 기관상에 형성할 수 있다.

본 명세서에 언급된 모든 특허 공보 및 간행물은 그 자체 그대로를 본 명세서에 포함시키는 것과 같이 본문중에 참고 인용하였다. 당업자라면 본 발명의 범위 및 기술 사상을 벗어나지 않는 본 발명의 다양한 개조예와 변경예를 명백히 파악할 수 있을 것이다. 본 발명의 보호 범위는 본 명세서에 게재한 구체적인 실시양태와 실시예에 의해 한정되어서는 아니되며, 그와 같은 구체적인 실시양태와 실시예는 본 발명을 예시하는데 불과한 것일뿐, 본 발명의 보호 범위는 첨부된 청구의 범위에 의해서 정해지는 것임을 알아야 한다.

(57) 청구의 범위

청구항 1.

반도체 구조물의 제조 방법으로서,

반도체 기판 또는 기판 어셈블리를 제공하는 단계;

화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 제공하는 단계; 및

기상 증착 공정을 이용하여 상기 반도체 기판 또는 기판 어셈블리의 하나 이상의 표면상에 금속 산화물 층을 형성하도록 상기 전구체 화합물들을 접촉시키는 단계를 포함하며,

상기 화학식 I 및 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고;

R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며;

x 는 0 내지 4이고;

y 는 1 내지 8이며;

w 는 0 내지 4이고;

z 는 1 내지 8이며;

q 는 1 또는 2이고; 그리고

x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수인,

반도체 구조물의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 반도체 기판 또는 기판 어셈블리는 실리콘 웨이퍼인,

반도체 구조물의 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 금속 산화물 층은 유전체층인,

반도체 구조물의 제조 방법.

청구항 4.

제 3 항에 있어서,

상기 금속 산화물 유전체층은 2종 이상의 상이한 금속을 포함하는,

반도체 구조물의 제조 방법.

청구항 5.

제 4 항에 있어서,

상기 2종 이상의 상이한 금속이 합금, 고용체 또는 나노적층체의 형태로 존재하는,

반도체 구조물의 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 M^1 과 M^2 가 각각 독립적으로 3족, 4족, 5족, 6족, 7족, 13족, 14족 및 란탄족 원소로 이루어진 금속의 그룹에서 선택되는,

반도체 구조물의 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 M^1 과 M^2 가 각각 독립적으로 Y, La, Pr, Nd, Gd, Ti, Zr, Hf, Nb, Ta, Si 및 Al로 이루어진 금속의 그룹에서 선택되는,

반도체 구조물의 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 금속 산화물 층의 두께가 약 30Å 내지 약 80Å인,

반도체 구조물의 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 R^1 , R^2 , R^3 및 R^4 가 각각 독립적으로 수소 원자 또는 (C1-C6) 유기 기인,

반도체 구조물의 제조 방법.

청구항 10.

제 1 항에 있어서,

상기 x가 0 내지 2이고, y가 2 내지 6인,

반도체 구조물의 제조 방법.

청구항 11.

제 1 항에 있어서,

상기 w가 0 내지 2이고, z가 2 내지 6인,

반도체 구조물의 제조 방법.

청구항 12.

제 1 항에 있어서,

상기 금속 산화물이 2종 이상의 상이한 금속을 포함하는,

반도체 구조물의 제조 방법.

청구항 13.

제 1 항에 있어서,

상기 M^1 과 M^2 가 동일한 금속인,

반도체 구조물의 제조 방법.

청구항 14.

반도체 구조물의 제조 방법으로서,

증착 챔버내에 반도체 기판 또는 기판 어셈블리를 제공하는 단계;

화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 제공하는 단계;

기화된 전구체 화합물들을 형성시키도록 상기 전구체 화합물들을 기화시키는 단계; 및

상기 반도체 기판 또는 기판 어셈블리의 하나 이상의 표면상에 금속 산화물 유전체층을 형성시키도록 상기 기화된 전구체 화합물들을 상기 반도체 기판 또는 기판 어셈블리를 향해 배향시키는 단계를 포함하며,

상기 화학식 I 및 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고;

R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며;

x 는 0 내지 4이고;

y 는 1 내지 8이며;

w 는 0 내지 4이고;

z 는 1 내지 8이며;

q 는 1 또는 2이고; 그리고

x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수인,

반도체 구조물의 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 전구체 화합물은 불활성 캐리어 가스의 존재하에서 기화되는,

반도체 구조물의 제조 방법.

청구항 16.

제 14 항에 있어서,

상기 M^1 과 M^2 가 각각 독립적으로 3족, 4족, 5족, 6족, 7족, 13족, 14족 및 란탄족 원소로 이루어진 금속의 그룹에서 선택되는,

반도체 구조물의 제조 방법.

청구항 17.

제 14 항에 있어서,

상기 전구체 화합물의 기화 단계 및 배향 단계는 화학 기상 증착 공정을 사용해서 수행되는,

반도체 구조물의 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 반도체 기판 또는 기판 어셈블리의 온도는 약 100°C 내지 약 600°C인,

반도체 구조물의 제조 방법.

청구항 19.

제 17 항에 있어서,

상기 반도체 기판 또는 기판 어셈블리는 압력이 약 0.1 torr 내지 약 10 torr인 증착 챔버내에 존재하는,

반도체 구조물의 제조 방법.

청구항 20.

제 14 항에 있어서,

상기 전구체 화합물의 기화 단계 및 배향 단계는 다수의 증착 사이클을 포함하는 원자층 증착 공정을 사용해서 수행되는,

반도체 구조물의 제조 방법.

청구항 21.

제 20 항에 있어서,

상기 원자층 증착 공정이 진행되는 동안에, 상기 전구체 화합물들을 매회 증착 사이클중에 교대로 도입시킴으로써 금속 함유층이 형성되는,

반도체 구조물의 제조 방법.

청구항 22.

제 20 항에 있어서,

상기 반도체 기판 또는 기판 어셈블리의 온도는 약 25°C 내지 약 400°C인,
반도체 구조물의 제조 방법.

청구항 23.

제 20 항에 있어서,

상기 반도체 기판 또는 기판 어셈블리는 압력이 약 10^{-4} torr 내지 약 1 torr인 증착 침버내에 존재하는,
반도체 구조물의 제조 방법.

청구항 24.

제 14 항에 있어서,

상기 금속 산화물은 2종 이상의 상이한 금속을 포함하는,
반도체 구조물의 제조 방법.

청구항 25.

제 14 항에 있어서,

상기 M^1 과 M^2 가 동일한 금속인,
반도체 구조물의 제조 방법.

청구항 26.

기판상에 금속 산화물 층을 형성하는 방법으로서,

기판을 제공하는 단계;

화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시
되는 1종 이상의 전구체 화합물을 제공하는 단계; 및

기상 증착 공정에 의해 상기 기판상에 금속 산화물 층을 형성시키도록 상기 전구체 화합물들을 접촉시키는 단계를 포함하
며

상기 화학식 I 및 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고;

R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며;

x 는 0 내지 4이고;

y 는 1 내지 8이며;

w 는 0 내지 4이고;

z 는 1 내지 8이며;

q 는 1 또는 2이고; 그리고

x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 27.

제 26 항에 있어서,

상기 기판은 실리콘 웨이퍼인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 28.

제 26 항에 있어서,

상기 금속 산화물 층은 유전체층인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 29.

제 26 항에 있어서,

상기 M^1 과 M^2 가 각각 독립적으로 3족, 4족, 5족, 6족, 7족, 13족, 14족 및 란탄족 원소로 이루어진 금속의 그룹에서 선택되는,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 30.

제 29 항에 있어서,

상기 M^1 과 M^2 가 각각 독립적으로 Y, La, Pr, Nd, Gd, Ti, Zr, Hf, Nb, Ta, Si 및 Al로 이루어진 금속의 그룹에서 선택되는,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 31.

제 26 항에 있어서,

상기 금속 산화물 층의 두께는 약 30Å 내지 약 80Å 인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 32.

제 26 항에 있어서,

상기 R^1 , R^2 , R^3 및 R^4 가 각각 독립적으로 수소 원자 또는 (C1-C6) 유기 기인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 33.

제 26 항에 있어서,

상기 금속 산화물 층이 2종 이상의 상이한 금속을 포함하는,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 34.

제 26 항에 있어서,

상기 M^1 과 M^2 가 동일한 금속인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 35.

기판상에 금속 산화물 층을 형성하는 방법으로서,

기판을 제공하는 단계;

화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 제공하는 단계;

기화된 전구체 화합물들을 형성시키도록 상기 전구체 화합물들을 기화시키는 단계; 및

상기 기판상에 금속 산화물 층을 형성시키도록 상기 기화된 전구체 화합물들을 상기 기판을 향해 배향시키는 단계를 포함하며,

상기 화학식 I 및 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고;

R^1 , R^2 , R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며;

x 는 0 내지 4이고;

y 는 1 내지 8이며;

w 는 0 내지 4이고;

z 는 1 내지 8이며;

q 는 1 또는 2이고; 그리고

x , y , z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 36.

제 35 항에 있어서,

상기 전구체 화합물의 기화 단계 및 배향 단계는 화학 기상 증착 공정을 사용해서 수행되는,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 37.

제 35 항에 있어서,

상기 전구체 화합물의 기화 단계 및 배향 단계는 다수의 증착 사이클을 포함하는 원자층 증착 공정을 사용해서 수행되는, 기판상에 금속 산화물 층을 형성하는 방법.

청구항 38.

제 35 항에 있어서,

상기 금속 산화물은 2종 이상의 상이한 금속을 포함하는,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 39.

제 35 항에 있어서,

상기 M^1 과 M^2 가 동일한 금속인,

기판상에 금속 산화물 층을 형성하는 방법.

청구항 40.

메모리 소자 구조물의 제조 방법으로서,

표면상에 제 1 전극을 구비한 기판을 제공하는 단계;

화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물 및 화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 제공하는 단계;

기화된 전구체 화합물들을 형성시키도록 상기 전구체 화합물들을 기화시키는 단계;

상기 기판의 제 1 전극상에 금속 산화물 유전체층을 형성시키도록 상기 기화된 전구체 화합물들을 상기 기판을 향해 배향시키는 단계; 및

상기 유전체층상에 제 2 전극을 형성시키는 단계를 포함하며,

상기 화학식 I 및 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고;

R^1, R^2, R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며;

x 는 0 내지 4이고;

y 는 1 내지 8이며;

w 는 0 내지 4이고;

z 는 1 내지 8이며;

q 는 1 또는 2이고; 그리고

x, y, z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수인,

메모리 소자 구조물의 제조 방법.

청구항 41.

제 40 항에 있어서,

상기 전구체 화합물의 기화 단계 및 배향 단계는 화학 기상 증착 공정을 사용해서 수행되는,

메모리 소자 구조물의 제조 방법.

청구항 42.

제 40 항에 있어서,

상기 전구체 화합물의 기화 단계 및 배향 단계는 다수의 증착 사이클을 포함하는 원자층 증착 공정을 사용해서 수행되는,

메모리 소자 구조물의 제조 방법.

청구항 43.

제 42 항에 있어서,

상기 M^1 과 M^2 가 동일한 금속인,

메모리 소자 구조물의 제조 방법.

청구항 44.

제 40 항에 있어서,

상기 금속 산화물 유전체층이 2종 이상의 상이한 금속을 포함하는,

메모리 소자 구조물의 제조 방법.

청구항 45.

제 44 항에 있어서,

상기 2종 이상의 상이한 금속이 합금, 고용체 또는 나노적층체의 형태로 존재하는,

메모리 소자 구조물의 제조 방법.

청구항 46.

제 40 항에 있어서,

상기 금속 산화물 유전체층이 ZrO_2 , HfO_2 , Ta_2O_3 , Al_2O_3 , TiO_2 및 란탄족 원소의 산화물 중 1종 이상을 포함하는,

메모리 소자 구조물의 제조 방법.

청구항 47.

기상 증착 장치로서,

기판이 내부에 배치된 기상 증착 챔버;

화학식 $M^1_q(O)_x(OR^1)_y$ (화학식 I)로 표시되는 1종 이상의 전구체 화합물을 포함하는 하나 이상의 용기; 및

화학식 $M^2(NR^2)_w(NR^3R^4)_z$ (화학식 II)로 표시되는 1종 이상의 전구체 화합물을 포함하는 하나 이상의 용기를 포함하며,

상기 화학식 I 및 II에서, M^1 과 M^2 는 각각 독립적으로 금속을 나타내고;

R^1, R^2, R^3 및 R^4 는 각각 독립적으로 수소 원자 또는 유기 기이며;

x 는 0 내지 4이고;

y 는 1 내지 8이며;

w 는 0 내지 4이고;

z 는 1 내지 8이며;

q 는 1 또는 2이고; 그리고

x, y, z 및 w 는 M^1 과 M^2 의 산화 상태에 좌우되는 수인,

기상 증착 장치.

청구항 48.

제 47 항에 있어서,

상기 기판은 실리콘 웨이퍼인,

기상 증착 장치.

청구항 49.

제 47 항에 있어서,

상기 전구체들을 상기 기상 증착 챔버로 운반하기 위한 불활성 캐리어 가스의 하나 이상의 공급원을 더 포함하는,

기상 증착 장치.

요약

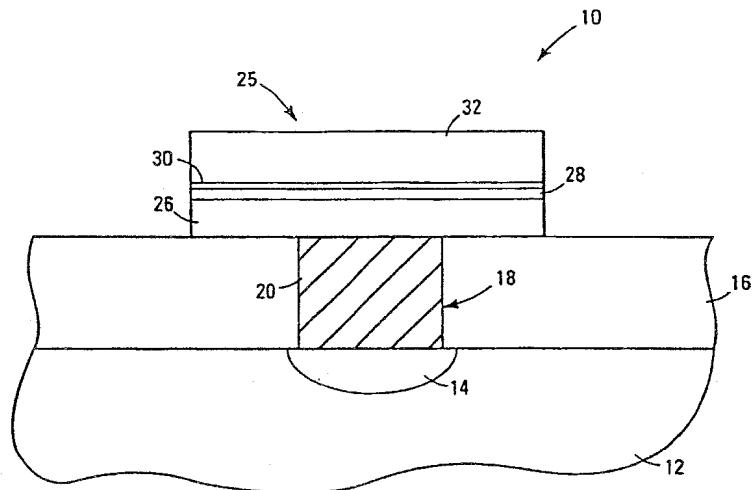
본 발명은 기판, 구체적으로 반도체 기판 또는 기판 어셈블리상에서 유기 아민 리간드를 포함하는 1종 이상의 전구체 화합물을 및 유기 산화물 리간드를 포함하는 1종 이상의 전구체 화합물을 사용하여 기상 증착 공정에 의해 금속 산화물 층을 형성하기 위한 방법(및 그 장치)에 관한 것이다.

대표도

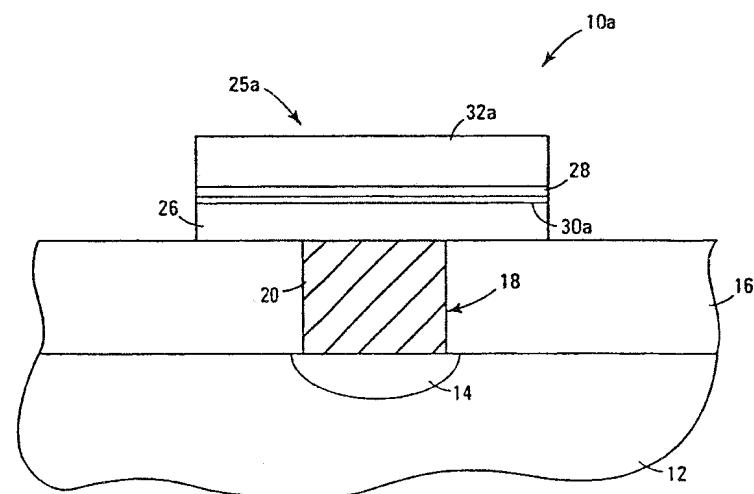
도 1

도면

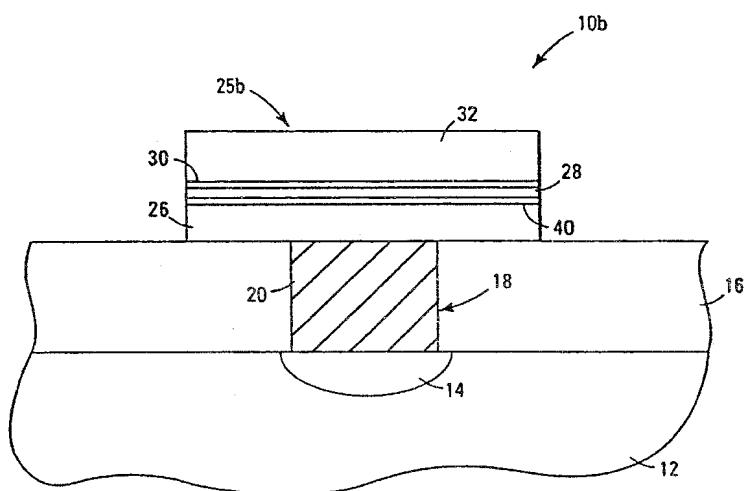
도면1



도면2



도면3



도면4

