

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)(51) Int. Cl.<sup>7</sup>  
G09G 3/36(45) 공고일자 2005년06월22일  
(11) 등록번호 10-0496573  
(24) 등록일자 2005년06월13일(21) 출원번호 10-2002-0063783  
(22) 출원일자 2002년10월18일(65) 공개번호 10-2003-0032886  
(43) 공개일자 2003년04월26일

(30) 우선권주장 JP-P-2001-00321621 2001년10월19일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤  
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고(72) 발명자 쯔쯔이유스께  
일본기후깡하시마시후꾸주쨌히라까따7-35(74) 대리인 장수길  
이중희  
구영창

심사관 : 김기영

## (54) 표시 장치

## 요약

DA 변환기를 내장한 표시 장치에서, 회로 규모를 억제하여, 다비트화에 대응한다. 디지털 영상 신호를 아날로그 영상 신호로 변환하는 DA 변환기를, 복수의 화소의 주변부에 설치된 제1 DA 변환기와, 각 화소 내에 설치된 제2 DA 변환기로 구성하고, 제1 DA 변환기에 의해 6비트의 디지털 영상 신호 중, 상위 4비트에 대하여 DA 변환을 행함과 함께, 제2 DA 변환기에 의해, 잔여의 하위 2비트에 대하여 DA 변환을 행하도록 하였다. 이에 의해, 화소의 주변 회로의 구성을 간결화하여 표시 패널의 주변(額縁) 면적의 증가를 억제하면서, DA 변환기의 비트수를 증가시킴으로써, 다계조의 표시를 실현할 수 있다.

## 대표도

도 1

## 색인어

DA 변환기, 래치 회로, 참조 전압, 샘플링 펄스, 전송 펄스

## 명세서

## 도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 표시 장치의 회로도.

도 2는 참조 전압 선택 회로에 의해 선택되는 참조 전압쌍  $V_j$ ,  $V_{j+1}$ 의 진리값 표.

도 3은 제2 DA 변환기의 회로도.

도 4는 제2 DA 변환기의 다른 회로도.

도 5는 본 발명의 제2 실시예에 따른 표시 장치의 회로도.

- 도 6은 계단 전압 발생 회로의 동작을 도시하는 타이밍도.
- 도 7은 배타적 논리합 회로를 도시하는 회로도.
- 도 8은 종래의 액정 표시 장치의 회로도.
- 도 9는 종래의 액정 표시 장치의 화소의 구성을 도시하는 회로도.
- 도 10은 종래의 액정 표시 장치에 이용된 DA 변환기의 회로도.
- 도 11은 종래의 액정 표시 장치의 동작을 도시하는 타이밍도.

#### <도면의 주요 부분에 대한 부호의 설명>

- 5, 6 : 참조 전압 선택 회로
- 7 : 래더 저항 회로
- 8 : 전압 선택 회로
- 9 : 전압 공급 회로
- 10 : 시프트 레지스터
- 13-1, 13-2, 14-1, 14-2 : 래치 회로
- 15 : 참조 데이터 발생 회로
- 16 : 계단 전압 발생 회로
- 17 : 일치 검출 회로
- 18 : 배타적 논리합 회로
- 19 : NOR 회로
- 20A, 21A : 게이트 트랜지스터
- 21 : 액정
- 72 : 화소 선택 트랜지스터
- 80 : 화소 전극

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 특히 디지털 영상 신호를 아날로그 영상 신호로 변환하는 DA 변환기를 구비한 표시 장치에 관한 것이다.

일반적으로 액정 표시 장치는, 각 화소의 화소 전극에 아날로그 영상 신호를 공급하고, 액정에 인가되는 전계를 변화시켜, 액정을 배향시킴으로써, 액정 표시를 행하고 있다. 여기서, 외부 기기로부터 입력되는 디지털 영상 신호를 아날로그 영상 신호로 변환하기 위한 DA 변환기를 내장한 액정 표시 장치가 알려져 있다. 이하, 이러한 종류의 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 8은 종래의 액티브 매트릭스형 표시 장치의 회로도이다. 화소 영역은 1행째에 화소(GS<sub>11</sub>, GS<sub>12</sub>, GS<sub>13</sub>, ...)가 배열되고, 2행째에 화소(GS<sub>21</sub>, GS<sub>22</sub>, GS<sub>23</sub>, ...)가 배열됨으로써, 전체적으로는 행 및 열의 매트릭스 형태로 배치된 복수의 화소로 구성되어 있다.

그리고, 각 화소마다, N채널형의 화소 선택 트랜지스터(72)(박막 트랜지스터)가 설치되어 있다. 화소 선택 트랜지스터(72)의 드레인에는, 수평 구동 회로(30)로부터의 드레인 신호선(61, 62, 63)이 접속되어 있다. 또한, 화소 선택 트랜지스터(72)의 게이트에는 수직 구동 회로(40)로부터의 게이트 신호선(51, 52, ...)이 각각 접속되어 있다.

예를 들면 화소 GS<sub>11</sub>의 구체적인 구성에 대하여 설명하면, 도 9에 도시한 바와 같이, 화소 선택 트랜지스터(72)의 소스(72s)는 액정(21)의 화소 전극(80)에 접속되어 있다. 또한, 화소 전극(80)의 전압을 1필드 기간 유지하기 위한 보조 용량(85)이 설치되어 있고, 이 보조 용량(85)의 한쪽의 단자(86)는 화소 선택 트랜지스터(72)의 소스(72s)에 접속되고, 다른쪽의 전극(87)에는 공통의 전위가 인가되어 있다. 여기서, 게이트 신호선(51)에 게이트 주사 신호(H 레벨)가 인가되면, 화소 선택 TFT(72)는 온 상태로 되어, 드레인 신호선(61)으로부터 아날로그 영상 신호가 화소 전극(80)으로 전달됨과 함께, 보조 용량(85)에 유지된다. 화소 전극(80)에 인가된 영상 신호 전압이 액정(21)에 인가되고, 그 전압에 따라 액정(21)이 배향됨으로써 액정 표시를 얻을 수 있다. 다른 각 화소의 구성에 대해서도 상기와 마찬가지로 한다.

또한, 수평 구동 회로(30)의 구성에 대해서는 이하와 같다. 예를 들면, 4비트의 디지털 영상 신호 D<sub>0</sub>~D<sub>3</sub>이 외부로부터 공급된다. 그리고 각 열마다, 디지털 영상 신호 D<sub>0</sub>~D<sub>3</sub>을 래치하는 4비트 구성의 제1 래치 회로(1-1, 1-2, 1-3, ...)가 설치되어 있다. 이들 래치 회로(1-1, 1-2, 1-3, ...)는, 디지털 영상 신호 D<sub>0</sub>~D<sub>3</sub>을 샘플링 펄스 SRP1, SRP2, SRP3, ...에 따라 순차적으로 샘플링하여, 1수평 기간만큼 유지한다. 여기서, 샘플링 펄스 SRP1, SRP2, SRP3, ...은 시프트 레지스터(10-1, 10-2, ...)에 의해 작성된다. 즉, 시프트 레지스터(10-1, 10-2, ...)는 수평 클럭 CKH에 따라 수평 스타트 신호 STH를 순차적으로 시프트한 샘플링 펄스를 작성한다.

제1 래치 회로(1-1, 1-2, 1-3, ...)에 유지된 디지털 영상 신호 D<sub>0</sub>~D<sub>3</sub>은, 1수평 기간 종료 후에 발생하는 전송 펄스 TP에 기초하여, 4비트 구성의 제2 래치 회로(2-1, 2-2, 2-3, ...)에 동시에 래치되고, DA 변환기(3-1, 3-2, 3-3, ...)를 통해 아날로그 영상 신호로 변환된 후, 드레인 신호선(61, 62, 63, ...)으로 출력된다.

또한, 수직 구동 회로(40)는, 수직 클럭 CKV에 따라 수직 스타트 신호 STV를 순차적으로 시프트한 게이트 펄스(각 1수평 기간씩 하이 레벨로 됨)를 순차적으로, 게이트 신호선(51, 52, ...)으로 출력한다.

또한, DA 변환기(3-1)에 대해서는, 도 10에 도시한 바와 같은 디코드 회로를 이용하는 방식이 일반적이다. 이 DA 변환기(3-1)는, 디지털 영상 신호 D<sub>0</sub>~D<sub>3</sub>을 디코드 회로(90)에 의해 디코드하고, 16개의 참조 전압선에 공급되는 16개의 참조 전압 V<sub>0</sub>~V<sub>15</sub> 중에서, 하나의 참조 전압 V<sub>j</sub>를 선택하여, 출력 단자(91)로부터 출력한다. 디코드 회로(90)는, 디지털 영상 신호 D<sub>0</sub>~D<sub>3</sub>이 공급된 트랜지스터 어레이로 구성되어 있다. 예를 들면, 디지털 영상 신호가 (0110)인 경우, 4개의 직렬 트랜지스터(93)가 전부 온 상태로 되어, 참조 전압 V<sub>6</sub>이 선택적으로 출력된다. 또한, DA 변환기(3-2, 3-3, ...)에 대해서도 마찬가지로 한다.

다음으로, 상기 구성의 액정 표시 장치의 동작에 대하여, 도 11에 도시한 타이밍도를 참조하면서 설명한다. 여기서는, 디지털 영상 신호 D<sub>0</sub>~D<sub>3</sub> 중, 1비트째의 디지털 영상 신호 D<sub>0</sub>에 주목하여 설명한다. 다른 비트에 대해서도 마찬가지로 한다. 디지털 영상 신호 D<sub>0</sub>은 수평 클럭 CKH에 동기하여 시계열적으로 데이터 D<sub>00</sub>, D<sub>01</sub>, D<sub>02</sub>, ...로 변화된다. 따라서, 데이터 D<sub>00</sub>은, 샘플링 펄스 SRP1에 따라 래치 회로(1-1)에 래치되고, 데이터 D<sub>01</sub>은 샘플링 펄스 SRP2에 따라 래치 회로(1-2)에 래치된다.

그리고, 1수평 기간에 걸쳐 디지털 영상 신호 D<sub>0</sub>이 래치 회로(1-1, 1-2, 1-3, ...)에 래치된 후, 전송 펄스 TP에 따라, 래치 회로(1-1, 1-2, 1-3, ...)에 래치된 데이터 D<sub>00</sub>, D<sub>01</sub>, D<sub>02</sub>는 동시에 래치 회로(2-1, 2-2, 2-3)에 래치된다. 그리고, 이 래치 데이터 D<sub>00</sub>, D<sub>01</sub>, D<sub>02</sub>는, DA 변환기(3-1, 3-2, 3-3, ...)를 통해 아날로그 영상 신호로 변환된 후, 드레인 신호선(61, 62, 63, ...)으로 출력된다.

### 발명이 이루고자 하는 기술적 과제

상술한 바와 같이 종래의 액정 표시 장치에서는, 화소의 주변부에 배치되는 수평 구동 회로(30) 내에, DA 변환기(3-1, 3-2, 3-3, ...)를 설치하고 있다. 이 때문에, 화소의 주변 회로, 특히 수평 구동 회로(30)의 구성이 복잡하여, 액정 표시 패널의 주변 면적이 증대된다고 하는 문제가 있었다.

또한, 이러한 종류의 DA 변환기는, 디코드 회로(90)를 이용하는 방식이기 때문에, 계조수의 증가와 함께 트랜지스터 소자수나 참조 전압선의 배선수가 대폭 증대된다. 그 때문에, 고정밀도로 다계조를 동시에 실현할 수 있는 표시 장치의 실현이 곤란하다고 하는 문제가 있었다.

### 발명의 구성 및 작용

따라서, 본 발명의 표시 장치는, 디지털 영상 신호를 아날로그 영상 신호로 변환하는 DA 변환기를, 복수의 화소의 주변부에 설치된 제1 DA 변환기와, 각 화소 내에 설치된 제2 DA 변환기로 구성하고, 제1 DA 변환기에 의해 n비트의 디지털 영상 신호 중, m비트(m<n)에 대하여 DA 변환을 행함과 함께, 제2 DA 변환기에 의해, 잔여의 (n-m)비트에 대하여 DA 변환을 행하도록 하였다.

이에 의해, 화소의 주변 회로의 구성을 간결화하여 표시 패널의 주변 면적의 증가를 억제하면서, DA 변환기의 비트수를 증가시킴으로써, 다계조의 표시를 실현할 수 있다.

여기서, 상기한 제1 DA 변환기 및 제2 DA 변환기의 바람직한 실시 양태로서는 이하와 같다.

우선, 제1 DA 변환기는, m비트의 디지털 영상 신호에 따른 복수의 참조 전압을 발생하는 참조 전압 발생 회로와, m비트의 디지털 영상 신호에 따라 복수의 참조 전압으로부터 대응하는 참조 전압쌍을 선택하는 참조 전압 선택 회로를 갖는 것이다. 이것은 디코더 회로형이지만, 비트수가 비교적 작은 경우에는 회로 규모는 그만큼 크지 않기 때문에 유용하다.

이 제1 DA 변환기와 조합시키는 제2 DA 변환기는, 참조 전압쌍 간의 복수의 전압을 발생하는 래더 저항 회로와, (n-m)비트의 디지털 영상 신호에 따라, 상기 복수의 전압 중, 하나의 전압을 선택하는 전압 선택 회로를 갖는 것이다. 이것은, 래더 저항형의 DA 변환기이다.

제1 DA 변환기와 조합시키는 다른 제2 DA 변환기로서는, 용량값이 가중된 복수의 용량 소자와, (n-m)비트의 디지털 영상 신호에 따라, 참조 전압쌍 전압을 복수의 용량 소자의 전극에 선택적으로 공급하는 전압 공급 회로와, 복수의 용량 소자에 의해 축적된 전하를 타이밍 신호에 따라 화소 전극에 공급하는 전하 전송 트랜지스터를 갖는 것이다. 이것은 용량형의 DA 변환기이다.

또한, 다른 제1 DA 변환기로서는, n비트의 데이터를 인크리먼트한 참조 디지털 데이터를 시계열적으로 출력하는 참조 데이터 발생 회로와, 참조 디지털 데이터의 변화와 동기하여 변화함과 함께, 참조 디지털 데이터에 대응한 계단 전압쌍을 발생하는 계단 전압 발생 회로와, 디지털 영상 신호 데이터와 참조 디지털 데이터와의 일치를 검출하여 일치 검출 신호를 출력하는 일치 검출 회로와, 일치 검출 신호에 따라 계단 전압쌍을 출력하는 게이트 회로를 갖는 것이다.

이 DA 변환기는 디코드 회로를 이용하지 않기 때문에 비트수가 증가되어도 트랜지스터수나 배선수의 증가를 억제할 수 있다. 또한, 이 제1 DA 변환기와 조합시키는 제2 DA 변환기에 대해서는 상기한 래더 저항형의 DA 변환기, 용량형의 DA 변환기를 그대로 이용할 수 있다.

#### <실시예>

다음으로, 본 발명의 제1 실시예에 따른 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 1은 제1 실시예에 따른 표시 장치의 회로도이다. 또한, 도면을 간단하게 하기 위해, 수평 구동 회로의 2열, 화소부의 2행 2열분만을 도시하고 있다. 또한, 수직 구동 회로(40)에 대해서는 상술한 것과 마찬가지로 한다.

6비트의 디지털 영상 신호  $D_0 \sim D_5$ 가 외부로부터 공급되는 것으로 한다. 6비트 구성의 제1 래치 회로(13-1, 13-2)는, 디지털 영상 신호  $D_0 \sim D_5$ 를 샘플링 펄스 SRP1, SRP2에 따라 샘플링하여, 1수평 기간 유지한다. 여기서, 샘플링 펄스 SRP1, SRP2는 시프트 레지스터(10-1, 10-2)에 의해 생성된다. 즉, 시프트 레지스터(10-1, 10-2)는 수평 클럭 CKH에 따라 수평 스타트 신호 STH를 순차적으로 시프트한 샘플링 펄스를 생성한다.

제1 래치 회로(13-1, 13-2)에 유지된 디지털 영상 신호  $D_0 \sim D_5$ 는, 1수평 기간 종료 후에 발생하는 전송 펄스 TP에 기초하여, 6비트 구성의 제2 래치 회로(14-1, 14-2)에 동시에 래치된 후, DA 변환된다.

DA 변환기는, 복수의 화소  $GS_{11}, GS_{12}, \dots$ 의 주변부에 설치된 제1 DA 변환기와, 각 화소  $GS_{11}, GS_{12}, \dots$ 에 설치된 제2 DA 변환기로 이루어진다. 제1 DA 변환기는, 6비트의 디지털 영상 신호 데이터  $D_0 \sim D_5$  중, 4비트에 대하여 DA 변환을 행함과 함께, 제2 DA 변환기는 잔여의 2비트에 대하여 DA 변환을 행하도록 하였다.

여기서, 제1 DA 변환기는, 상위 4비트의 디지털 영상 신호 데이터에 따른 17개의 참조 전압  $V_0 \sim V_{16}$ 을 발생하는 참조 전압 발생 회로(12)와, 이들 4비트의 디지털 영상 신호에 따라, 참조 전압  $V_0 \sim V_{16}$ 으로부터 대응하는 참조 전압쌍  $V_j, V_{j+1}$ 을 선택하는 한쌍의 참조 전압 선택 회로(5, 6)로 구성되어 있다.

참조 전압 발생 회로(12)는, 예를 들면 전원 전압 Vdd와 접지 전압 Vss 사이에 접속된 래더 저항에 의해 구성할 수 있다. 여기서, 참조 전압 선택 회로(5, 6)에 의해 선택되는 참조 전압쌍  $V_j, V_{j+1}$ 의 진리값 표를 도 2에 도시한다. 참조 전압 선택 회로(5, 6)는, 이 진리값 표에 일치하도록, 도 10에 도시한 디코드 회로의 트랜지스터 어레이를 변경함으로써 용이하게 구성할 수 있다.

상위 4비트의 디지털 영상 신호  $D_2 \sim D_5$ 는, 이 진리값 표에 따라, 참조 전압쌍  $V_j, V_{j+1}$ (아날로그 전압쌍)로 디지털·아날로그 변환된다. 참조 전압쌍  $V_j, V_{j+1}$ 은, 17개의 참조 전압  $V_0 \sim V_{16}$  중에서 선택된 인접 전압쌍이며, 그 대소 관계는  $V_j < V_{j+1}$ 이다. 따라서, 이하, 참조 전압 선택 회로(5, 6)에 의해 선택된 참조 전압쌍  $V_j, V_{j+1}$ 을 전압쌍  $V_L, V_H$ 로 한다.

그리고, 제2 DA 변환기는, 각 화소  $GS_{11}, GS_{12}, \dots$ 에 내장되며, 하위 2비트의 디지털 영상 신호 데이터  $D_0, D_1$ 에 관하여 DA 변환을 행한다. 그 구체적인 구성에 대하여, 도 3을 참조하면서 설명한다. 도 3의 (a)는, 제2 DA 변환기가 내장된 액정 표시 장치의 화소  $GS_{11}$ 을 도시하는 회로도이다. 또한, 다른 화소에 대해서도 마찬가지이다. 도 3의 (b)는 일렉트로 루미네센스 표시 장치(이하, EL 표시 장치라고 함)의 화소를 도시하는 회로도이다. 이 EL 표시 장치에서는, 액정(21) 대신에, EL 소자(47) 및 이 EL 소자(47)를 전류 구동하기 위한 구동 트랜지스터(48)가 도입되어 있다. 즉, 구동 트랜지스터(48)의 게이트에 DA 변환된 아날로그 전압이 인가된다. 구동 트랜지스터(48)는, 그 아날로그 전압에 따라 EL 소자(47)에 흐르는 전류를 제어함으로써, 일렉트로 루미네센스 표시를 행할 수 있다. DA 변환기의 부분에 대해서는, 도 3의 (a)와 마찬가지이다.

래더 저항 회로(7)는, 전압쌍  $V_L, V_H$  사이에 직렬로 접속된 저항  $R_1, R_2, R_3, R_4$ 로 구성된다. 그리고, 그 각 접속점에서의 전압  $V_H, V_2, V_3, V_1$ 이 전압 선택 회로(8)에 입력된다. 전압  $V_H, V_2, V_3, V_1$ 은 이하와 같이 나타낼 수 있다.

$V_1 = V_L + \Delta V \cdot (R_1/R), V_2 = V_L + \Delta V \cdot ((R_1 + R_2)/R), V_3 = V_L + \Delta V \cdot ((R_1 + R_2 + R_3)/R)$ 이다. 여기서,  $R = R_1 + R_2 + R_3 + R_4$ ,  $\Delta V = V_H - V_L$ 이다.  $R_1 = R_2 = R_3 = R_4$ 로 설정하면,  $V_1 = V_L + \Delta V/4, V_2 = V_L + \Delta V/2, V_3 = V_L + 3\Delta V/4$ 로, 등간격의 전압이 된다.

전압 선택 회로(8)는, 하위 2비트의 디지털 영상 신호 데이터  $D_0, D_1$ 에 따라, 상기한 전압  $V_H, V_2, V_3, V_1$  중, 하나의 전압을 선택하는 회로이며, 게이트에 데이터  $D_0$ 이 인가된 박막 트랜지스터(TFT)  $T_1, T_2, T_3, T_4$ , 및 게이트에 데이터  $D_1$ 이 인가된 박막 트랜지스터(TFT)  $T_5, T_6$ 으로 구성되어 있다. 여기서,  $T_1, T_3, T_5$ 는 P채널형 TFT이고,  $T_2, T_4, T_6$ 은 N채널형 TFT이다. 즉,  $(D_0, D_1) = (0, 0)$ 인 경우에는  $T_1$  및  $T_5$ 가 온하기 때문에, 전압  $V_1$ 이 선택적으로 출력되고,  $(D_0, D_1) = (0, 1)$ 인 경우에는,  $T_2$  및  $T_5$ 가 온하기 때문에, 전압  $V_2$ 가 선택적으로 출력되며,  $(D_0, D_1) = (1, 0)$ 인 경우에는,  $T_3$  및  $T_6$ 이 온하기 때문에 전압  $V_3$ 이 선택적으로 출력되고,  $(D_0, D_1) = (1, 1)$ 인 경우에는,  $T_4$  및  $T_6$ 이 온하기 때문에 전압  $V_H$ 가 선택적으로 출력된다.

따라서, 주사 신호  $G_1$ 에 따라, 화소 선택 트랜지스터 TG가 온하면, 상기한 전압 선택 회로(8)에 의해 선택된 전압이 액정(21)의 화소 전극(80)에 공급된다. 이렇게 해서, 상술한 구성의 제1 및 제2 DA 변환기에 의해, 6비트의 디지털 영상 신호  $D_0 \sim D_5$ 에 따른 아날로그 전압이, 화소 선택 트랜지스터 TG를 통해, 액정(21)의 화소 전극(80)이나 구동 트랜지스터(48)의 게이트에 공급되어 표시가 행해진다.

이와 같이, 본 실시예에 따르면, 6비트의 디지털 영상 신호 데이터  $D_0 \sim D_5$  중, 4비트에 대해서는 화소부의 주변부에 배치된 제1 DA 변환기에 의해 DA 변환을 행하고, 잔여의 2비트에 대해서는 각 화소 내에 내장된 제2 DA 변환기에 의해 DA 변환을 행하도록 하였기 때문에, 화소부의 주변 회로의 회로 규모를 억제하면서 DA 변환의 다비트화를 실현하는 것이 가능해진다.

다음으로, 화소에 내장되는 제2 DA 변환기의 다른 구체적인 구성에 대하여, 도 4를 참조하면서 설명한다. 도 4의 (a)는, 제2 DA 변환기가 내장된 액정 표시 장치의 화소  $GS_{11}$ 을 나타내는 회로도이다. 또한, 다른 화소에 대해서도 마찬가지이다. 도 4의 (b)는 일렉트로 루미네센스 표시 장치(이하, EL 표시 장치라고 함)의 화소를 도시하는 회로도이다. 이 EL 표시 장치에서는, 액정(21) 대신에, EL 소자(47) 및 이 EL 소자(47)를 전류 구동하기 위한 구동 트랜지스터(48)가 도입되어 있다. 즉, 구동 트랜지스터(48)의 게이트에 DA 변환된 아날로그 전압이 인가된다. 구동 트랜지스터(48)는, 그 아날로그 전압에 따라 EL 소자(47)에 흐르는 전류를 제어함으로써, 일렉트로 루미네센스 표시를 행할 수 있다. DA 변환기의 부분에 대해서는, 도 4의 (a)와 마찬가지이다. 이하에서는, 도 4의 (a)에 대하여 설명하지만, 도 4의 (b)의 EL 표시 장치에 대해서도 마찬가지이다.

전압 공급 회로(9)는, 소스가 전압  $V_L$ 에 접속되며, 게이트에 디지털 영상 신호  $D_1$ 이 인가된 P채널형 박막 트랜지스터(TFT)  $T_{10}$ , 소스가 전압  $V_H$ 에 접속되며, 게이트에 디지털 영상 신호  $D_1$ 이 인가된 N채널형 박막 트랜지스터(TFT)  $T_{11}$ , 소스가 전압  $V_L$ 에 접속되며, 게이트에 디지털 영상 신호  $D_0$ 이 인가된 P채널형 박막 트랜지스터(TFT)  $T_{12}$ , 소스가 전압  $V_H$ 에 접속되며, 게이트에 디지털 영상 신호  $D_0$ 이 인가된 N채널형 박막 트랜지스터(TFT)  $T_{13}$ 으로 구성되어 있다.  $T_{10}$  및  $T_{11}$ 의 드레인은 용량 소자  $C_2$ 의 용량 전극(82)에 공통 접속되고,  $T_{12}$  및  $T_{13}$ 의 드레인은 용량 소자  $C_1$ 의 용량 전극(81)에 공통 접속되어 있다.

즉, 전압 공급 회로(9)는, 용량값이 가중된 용량 소자  $C_1, C_2$ 의 용량 전극(81, 82)에, 2비트의 디지털 영상 신호  $D_0, D_1$ 에 따라, 전압쌍 전압  $V_L, V_H$ 를 선택적으로 공급하는 회로이다. 여기서, 용량 소자  $C_1$ 의 용량값은 C, 용량 소자  $C_2$ 의 용량값은 2C로 설정되어 있는 것으로 한다.

또한, 전압  $V_L$ 과 용량 소자(81, 82)의 다른쪽의 용량 전극(83)(공통의 전극) 사이에는 주사 신호  $G_1$ 에 의해 제어된 화소 선택 트랜지스터  $TG_1$ 이 접속되어 있다. 전압 공급 회로(9)와 용량 전극(82) 사이에는 주사 신호  $G_1$ 에 의해 제어된 화소 선택 트랜지스터  $TG_2$ 가, 전압 공급 회로(9)와 용량 전극(81) 사이에는 주사 신호  $G_1$ 에 의해 제어된 화소 선택 트랜지스터  $TG_3$ 이 설치되어 있다. 또한, 화소 선택 트랜지스터  $TG_2, TG_3$ 과 액정(21)의 화소 전극(80) 사이에는 전하 전송 트랜지스터  $TT_1, TT_2$ 가 설치되어 있다.

이하, 상술한 제2 DA 변환기의 동작에 대하여 설명한다. 여기서는, 화소  $GS_{11}$ 에 데이터를 기입한 경우에 대해 설명하지만, 다른 화소에 기입한 경우에도 마찬가지이다.

<데이터  $D_0, D_1 = (0, 0)$ 인 경우>

게이트선(51)이 선택되면(주사 신호  $G_1 =$ 하이 레벨),  $TG_1, TG_2, TG_3$ 이 온하고, 용량 소자  $C_1, C_2$ 의 다른쪽의 용량 전극(83)은 전압  $V_L$ 로 된다. 또한, 화소 전극(80)의 화소 전압도  $V_L$ 로 된다.

제2 래치 회로(14-1)로부터 데이터  $D_0, D_1=(0, 0)$ 이 도래하면,  $T_{10}, T_{12}$ 가 온하고, 용량 전극(81, 82)의 전압은  $V_L$ 로 된다. 다음으로, 게이트선(51)이 비선택으로 되면,  $TG_1, TG_2, TG_3$ 이 오프하고, 다음의 게이트선(52)이 선택되면(주사 신호  $G_2$ =하이 레벨), 전송 트랜지스터  $TT_1, TT_2$ 가 온한다. 이 때, 용량 소자  $C_1, C_2$ 와 화소 전극(80) 사이에서 전하의 재배분이 행해진다. 따라서, 전하의 보존 법칙으로부터 다음의 식이 성립한다.

$$2C \times (V_L - V_L) + C \times (V_L - V_L) + V_L \times C_{ttl} \\ = 2C \times (V_{pix} - V_{pix}) + C \times (V_{pix} - V_{pix}) + V_{pix} \times C_{ttl}$$

이 식으로부터,  $V_{pix}=V_L$ 로 된다.  $V_{pix}$ 는 화소 전압,  $C_{ttl}=CLC+C_{sc}$ ,  $CLC$ 는 액정(21)의 용량값,  $C_{sc}$ 는 액정(21)에 화소 전극(80)에 부수하는 기생 용량의 용량값이다.

<데이터  $D_0, D_1=(1, 0)$ 인 경우>

게이트선(51)이 선택되면(주사 신호  $G_1$ =하이 레벨),  $TG_1, TG_2, TG_3$ 이 온하고, 용량 소자  $C_1, C_2$ 의 다른쪽의 용량 전극(83)은 전압  $V_L$ 로 된다. 또한, 화소 전극(80)의 화소 전압도  $V_L$ 로 된다.

제2 래치 회로(14-1)로부터 데이터  $D_0, D_1=(1, 0)$ 이 도래하면,  $T_{10}, T_{13}$ 이 온하고, 용량 전극(82)의 전압은  $V_L$ 로 되며, 용량 전극(81)의 전압은  $V_H$ 로 된다.

다음으로, 게이트선(51)이 비선택으로 되면,  $TG_1, TG_2, TG_3$ 이 오프되고, 다음의 게이트선(52)이 선택되면(주사 신호  $G_2$ =하이 레벨), 전송 트랜지스터  $TT_1, TT_2$ 가 온한다. 이 때, 용량 소자  $C_1, C_2$ 와 화소 전극(80) 사이에서 전하의 재배분이 행해진다. 따라서, 전하의 보존 법칙으로부터 다음의 식이 성립한다.

$$2C \times (V_L - V_L) + C \times (V_H - V_L) + V_L \times C_{ttl} \\ = 2C \times (V_{pix} - V_{pix}) + C \times (V_{pix} - V_{pix}) + V_{pix} \times C_{ttl}$$

이 식으로부터,  $V_{pix}=V_L + (V_H - V_L) \times C / C_{ttl}$ 로 된다.

<데이터  $D_0, D_1=(0, 1)$ 인 경우>

게이트선(51)이 선택되면(주사 신호  $G_1$ =하이 레벨),  $TG_1, TG_2, TG_3$ 이 온하고, 용량 소자  $C_1, C_2$ 의 다른쪽의 용량 전극(83)은 전압  $V_L$ 로 된다. 또한, 화소 전극(80)의 화소 전압도  $V_L$ 로 된다.

제2 래치 회로(14-1)로부터 데이터  $D_0, D_1=(0, 1)$ 이 도래하면,  $T_{11}, T_{12}$ 가 온하고, 용량 전극(82)의 전압은  $V_H$ 로 되며, 용량 전극(81)의 전압은  $V_L$ 로 된다.

다음으로, 게이트선(51)이 비선택으로 되면,  $TG_1, TG_2, TG_3$ 이 오프하고, 다음의 게이트선(52)이 선택되면(주사 신호  $G_2$ =하이 레벨), 전송 트랜지스터  $TT_1, TT_2$ 가 온한다. 이 때, 용량 소자  $C_1, C_2$ 와 화소 전극(80) 사이에서 전하의 재배분이 행해진다. 따라서, 전하의 보존 법칙으로부터 다음의 식이 성립한다.

$$2C \times (V_H - V_L) + C \times (V_L - V_L) + V_L \times C_{ttl} \\ = 2C \times (V_{pix} - V_{pix}) + C \times (V_{pix} - V_{pix}) + V_{pix} \times C_{ttl}$$

이 식으로부터,  $V_{pix}=V_L + (V_H - V_L) \times 2C / C_{ttl}$ 로 된다.

<데이터  $D_0, D_1=(1, 1)$ 인 경우>

게이트선(51)이 선택되면(주사 신호  $G_1$ =하이 레벨),  $TG_1, TG_2, TG_3$ 이 온하고, 용량 소자  $C_1, C_2$ 의 다른쪽의 용량 전극(83)은 전압  $V_L$ 로 된다. 또한, 화소 전극(80)의 화소 전압도  $V_L$ 로 된다.

제2 래치 회로(14-1)로부터 데이터  $D_0, D_1=(1, 1)$ 이 도래하면,  $T_{11}, T_{13}$ 이 온하고, 용량 전극(82)의 전압은  $V_H$ 로 되며, 용량 전극(81)의 전압은  $V_H$ 로 된다.

다음으로, 게이트선(51)이 비선택으로 되면,  $TG_1$ ,  $TG_2$ ,  $TG_3$ 이 오프하고, 다음의 게이트선(52)이 선택되면(주사 신호  $G_2$ =하이 레벨), 전송 트랜지스터  $TT_1$ ,  $TT_2$ 가 온한다. 이 때, 용량 소자  $C_1$ ,  $C_2$ 와 화소 전극(80) 사이에서 전하의 재배분이 행해진다. 따라서, 전하의 보존 법칙으로부터 다음의 식이 성립한다.

$$2C \times (V_H - V_L) + C \times (V_H - V_L) + V_L \times C_{ttl} \\ = 2C \times (V_{pix} - V_{pix}) + C \times (V_{pix} - V_{pix}) + V_{pix} \times C_{ttl}$$

이 식으로부터,  $V_{pix} = V_L + (V_H - V_L) \times 3C / C_{ttl}$ 로 된다. 이와 같이, 데이터가 「1」 증가하면, 출력 전압은  $(V_H - V_L) \times C / C_{ttl}$ 만큼 증가한다. 따라서,  $C_{ttl} = 4C$ 로 하면, 등간격의 전압으로 DA 변환을 행할 수 있다.

다음으로, 본 발명의 제2 실시예에 따른 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 5는 제2 실시예에 따른 표시 장치의 회로도이다. 또한, 도면을 간단하게 하기 위해, 수평 구동 회로의 2열, 화소부의 2행 2열분만을 도시하고 있다. 또한, 수직 구동 회로(40)에 대해서는 상술한 것과 마찬가지로 한다.

본 실시예가 제1 실시예와 상위한 점은, 제1 DA 변환기의 구성에 있다. 그 밖의 구성에 대해서는 제1 실시예의 것을 그대로 사용할 수 있다. 도 5에 도시한 바와 같이, 제1 DA 변환기는, 참조 데이터 발생 회로(15), 계단 전압 발생 회로(16), 일치 검출 회로(17), N채널형의 게이트 트랜지스터(20A, 21A)(게이트 회로)로 구성되어 있다.

참조 데이터 발생 회로(15)는, 일종의 카운터 회로로 구성되며, 도 6에 도시한 바와 같이, 4비트의 참조 디지털 데이터  $RD_2 \sim RD_5$ 를, 그 초기값인 (0000)으로부터 시작하여, 최대값인 (1111)까지, 기준 클럭 CKB에 기초하여 인크리먼트하여, 1수평 기간에 걸쳐 시계열적으로 출력하고, 다음의 1수평 기간에서는, 다시, 초기값인 (0000)으로 리셋되어, 최대값인 (1111)까지 출력한다고 하는 동작을 주기적으로 반복한다.

여기서, 기준 클럭 CKB는, 1수평 기간에 발생하는 클럭수가, 참조 디지털 데이터수(계조수)와 같아지도록, 예를 들면 수평 클럭 CKH를 분주하여 작성된다.

계단 전압 발생 회로(16)는, 참조 데이터 발생 회로(15)로부터 시계열적으로 인크리먼트 출력되는 참조 디지털 데이터  $RD_2 \sim RD_5$ 에 대응한 계단 전압쌍  $V_{SL}$ ,  $V_{SH}$ (아날로그 전압)를 발생한다. 계단 전압쌍  $V_{SL}$ ,  $V_{SH}$ 는, 도 2에 도시한 진리값 표에 따라 발생된다. 예를 들면,  $RD_2 \sim RD_5 = 0000$ 인 경우에는 계단 전압쌍  $(V_{SL}, V_{SH}) = (V_0, V_1)$ ,  $RD_2 \sim RD_5 = 0001$ 인 경우에는 계단 전압쌍  $(V_{SL}, V_{SH}) = (V_1, V_2)$ 이다.

또한, 계단 전압쌍  $V_{SL}$ ,  $V_{SH}$ (아날로그 전압)의 변화는, 상기 기준 클럭 CKB에 참조 디지털 데이터  $RD_0 \sim RD_5$ 의 변화에 동기시키고 있다(도 6을 참조). 여기서, 계단 전압 발생 회로(16)는, 예를 들면 각 계단 전압 VS를 발생하는 래치 저항과, 참조 디지털 데이터  $RD_0 \sim RD_5$ 에 따라 각 계단 전압 VS를 전환하여 출력하는 스위치군으로 간단히 구성할 수 있다.

일치 검출 회로(17)는, 4비트의 디지털 영상 신호 데이터  $D_2 \sim D_5$ 와, 참조 디지털 데이터  $RD_2 \sim RD_5$ 의 대응하는 모든 비트의 일치를 검출하여 일치 검출 신호를 출력하는 회로이다. 일치 검출 회로(17)는, 구체적으로는, 디지털 영상 신호 데이터  $D_2 \sim D_5$ 의 각 비트와, 대응하는 참조 디지털 데이터  $RD_2 \sim RD_5$ 의 각 비트가 입력된 6개의 배타적 논리합 회로(18-1, ..., 18-4)와, 이들 배타적 논리합 회로(18-1, ..., 18-4)의 출력이 입력된 NOR 회로(19)로 구성할 수 있다. 배타적 논리합 회로는, 예를 들면, 도 7에 도시한 회로로 구성할 수 있다. 또한, 도 7에서, 입력 데이터 XA는 입력 데이터 A의 반전 데이터, 입력 데이터 XB는 입력 데이터 B의 반전 데이터이다.

배타적 논리합 회로(18-1)는 디지털 영상 신호 데이터  $D_0$ 과 참조 디지털 데이터  $RD_0$ 이 일치했을 때에 논리값 「0」을 출력하고, 일치하지 않을 때는 논리값 「1」을 출력한다. 다른 배타적 논리합 회로(18-1)도 마찬가지이다. 따라서, 디지털 영상 신호 데이터  $D_2 \sim D_5$ 와 참조 디지털 데이터  $RD_2 \sim RD_5$ 의 모든 비트 데이터가 일치했을 때, 배타적 논리합 회로(18-1, ..., 18-4)의 출력은 모두 논리값 「0」으로 되고, NOR 회로(20)는 일치 검출 신호로서 논리값 「1」을 출력한다.

게이트 트랜지스터(20A, 21A)는, 상기 일치 검출 신호 「1」에 따라 온하고, 디지털 영상 신호 데이터  $D_2 \sim D_5$ 에 대응한 계단 전압쌍  $V_{SL}$ ,  $V_{SH}$ 를 출력한다. 이에 의해, 디지털 영상 신호  $D_0 \sim D_5$ 의 상위 4비트에 대하여 디지털-아날로그 변환이 행해진다.

다음으로, 상술한 표시 장치의 동작 타이밍에 대해 설명하면, 제2 래치(14)에 디지털 영상 신호가 래치되기까지는, 도 11에 도시한 종래예의 것과 마찬가지이다. 그 후, 게이트 신호선(51)에 주사 신호  $G_1$ (하이 레벨)이 1수평 기간만 공급됨으로써, 화소 선택 트랜지스터(72)가 온한다. 그리고, 참조 데이터 발생 회로(15)로부터 참조 디지털 데이터  $RD_2 \sim RD_5$ 가 출력되고, 계단 전압 발생 회로(16)로부터 그에 동기한 계단 전압쌍  $V_{SL}$ ,  $V_{SH}$ 가 출력된다.

그리고, 디지털 영상 신호 데이터  $D_2 \sim D_5$ 와 참조 디지털 데이터  $RD_2 \sim RD_5$ 가 일치한 기간, 게이트 트랜지스터(20A, 21A)가 온하고, 디지털 영상 신호 데이터  $D_0 \sim D_5$ 에 대응한 계단 전압쌍  $V_{SL}$ ,  $V_{SH}$ 가 출력된다. 이에 의해, 계단 전압쌍



$V_{SL}$ ,  $V_{SH}$ 는 제1 실시예에서 설명한 전압쌍  $V_L$ ,  $V_H$ 로서, 화소 내에 설치된 제2 DA 변환기에 공급된다. 즉, 본 실시예는, 제1 DA 변환기만이 제1 실시예와 상위하고, 화소 내에 설치하는 제2 DA 변환기에 대해서는, 도 3 및 도 4에 도시한 것과 동일한 회로를 이용할 수 있어, 잔여의 2비트에 대하여 DA 변환을 행할 수 있다.

상술한 구성의 제1 DA 변환기에 따르면, 디코드 회로를 이용한 제1 실시예의 DA 변환기를 이용하는 경우에 비해, 배선 수나 트랜지스터 소자수를 대폭 삭감할 수 있다.

또한, 상술한 제1 및 제2 실시예의 표시 장치는, 6비트의 DA 변환기를 실현하고 있지만, 제1 DA 변환기와 제2 변환기의 비트수의 할당은 상기 실시예에 한정되는 것이 아니며, 적절하게 변경해도 된다. 예를 들면, 제1 DA 변환기에 의해 3비트를, 제2 DA 변환기에 의해 3비트를 DA 변환해도 된다. 또한, DA 변환의 비트수도 6비트에 한정되지 않고 필요에 따라 적절하게 증감할 수 있다.

또한, 상술한 구성의 표시 장치는 흑백 표시이지만, 본 발명은 풀 컬러 표시에도 적용할 수 있다. 이 경우, R, G, B의 각 디지털 영상 신호마다, 제1 래치 회로(13), 제2 래치 회로(14) 및 DA 변환기를 설치하면 된다.

또한, 본 실시예는, 전압 제어의 액정 표시 장치에 관한 것이지만, 전류 제어의 일렉트로 루미네센스 표시 장치에도 적용할 수 있다. 이 경우, 각 화소의 액정(21) 대신에, EL 소자 및 이 EL 소자의 구동 트랜지스터를 도입하면 된다. 즉, 구동 트랜지스터의 게이트에 DA 변환된 아날로그 전압이 인가된다. 구동 트랜지스터는, 그 아날로그 전압에 따라 EL 소자에 흐르는 전류를 제어함으로써, 일렉트로 루미네센스 표시를 행할 수 있다.

## 발명의 효과

본 발명의 표시 장치는, 디지털 영상 신호를 아날로그 영상 신호로 변환하는 DA 변환기를, 복수의 화소의 주변부에 설치된 제1 DA 변환기와, 각 화소 내에 설치된 제2 DA 변환기로 구성하고, 제1 DA 변환기에 의해  $n$ 비트의 디지털 영상 신호 중,  $m$ 비트( $m < n$ )에 대하여 DA 변환을 행함과 함께, 제2 DA 변환기에 의해, 잔여의  $(n-m)$ 비트에 대하여 DA 변환을 행하도록 하였다.

이에 의해, 화소의 주변 회로의 구성을 간결화하여 표시 패널의 주변 면적의 증가를 억제하면서, DA 변환기의 비트수를 증가시킴으로써, 다계조의 표시를 실현할 수 있다.

## (57) 청구의 범위

### 청구항 1.

복수의 화소와,  $n$ 비트의 디지털 영상 신호를 아날로그 영상 신호로 변환하는 DA 변환기를 갖고, 상기 아날로그 영상 신호를 상기 각 화소에 공급하여 표시를 행하는 표시 장치에 있어서,

상기 DA 변환기는 상기 복수의 화소의 주변부에 설치된 제1 DA 변환기와, 상기 각 화소 내에 설치된 제2 DA 변환기로 구성되고,

상기 제1 DA 변환기는 상기  $n$ 비트의 디지털 영상 신호 중,  $m$ 비트( $m < n$ )에 대하여 DA 변환을 행함과 함께, 상기 제2 DA 변환기는 잔여의  $(n-m)$ 비트에 대하여 DA 변환을 행하도록 하는 것을 특징으로 하는 표시 장치.

### 청구항 2.

제1항에 있어서, 샘플링 펄스에 따라 상기 디지털 영상 신호를 래치하는 제1 래치 회로와, 1수평 기간 종료 후에 발생하는 전송 펄스에 따라 상기 제1 래치 회로의 출력을 래치하는 제2 래치 회로를 포함하며, 상기 제2 래치 회로의 출력을 상기 제1 DA 변환기에 입력하는 것을 특징으로 하는 표시 장치.

### 청구항 3.

제1항 또는 제2항에 있어서, 상기 제1 DA 변환기는,

상기  $m$ 비트의 디지털 영상 신호에 따른 복수의 참조 전압을 발생하는 참조 전압 발생 회로와,

상기  $m$ 비트의 디지털 영상 신호에 따라 상기 복수의 참조 전압으로부터 대응하는 참조 전압쌍을 선택하는 참조 전압 선택 회로

를 포함하는 것을 특징으로 하는 표시 장치.

### 청구항 4.



제3항에 있어서, 상기 제2 DA 변환기는,  
상기 참조 전압쌍 간의 복수의 전압을 발생하는 래더 저항 회로와,  
상기 (n-m)비트의 디지털 영상 신호에 따라, 상기 복수의 전압 중, 하나의 전압을 선택하는 전압 선택 회로  
를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 5.

제4항에 있어서, 주사 신호에 따라 상기 전압 선택 회로에 의해 선택된 전압을 상기 화소의 화소 전극에 공급하는 화소 선택 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 6.

제3항에 있어서, 상기 제2 DA 변환기는,  
용량값이 가중된 복수의 용량 소자와,  
상기 (n-m)비트의 디지털 영상 신호에 따라, 상기 참조 전압쌍 전압을 상기 복수의 용량 소자의 전극에 선택적으로 공급하는 전압 공급 회로와,  
상기 복수의 용량 소자에 의해 축적된 전하를 타이밍 신호에 따라 상기 화소 전극에 공급하는 전하 전송 트랜지스터  
를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 7.

제6항에 있어서, 주사 신호에 따라 상기 전압 공급 회로로부터의 전압을 상기 복수의 용량 소자의 전극에 공급하는 화소 선택 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 8.

제1항에 있어서, 상기 제1 DA 변환기는,  
n비트의 데이터를 인크리먼트한 참조 디지털 데이터를 시계열적으로 출력하는 참조 데이터 발생 회로와,  
상기 참조 디지털 데이터의 변화와 동기하여 변화함과 함께, 상기 참조 디지털 데이터에 대응한 계단 전압쌍을 발생하는 계단 전압 발생 회로와,  
디지털 영상 신호 데이터와 상기 참조 디지털 데이터와의 일치를 검출하여 일치 검출 신호를 출력하는 일치 검출 회로와,  
상기 일치 검출 신호에 따라 상기 계단 전압쌍을 출력하는 게이트 회로  
를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 9.

제8항에 있어서, 샘플링 펄스에 따라 상기 디지털 영상 신호를 래치하는 제1 래치 회로와, 1수평 기간 종료 후에 발생하는 전송 펄스에 따라 상기 제1 래치 회로의 출력을 래치하는 제2 래치 회로를 포함하며, 상기 제2 래치 회로의 출력을 상기 제1 DA 변환기에 입력하는 것을 특징으로 하는 표시 장치.

#### 청구항 10.

제8항 또는 제9항에 있어서, 상기 제2 DA 변환기는,  
상기 계단 전압쌍 간의 전압을 발생하는 래더 저항 회로와,  
상기 (n-m)비트의 디지털 영상 신호에 따라, 상기 복수의 전압 중, 하나의 전압을 선택하는 전압 선택 회로  
를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 11.

제10항에 있어서, 주사 신호에 따라 상기 전압 선택 회로에 의해 선택된 전압을 상기 화소의 화소 전극에 공급하는 화소 선택 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 12.

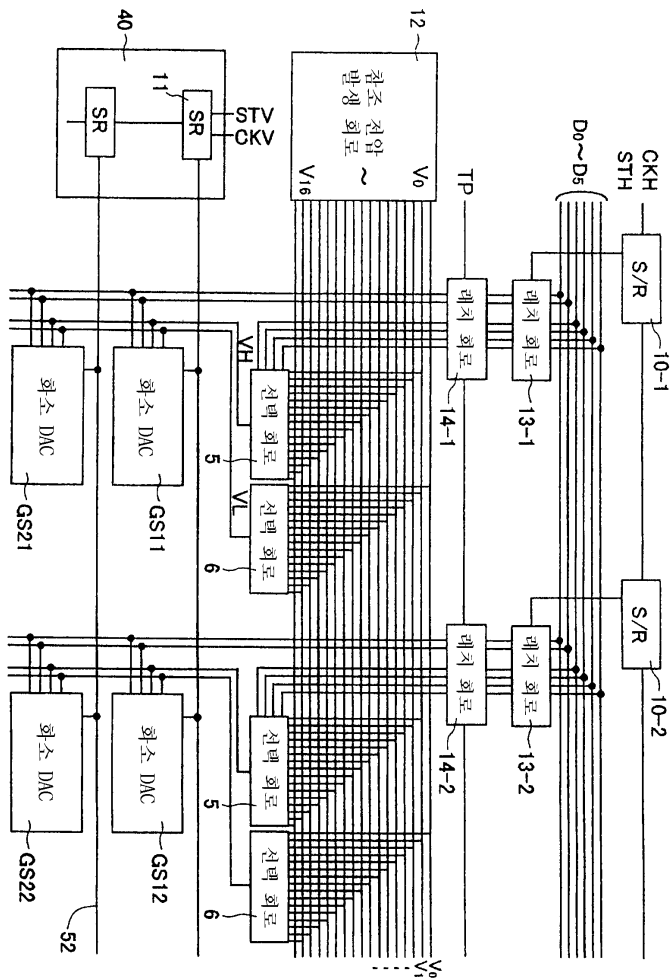
제8항 또는 제9항에 있어서, 상기 제2 DA 변환기는,  
용량값이 가중된 복수의 용량 소자와,  
상기 (n-m)비트의 디지털 영상 신호에 따라, 상기 계단 전압쌍 전압을 상기 복수의 용량 소자의 전극에 선택적으로 공급하는 전압 공급 회로와,  
상기 복수의 용량 소자에 의해 축적된 전하를 타이밍 신호에 따라 상기 화소 전극에 공급하는 전하 전송 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 13.

제12항에 있어서, 주사 신호에 따라 상기 전압 공급 회로로부터의 전압을 상기 복수의 용량 소자의 전극에 공급하는 화소 선택 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

도면

도면1

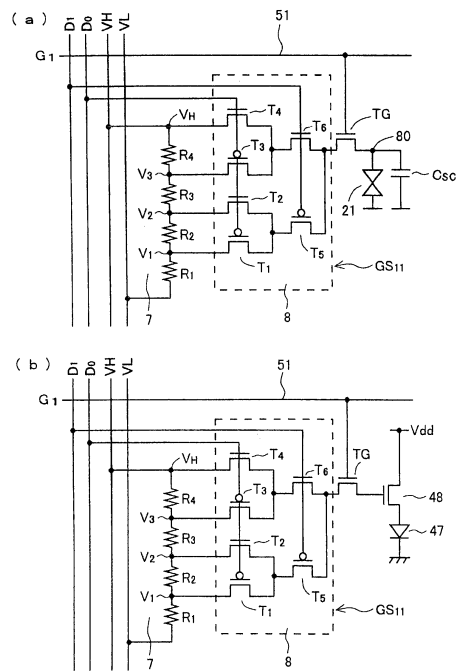


도면2

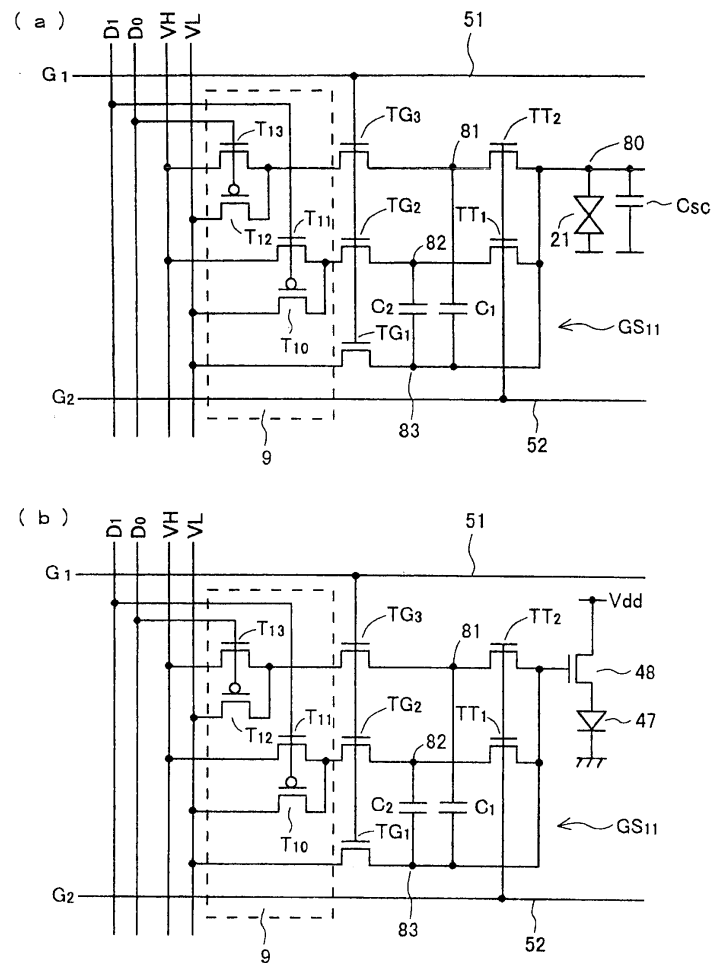
진리값 표

D5D4D3D2	V <sub>j</sub> , V <sub>j+1</sub>
0000	V <sub>0</sub> , V <sub>1</sub>
0001	V <sub>1</sub> , V <sub>2</sub>
0010	V <sub>2</sub> , V <sub>3</sub>
0011	V <sub>3</sub> , V <sub>4</sub>
0100	V <sub>4</sub> , V <sub>5</sub>
0101	V <sub>5</sub> , V <sub>6</sub>
0110	V <sub>6</sub> , V <sub>7</sub>
0111	V <sub>7</sub> , V <sub>8</sub>
1000	V <sub>8</sub> , V <sub>9</sub>
1001	V <sub>9</sub> , V <sub>10</sub>
1010	V <sub>10</sub> , V <sub>11</sub>
1011	V <sub>11</sub> , V <sub>12</sub>
1100	V <sub>12</sub> , V <sub>13</sub>
1101	V <sub>13</sub> , V <sub>14</sub>
1110	V <sub>14</sub> , V <sub>15</sub>
1111	V <sub>15</sub> , V <sub>16</sub>

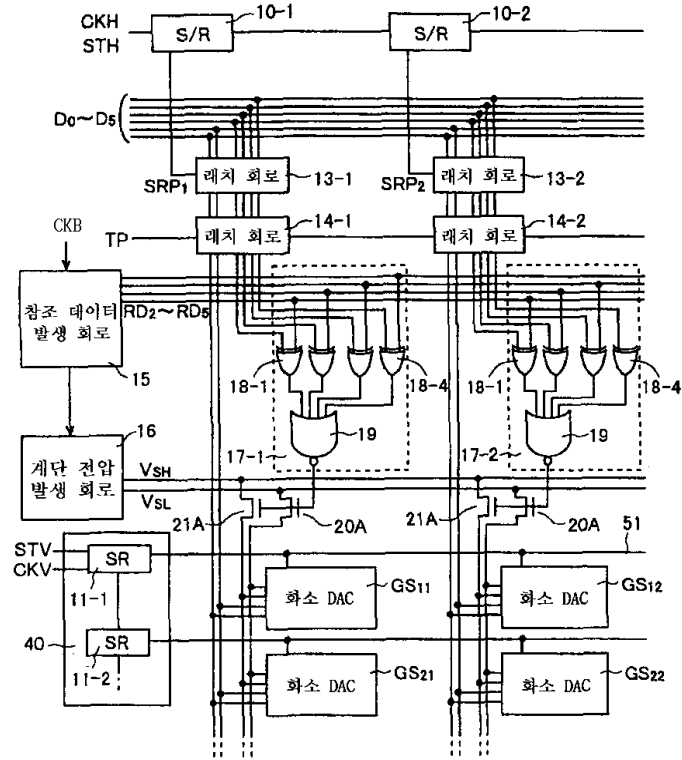
도면3



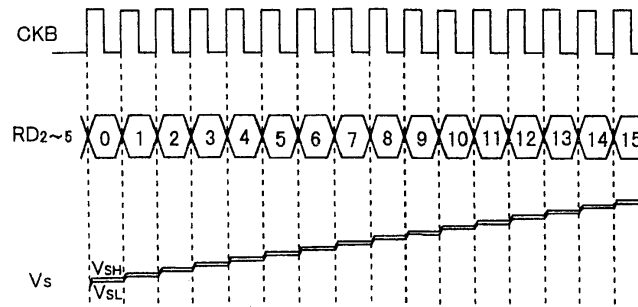
도면4



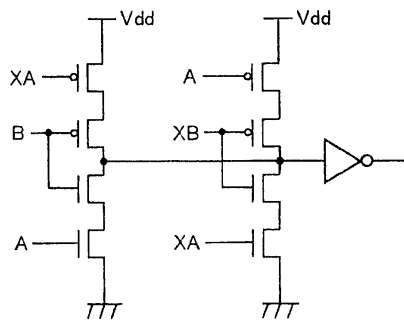
도면5



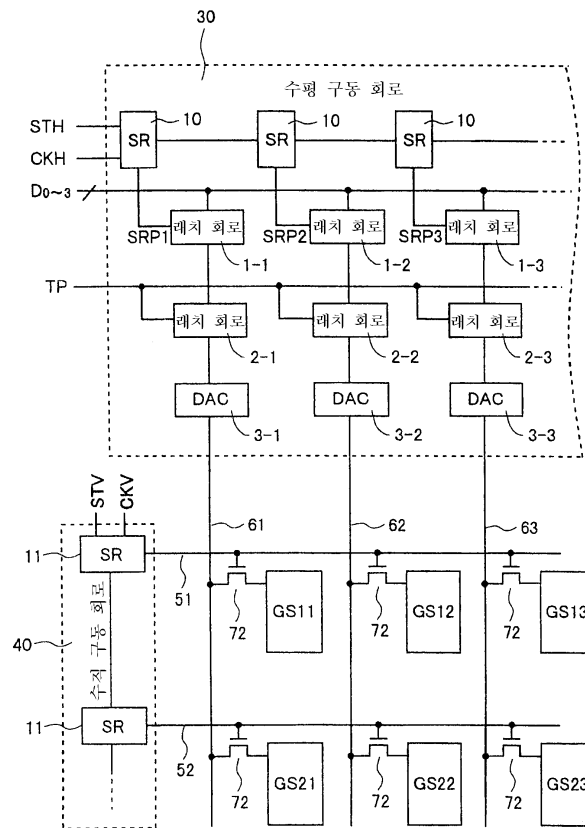
도면6



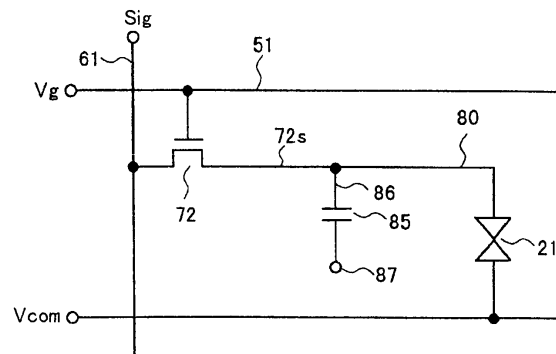
도면7



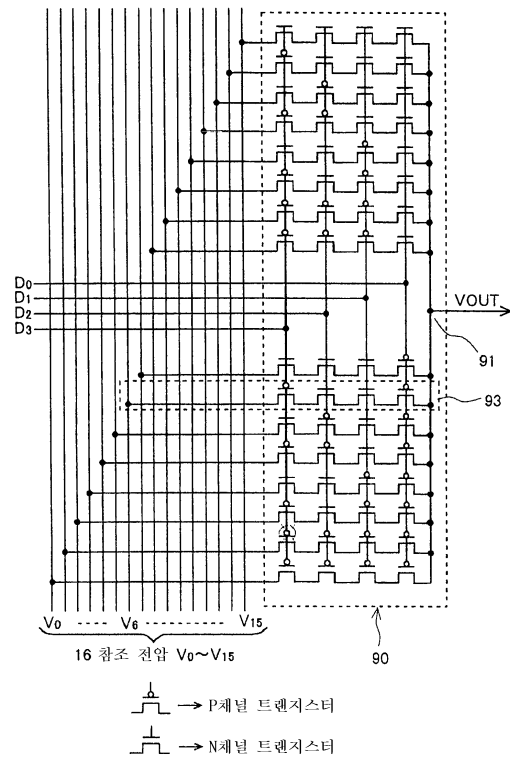
도면8



도면9



도면10



도면11

