

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9512754

※ 申請日期： 95.6.13

※IPC 分類：H04L 29/06 (2006.01)

H03K 19/0175 (2006.01)

## 一、發明名稱：(中文/英文)

用於快捷取樣速率切換之串列協定

SERIAL PROTOCOL FOR AGILE SAMPLE RATE SWITCHING

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商艾基爾系統公司

AGERE SYSTEMS INC.

代表人：(中文/英文)

佛迪納德 M 羅馬諾

ROMANO, FERDINAND M.

住居所或營業所地址：(中文/英文)

美國賓州亞倫鎮市美國公園東北路1110號

1110 AMERICAN PARKWAY NE, ALLENTOWN, PENNSYLVANIA

18109, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

### 三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 劉金宏  
LAU, KING-HON
2. 喬漢那 G 藍斯傑  
RANSIJN, JOHANNES G.
3. 哈洛 湯瑪士 西蒙德  
SIMMONDS, HAROLD THOMAS
4. 詹姆士 D 優得  
YODER, JAMES D.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 荷蘭 THE NETHERLANDS
3. 美國 U.S.A.
4. 美國 U.S.A.

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年06月23日；11/159,537

2. 美國；2005年06月23日；11/159,614

3. 美國；2005年08月17日；11/206,314

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明提供一種通信協定及具有一近似固定介面時脈且能夠容納各種通信速率之串列介面。該介面使用一可變長度訊框，即使介面時脈速率保持近似恆定，該可變長度訊框亦可經擴展或縮減以獲得一所要通信速率。本發明進一步提供一種用於設計一快捷障壁介面之方法。詳言之，較佳將障壁時脈速率選擇為該障壁介面必須處理之各種通信速率之一近似公倍數。可接著藉由用 $\Sigma\Delta$ 速率除該障壁時脈速率而獲得對應於每一通信速率之訊框長度。最後，本發明提供一種快捷障壁，其能夠以各種資料速率且以一近似固定介面時脈速率而跨越一串列介面來傳達資料。

## 六、英文發明摘要：

## 七、指定代表圖：

(一)本案指定代表圖為：第 ( 2 ) 圖。

(二)本代表圖之元件符號簡單說明：

|     |               |
|-----|---------------|
| 201 | 時 槽           |
| 202 | 時 槽           |
| 203 | 時 槽           |
| 204 | 時 槽           |
| 205 | 時 槽           |
| 206 | 時 槽           |
| 207 | 時 槽           |
| 208 | 時 槽           |
| 209 | 時 槽           |
| 210 | 時 槽           |
| 211 | 時 槽           |
| 212 | 時 槽           |
| 213 | 時 槽           |
| 214 | 時 槽           |
| 215 | 時 槽           |
| 216 | 時 槽           |
| 217 | 時 槽           |
| 218 | 時 槽           |
| 220 | 填 補 訊 框       |
| 222 | 基 本 訊 框       |
| 224 | 前 向 資 料 及 控 制 |

|     |         |
|-----|---------|
| 226 | 前向成框序列  |
| 228 | 反向資料及控制 |
| 230 | 填補位元    |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 九、發明說明：

### 【發明所屬之技術領域】

本發明大體上係關於數據機或數位存取配置("DAA")中之線路側電路與系統側電路之間的數位通信。

### 【先前技術】

如圖1中所說明，一現代數據機100通常包括：一數位訊號處理器或微處理器102；一編碼器/解碼器("編解碼器")132，其用於將來自DSP 102之數位訊號轉換為能夠經由電話線而傳輸之類比形式且用於將來自電話線之類比訊號轉換為數位形式；及高電壓("HV")組件130，其與電話線建立介面連接。為了將DSP 102與電話線上之電壓波動隔離，通常經由跨越一隔離障壁117而通信之兩個電路——系統側介面電路("SSIC")106與線路側介面電路("LSIC")118而實施編解碼器功能。

SSIC 106包括：一系統I/O介面108，其用於與DSP 102通信；一習知 $\Sigma\Delta$ 調變器112，其用於將前向行進資料訊號轉換為前向行進 $\Sigma\Delta$ 訊號；一習知積分器式 $\Sigma\Delta$ 解碼器，其用於將反向行進 $\Sigma\Delta$ 訊號解碼為資料訊號；及一隔離障壁介面電路114，其用於跨越隔離障壁117而將 $\Sigma\Delta$ 訊號傳輸至LSIC 118及自LSIC 118接收 $\Sigma\Delta$ 訊號。SSIC 106可進一步包括：一協定成框電路116，其運行以組織由隔離障壁介面電路114所傳輸與接收之資料；及一障壁時脈控制器113與關聯壓控振盪器115，其共同形成一用於產生障壁時脈訊號之可變速率時脈產生器。

LSIC 118包括：一隔離障壁介面電路120；一線路側 $\Sigma\Delta$ 數位類比轉換器("DAC")126，其輸出係連接至一傳輸緩衝器128；及一 $\Sigma\Delta$ 類比數位轉換器("ADC")122，其輸入係連接至一接收緩衝器124。LSIC 118可進一步包括一習知時脈及資料恢復電路125以自來自隔離障壁之接收訊號中得到一區域時脈訊號。隔離障壁介面電路114、120之每一者可為用於跨越一隔離障壁而通信之任何適當的隔離障壁介面電路，諸如上文所併入之美國專利申請案第11/159,537號及第11/159,614號中所描述之隔離障壁介面電路。

習知數據機通常亦必須容納各種各樣之通信速率。舉例而言，如下列表1中所說明，一遵守CCITT v.34標準之數據機必須能夠以一可變符號速率(或波特速率(baud rate))來通信，該可變符號速率(或波特速率)可在自2400 Hz至3429 Hz之範圍內。

| 應用     | 符號速率<br>[Hz] | 取樣速率<br>[Hz] | $\Sigma\Delta$ 速率<br>[MHz] |
|--------|--------------|--------------|----------------------------|
| V.34   | 2400         | 7200         | 1.8432                     |
| 音訊     | N/A          | 8000         | 2.0480                     |
| V.34   | 2743         | 8228         | 2.1066                     |
| V.34   | 2800         | 8400         | 2.1504                     |
| V.34   | 3000         | 9000         | 2.3040                     |
| V.34   | 3200         | 9600         | 2.4576                     |
| V.34   | 3429         | 10287        | 2.6335                     |
| 音訊/ 任選 | N/A          | 11025        | 2.8224                     |

表 1

若將ADC取樣速率選擇為符號速率之3倍，則ADC 122

必須具有在自 7200 Hz 至 10,287 Hz 之範圍內的取樣速率 (且，若電話訊號係類比音訊訊號而非數位數據機訊號，則取樣速率高達 11,025 Hz)。另外， $\Sigma\Delta$  速率通常經選擇成使得類比訊號係以該取樣速率之一預定倍數 (例如，256 倍) 而得以過度取樣。如此， $\Sigma\Delta$  ADC 122 必須以在 1.843 MHz 與 2.822 MHz 之間之範圍內的  $\Sigma\Delta$  速率來運作。

此寬範圍之所需  $\Sigma\Delta$  速率 (1.843 MHz 至 2.822 MHz) 表示對障壁介面 (由介面電路 114 及 120 與隔離障壁 117 所形成之通信鏈路) 之設計約束。為了成功之全雙工運作，在每一  $\Sigma\Delta$  取樣間隔期間，必須跨越 SSIC 106 與 LSIC 118 之間的隔離障壁而傳達一前向  $\Sigma\Delta$  樣本與一反向  $\Sigma\Delta$  樣本。換言之，視  $\Sigma\Delta$  速率而定，障壁介面之資料速率必須可變。

通常已藉由改變障壁時脈速率以獲得所要資料速率而獲得了用於障壁介面之所要可變資料速率。在一簡化實例中，若數據機 100 以 2,400 Hz 之符號速率 (為此需要 1.843 MHz 之  $\Sigma\Delta$  速率) 而與另一數據機建立 v.34 通信，則 DSP 102 或某其他障壁時脈控制器 113 可將障壁時脈速率設定為等於 1.843 MHz 之兩倍或 3.686 MHz 之速率，使得在每一  $\Sigma\Delta$  間隔期間，可跨越障壁介面而傳輸至少一前向  $\Sigma\Delta$  樣本與一反向  $\Sigma\Delta$  樣本。與此相反，若數據機 100 以 3,429 Hz 之符號速率 (按照表 1，為此需要 2.634 MHz 之  $\Sigma\Delta$  速率) 而建立 v.34 通信，則可將障壁時脈設定為 2.634 MHz 之兩倍或 5.268 MHz 之速率，再次使得在每一  $\Sigma\Delta$  間隔期間，可跨越障壁介面而傳輸至少一前向  $\Sigma\Delta$  樣本與一反向  $\Sigma\Delta$  樣本。因此，此

簡化實例中之時脈速率將必須能夠在自 3.686 MHz 至 5.268 MHz(意即，42%之增加)之範圍上運作以容納全範圍之 v.34 符號速率。此外，若將在每一  $\Sigma\Delta$  間隔期間傳達控制及狀態資訊，則將必須相應地增加障壁時脈速率。

不幸的係，改變作為符號速率或  $\Sigma\Delta$  速率之函數之障壁時脈的此習知技術導致至少兩個困難。第一，若 LSIC 118 自障壁訊號中經由一時脈恢復電路而得到其區域時脈，則每當障壁時脈改變時，時脈恢復電路與障壁訊號失去同步。在時脈恢復電路重新獲得新時脈速率之前，SSIC 106 與 LSIC 118 不能夠通信。第二，SSIC 106 中之時脈產生電路與 LSIC 118 中之時脈恢復電路相對較複雜且昂貴，因為其必須跨越障壁而容納整個範圍之時脈速率。

### 【發明內容】

由於已識別了與可變時脈速率障壁介面相關聯之上述困難，因而本發明者開發了一種創新通信協定及障壁介面，其具有近似固定障壁時脈且能夠容納各種符號速率、取樣速率及/或  $\Sigma\Delta$  速率(全體為"通信速率")。更特定言之，本發明使用一可變長度訊框，即使障壁時脈速率保持近似恆定，該可變長度訊框亦可經擴展或縮減以達到一所要通信速率。每一主訊框較佳包括一固定長度資料部分與一可變長度虛設部分。對於一快速通信速率，可變長度虛設部分可較小，使得總訊框長度較小且可在一特定時間週期期間傳輸許多訊框。對於一緩慢通信速率，可變長度虛設部分可較大，使得總訊框長度較大且可在相同時間週期期間傳

輸僅僅少數訊框。因此，最小訊框長度對應於最快通信速率，而最大訊框長度對應於最慢通信速率。

本發明進一步提供一種用於設計快捷障壁介面之方法。詳言之，將障壁時脈速率較佳選擇為障壁介面必須處理之各種通信速率之一近似公倍數。可接著藉由用  $\Sigma \Delta$  速率除障壁時脈速率而獲得對應於每一通信速率之訊框長度。

最後，本發明提供一種快捷通信電路，其能夠以各種資料速率且以一近似固定介面時脈速率而跨越一串列介面來傳達資料。

### 【實施方式】

如以上所描述，本發明使用一可變長度訊框，儘管在一近似固定障壁時脈下，其仍可經擴展或縮減以達到一所要通信速率。圖2中描述使用此種訊框之例示性通信協定。填補訊框220包括一基本訊框222(意即，固定長度資料部分)及許多填補位元230(可變長度虛設部分)。

基本訊框222之特定構成將視障壁介面是僅具有單一串列通信鏈路還是具有多個通信鏈路而定。圖2描述前者情況之實例，其中障壁介面係單一串列通信鏈路，在每一主訊框期間，將經由該串列通信鏈路而傳輸前向及反向行進  $\Sigma \Delta$  資料與前向及反向行進控制資訊兩者。因此，在圖2所示之訊框中，SSIC 106在時槽201-208期間傳輸，且LSIC 118在時槽209-212期間傳輸。

為了保持隔離障壁中之通量平衡，較佳使用一習知編碼器而將每一傳輸位元進行曼徹斯特(Manchester)編碼。

即，將"0"位元編碼為雙位元序列01，且將"1"位元編碼為雙位元序列10。應瞭解，若通量平衡並非設計重點(例如，其中隔離障壁係電容性障壁)，則不需要此種編碼。

如圖2中所示，基本訊框222較佳包括：

(1)在時槽201及202期間之前向資料位元(展示為經曼徹斯特編碼為DF，接著為NOT DF)，藉由SSIC 106來傳輸；

(2)在時槽203及204期間之前向控制位元(展示為CF、NOT CF)，藉由SSIC 106來傳輸；

(3)在時槽205-208期間之預定前向成框序列326(展示為NOT CF、NOT CF、CF、CF)(藉由SSIC 106或LSIC 118來傳輸)；

(4)在時槽209及210期間之反向資料位元(展示為DR、NOT DR)，藉由LSIC 118來傳輸；及

(5)在時槽211及212期間之反向控制位元(展示為CR、NOT CR)，藉由LSIC 118來傳輸。

然而，將認識到，若多個通信鏈路可用，則障壁介面可藉由使鏈路單向而得以簡化。若如此，則可將基本訊框縮減為用於單一方向(意即，前向或反向)之 $\Sigma\Delta$ 資料、控制及前向成框序列。

前向成框序列可為可用於識別訊框何處開始及/或結束之位元值的任何唯一序列。舉例而言，在圖2所示之協定中，將時槽204中之反向控制位元(NOT CF)其後在時槽205及206中重複兩次。此三次重複值提供可容易被識別之唯一同步("sync")型式，在此程度上，經曼徹斯特編碼之訊

號(01、10)通常不會導致具有相同值之三時槽序列。可(例如)經由三位元移位暫存器而實施用於此同步型式之適合偵測電路，其中將該暫存器中之每一位元提供至一3輸入及(AND)閘，當偵測到三次重複值時，該3輸入及閘輸出一訊號。亦可使用其他訊框偵測技術以代替以上所描述之同步型式。舉例而言，可使用大緩衝器來儲存傳入之資料，且可接著根據此項技術中已知之技術而藉由一微處理器來統計分析緩衝資料以判定成框。

填補訊框220較佳亦包括虛設或填補位元230，其可經添加或移除以調整訊框大小。以此方式，在無需改變SSIC 180與LSIC 182之時脈速率之情況下，可容納各種各樣之資料速率。以實例說明之，在時槽213-218中描述為了達成通量平衡而具有交替值之六個填補位元(例如，0、1、0、1、0、1)。在已將介面初始化之後，可藉由SSIC 106或LSIC 118來提供此等填補位元。

圖3說明可如何在不破壞隔離障壁之通量平衡之情況下容納奇數個填補位元。本質上，藉由使用0與1之交替序列而在兩個連續訊框(訊框k與訊框k+1)上平衡填補位元之通量。舉例而言，若訊框k含有填補位元序列[01010]，則訊框k+1可含有序列[10101]。

在另一實施例中，本發明進一步提供一種用於設計快捷障壁介面之方法。一設計者選擇一障壁時脈速率，其係障壁介面必須處理之各種資料速率之一近似公倍數。設計者可接著藉由用 $\Sigma\Delta$ 速率除介面時脈速率而計算對應於每一資料速率

之訊框長度。以實例說明之且無限制，以下表2說明對於能夠處理 7200 Hz、8000 Hz、8229 Hz、8400 Hz、9000 Hz、9600 Hz、10,287 Hz及11,025 Hz之取樣速率之障壁介面而計算的例示性訊框長度與障壁時脈頻率，其中將 $\Sigma\Delta$ 速率選擇為該取樣速率之256倍。

| 應用     | 符號速率<br>[Hz] | 取樣速率<br>[Hz] | $\Sigma\Delta$ 速率<br>[MHz] | 訊框長度<br>[位元] | 障壁時脈<br>[MHz] |
|--------|--------------|--------------|----------------------------|--------------|---------------|
| V.34   | 2400         | 7200         | 1.8432                     | 18           | 33.1776       |
| 音訊     | N/A          | 8000         | 2.0480                     | 16           | 32.7680       |
| V.34   | 2743         | 8228         | 2.1066                     | 16           | 33.7056       |
| V.34   | 2800         | 8400         | 2.1504                     | 15           | 32.2560       |
| V.34   | 3000         | 9000         | 2.3040                     | 14           | 32.2560       |
| V.34   | 3200         | 9600         | 2.4576                     | 14           | 34.4064       |
| V.34   | 3429         | 10287        | 2.6335                     | 13           | 34.2355       |
| 音訊/ 任選 | N/A          | 11025        | 2.8224                     | 12           | 33.8688       |

表 2

如表2中所反映，上述 $\Sigma\Delta$ 速率(意即，1.843 MHz- 2.822 MHz)之一近似公倍數為約33.3 MHz，其被用作為近似固定障壁時脈速率。給定約33.3 MHz之近似固定訊框障壁時脈速率，可藉由用 $\Sigma\Delta$ 速率除訊框障壁時脈頻率而計算對應於每一 $\Sigma\Delta$ 速率之訊框長度。舉例而言，將對應於最高頻率 $\Sigma\Delta$ 速率 2.822 MHz之訊框長度計算為33.3 MHz/2.822 MHz、或11.8個時脈週期，可將其上舍入為12個時脈週期，如表2中所示。類似地，將對應於最低頻率 $\Sigma\Delta$ 速率 1.843 MHz之訊框長度計算為33.3 MHz/1.843 MHz，從而得到18.1個時脈週期，可將其下舍入為18個時脈週期以獲

得對應於 1.843 MHz 之  $\Sigma\Delta$  速率的訊框長度。

| 應用     | 符號速率<br>[Hz] | 取樣速率<br>[Hz] | $\Sigma\Delta$ 速率<br>[MHz] | 訊框長度<br>[位元] | 障壁時脈<br>[MHz] |
|--------|--------------|--------------|----------------------------|--------------|---------------|
| V.34   | 2400         | 7200         | 1.8432                     | 20           | 36.864        |
| 音訊     | N/A          | 8000         | 2.0480                     | 18           | 36.864        |
| V.34   | 2743         | 8228         | 2.1066                     | 17           | 35.813        |
| V.34   | 2800         | 8400         | 2.1504                     | 17           | 36.557        |
| V.34   | 3000         | 9000         | 2.3040                     | 16           | 36.864        |
| V.34   | 3200         | 9600         | 2.4576                     | 15           | 36.864        |
| V.34   | 3429         | 10287        | 2.6335                     | 14           | 36.869        |
| 音訊/ 任選 | N/A          | 11025        | 2.8224                     | 13           | 36.691        |

表 3

表 3 說明以下一實例：其中將上述  $\Sigma\Delta$  速率之不同的近似公倍數選擇為近似固定障壁時脈速率 -- 即，約 36 MHz。給定約 36 MHz 之近似固定訊框障壁時脈速率，藉由用  $\Sigma\Delta$  速率除訊框障壁時脈速率而計算對應於每一  $\Sigma\Delta$  速率之訊框長度。因此，將對應於最高頻率  $\Sigma\Delta$  速率 2.822 MHz 之訊框長度計算為 36 MHz / 2.822 MHz，從而得到 13 個時脈週期。類似地，將對應於最低頻率  $\Sigma\Delta$  速率 1.843 MHz 之訊框長度計算為 36 MHz / 1.843 MHz，從而得到 20 個時脈週期。

用於設計障壁介面之方法可進一步包括調整對於每一  $\Sigma\Delta$  速率之近似固定障壁時脈速率，藉以可校正選擇訊框長度期間所引入之舍入誤差。更具體言之，在選擇近似固定障壁時脈速率及對應於各種  $\Sigma\Delta$  速率之訊框長度之後，可藉由將每一  $\Sigma\Delta$  速率乘以其對應訊框長度而為每一  $\Sigma\Delta$  速率選擇一訂製障壁時脈速率。因此，對於表 2 之實例，可將對

於 1.843 MHz 之  $\Sigma\Delta$  速率與 18 個週期之長度的訂製障壁時脈速率計算為 33.1776 MHz。類似地，對於 2.822 MHz 之  $\Sigma\Delta$  速率與 12 個週期之訊框長度的訂製障壁時脈速率係 33.8688 MHz。可類似地對於表 2 中所示之剩餘  $\Sigma\Delta$  速率計算訂製障壁時脈速率。自表 2 中可看出，能夠以包括 2400、2743、2800、3000、3200 及 3249 之符號速率來傳輸資訊的障壁介面將較佳能夠以表 2 中所示之對應訂製障壁時脈速率（其在約 32 MHz 與約 35 MHz 之間的範圍內）運作。可以一類似方式來計算表 3 中所示之訂製障壁時脈速率，從而導致在約 35 MHz 與約 37 MHz 之間的訂製障壁時脈速率。

本發明進一步提供一種快捷通信電路，其能夠以各種資料速率且以一近似固定介面時脈速率而跨越一串列介面來傳達資料。此通信電路可使用習知數據機或 DAA 組件來實施，如圖 1 中所示且如以上在背景部分中所描述。詳言之，數據機處理器/DSP 102 包括現代設計之一般技術者所熟知之類型的電路及/或軟體，其用於選擇通信速率（例如，所要符號速率、取樣速率、或  $\Sigma\Delta$  速率）。SSIC 106 包括：一系統 I/O 介面 108，其用於與 DSP 102 通信；一習知  $\Sigma\Delta$  調變器 112，其用於將前向行進資料訊號轉換為前向行進  $\Sigma\Delta$  訊號；一習知積分器式  $\Sigma\Delta$  解碼器電路，其用於將反向行進  $\Sigma\Delta$  訊號解碼為資料訊號；及一隔離障壁介面電路 114，其用於跨越隔離障壁 117 而將  $\Sigma\Delta$  訊號傳輸至 LSIC 118 及自 LSIC 118 接收  $\Sigma\Delta$  訊號。SSIC 106 進一步包括一協定成框電路 116，其緩衝且組織由隔離障壁介面電路 114 所傳輸

與接收之資料。SSIC 106進一步包括一用於產生可變速率障壁時脈訊號之可變速率時脈產生器，該產生器包含障壁時脈控制器113及相關之聯壓控振盪器115。

LSIC 118包括：一隔離障壁介面電路120；一線路側 $\Sigma\Delta$ 數位類比轉換器("DAC")126，其輸出係連接至一傳輸緩衝器128；及一 $\Sigma\Delta$ 類比數位轉換器("ADC")122，其輸入係連接至一接收緩衝器124。LSIC 118可進一步包括一時脈及資料恢復電路125以自跨越隔離障壁而接收之訊號中得到一區域時脈訊號。

以上所描述之快捷通信電路運作方式如下。首先，數據機處理器/DSP 102基於一所要通信速率(意即，數據機符號速率、取樣速率、或 $\Sigma\Delta$ 速率)而為數位隔離障壁選擇一訊框長度及介面時脈速率，例如藉由在一查找表中查找訊框長度及介面時脈速率。接著，數據機處理器/DSP 102將所選擇之介面時脈速率傳達至SSIC 106中之障壁時脈控制器113。障壁時脈控制器113接收所選擇之介面時脈速率且將一對應類比訊號輸出至壓控振盪器115。基於此類比訊號，壓控振盪器產生一數位時脈訊號，其可作為隔離障壁時脈而用於介面電路114中。

數據機處理器/DSP 102亦將所選擇之訊框長度傳達至介面電路114中之成框器電路116。該成框器電路緩衝來自數據機處理器/DSP 102之資料，且藉由在每一基本訊框之末端處插入適當數量之填補位元而將緩衝資料封裝於具有所選擇之訊框長度的訊框中。

本發明提供許多優於先前技術之隔離障壁介面之優點。詳言之，系統側介面電路中產生障壁時脈之壓控振盪器與線路側介面電路上之時脈及資料恢復電路均經賦能以便以一近似固定頻率來運行。即使當取樣速率改變時，兩者均可保持鎖定至近似固定頻率。此外，因為其僅需要在相對較小之頻率範圍上運作，所以其可為了低抖動效能而得以最優化。最後，線路側電路中之 $\Sigma\Delta$ 時脈可直接得自訊框同步脈衝。

雖然已因此描述了本發明之少數特定實施例，但是熟習此項技術者將容易想到各種變更、修改及改良。雖然本文中未明確陳述，但是如藉由本揭示案而變得明顯之此等變更、修改及改良意欲為此描述之一部分，且意欲在本發明之精神與範疇內。因此，前述描述僅係以實例說明之，且並不作為限制。本發明僅係如以下申請專利範圍及與其等效之等效內容中所界定而得以限制。

### 【圖式簡單說明】

圖1係描述一適合用於本發明中之通信電路的方塊圖；

圖2係描述根據本發明之使用可變長度訊框之通信協定的時序圖；及

圖3係描述根據本發明之用於在連續訊框上平衡隔離障壁之通量之另一通信協定的時序圖。

### 【主要元件符號說明】

|     |                    |
|-----|--------------------|
| 100 | 數據機                |
| 102 | 數位訊號處理器/微處理器/數據機處理 |

|     |                                  |
|-----|----------------------------------|
|     | 器 /DSP                           |
| 106 | 系統側介面電路 / SSIC                   |
| 108 | 系統 I/O 介面                        |
| 112 | $\Delta$ 調變器                     |
| 113 | 障壁時脈控制器                          |
| 114 | 隔離障壁介面電路                         |
| 115 | 壓控振盪器                            |
| 116 | 協定成框電路 / 成框器電路                   |
| 117 | 隔離障壁                             |
| 118 | 線路側介面電路 / LSIC                   |
| 120 | 隔離障壁介面電路                         |
| 122 | $\Delta$ 類比數位轉換器 / ADC           |
| 124 | 接收緩衝器                            |
| 125 | 時脈及資料恢復電路                        |
| 126 | 線路側 $\Sigma\Delta$ 數位類比轉換器 / DAC |
| 128 | 傳輸緩衝器                            |
| 130 | 高電壓組件                            |
| 132 | 編碼器 / 解碼器 (編解碼器)                 |
| 201 | 時槽                               |
| 202 | 時槽                               |
| 203 | 時槽                               |
| 204 | 時槽                               |
| 205 | 時槽                               |
| 206 | 時槽                               |

|     |             |
|-----|-------------|
| 207 | 時 槽         |
| 208 | 時 槽         |
| 209 | 時 槽         |
| 210 | 時 槽         |
| 211 | 時 槽         |
| 212 | 時 槽         |
| 213 | 時 槽         |
| 214 | 時 槽         |
| 215 | 時 槽         |
| 216 | 時 槽         |
| 217 | 時 槽         |
| 218 | 時 槽         |
| 220 | 填 補 訊 框     |
| 222 | 基 本 訊 框     |
| 226 | 前 向 成 框 序 列 |
| 230 | 填 補 位 元     |

## 十、申請專利範圍：

1. 一種用於為一可變速率介面選擇一介面時脈速率之方法，包含以下步驟：

識別用於跨越該介面之資料通信之兩個或兩個以上通信速率；

計算該等兩個或兩個以上通信速率之一近似公倍數；

選擇該近似公倍數作為該介面時脈速率；及

提供包含該可變速率介面之一通信電路，其中該可變速率介面經調適以於約等於經選擇之該介面時脈速率之一時脈速率傳輸或接收信號。

2. 如請求項1之方法，其中該等兩個或兩個以上通信速率係選自由每秒2400、2743、2800、3000、3200及3429個符號所組成之群的符號速率。
3. 如請求項1之方法，其中該等兩個或兩個以上通信速率係選自由每秒7200、8000、8229、8400、9000、9600、10287及11025個樣本所組成之群的取樣速率。
4. 如請求項1之方法，其中該等兩個或兩個以上通信速率係選自由1.843 MHz、2.048 MHz、2.107 MHz、2.150 MHz、2.204 MHz、2.458 MHz、2.634 MHz及2.822 MHz所組成之群的 $\Sigma\Delta$ 速率。
5. 如請求項1之方法，其中該等兩個或兩個以上通信速率之近似最大公分母係約33.3 MHz與約36 MHz其中之一者。
6. 如請求項1至請求項5之任一項之方法，進一步包含以下

步驟：

界定複數個訊框，每一訊框對應於該等兩個或兩個以上通信速率之至少一者且具有一訊框長度。

7. 如請求項6之方法，其中該複數個訊框之每一者之該訊框長度係藉由用該個別通信速率除該等兩個或兩個以上通信速率之該近似公倍數而獲得。
8. 如請求項7之方法，其中該複數個訊框之每一者之該訊框長度係以下其中之一者：(i)在約12個時脈週期與約18個時脈週期之間與(ii)在約13個時脈週期與約20個時脈週期之間。
9. 如請求項6之方法，進一步包括以下步驟：將對於該等兩個或兩個以上通信速率之每一者之該介面時脈速率調整為藉由將每一通信速率乘以其對應訊框長度而獲得之速率，藉此得到分別對應於該等兩個或兩個以上通信速率之兩個或兩個以上訂製介面時脈速率。
10. 如請求項9之方法，其中該等兩個或兩個以上訂製介面時脈速率係在以下範圍其中之一內：(i)約32 MHz至約35 MHz之範圍與(ii)約35 MHz至約37 MHz之範圍。
11. 如請求項10之方法，其中該等兩個或兩個以上訂製介面時脈速率係選自以下其中之一者：(i)由33.1776 MHz、32.7680 MHz、33.7056 MHz、32.2560 MHz、34.4064 MHz、34.2355 MHz及33.8688 MHz所組成之群與(ii)由36.864 MHz、36.864 MHz、35.813 MHz、36.557 MHz、36.864 MHz、36.864 MHz、36.869 MHz及36.691 MHz所

組成之群。

12. 如請求項 1 至請求項 11 之任一項之方法，其中該介面時脈速率係經由該介面傳輸之訊號之該時脈速率。

13. 一種用於以多個通信速率經由一介面而傳達資料之方法，包含以下步驟：

於一第一通訊速率以一近似固定介面時脈速率經由該介面而傳輸一第一訊框，該第一訊框包括一第一資料及對應於該第一通信速率之一第一數量之填補位元；及

於與該第一通訊速率不同之一第二通訊速率以該近似固定介面時脈速率經由該介面而傳輸一第二訊框，該第二訊框包括一第二資料及對應於該第二通信速率且與該第一數量之填補位元不同之一第二數量之填補位元，

藉此使該第一資料以一對應於該第一通信速率之速率來傳達，且該第二資料以一對應於該第二通信速率之速率來傳達；

在傳輸該第一訊框之前，基於該第一通訊速率微調該近似固定介面時脈速率；及

在傳輸該第二訊框之前，基於該第二通訊速率微調該近似固定介面時脈速率。

14. 如請求項 13 之方法，其中該等第一與第二通信速率皆係一選自由每秒 2400、2743、2800、3000、3200 及 3429 個符號所組成之群的符號速率。

15. 如請求項 13 之方法，其中該等第一與第二通信速率皆係一選自由每秒 7200、8000、8229、8400、9000、9600、

10287及11025個樣本所組成之群的取樣速率。

16. 如請求項13之方法，其中該等第一與第二通信速率皆係選自由1.843 MHz、2.048 MHz、2.107 MHz、2.150 MHz、2.204 MHz、2.458 MHz、2.634 MHz及2.822 MHz所組成之群的 $\Sigma\Delta$ 速率。
17. 如請求項13至請求項16之任一項之方法，其中該近似固定介面時脈速率係該等第一與第二通信速率之一近似公倍數。
18. 如請求項13至請求項16之任一項之方法，其中該近似固定介面時脈速率可在以下範圍其中之一內調整：(i)自約32 MHz至約35 MHz之範圍、及(ii)自約35 MHz至約37 MHz之範圍。
19. 如請求項13至請求項16之任一項之方法，其中該近似固定介面時脈速率係選自以下其中之一者：(i)由33.1776 MHz、32.7680 MHz、33.7056 MHz、32.2560 MHz、34.4064 MHz、34.2355 MHz及33.8688 MHz所組成之群與(ii)由36.864 MHz、36.864 MHz、35.813 MHz、36.557 MHz、36.864 MHz、36.864 MHz、36.869 MHz及36.691 MHz所組成之群。
20. 如請求項13至請求項16之任一項之方法，其中該等第一與第二訊框進一步包括一成框序列。
21. 如請求項20之方法，其中：

將該等第一與第二資料進行曼徹斯特編碼；且

該成框序列包含以該近似固定介面時脈速率在三個連

續時脈週期期間之具有相同值之三個連續位元。

22. 如請求項13至請求項16之任一項之方法，其中該第一數量之填補位元與該第二數量之填補位元皆係以下其中之一；(i)0與6之間之一整數、及(ii)約0與7之間之一整數。
23. 一種能夠以各種資料速率且以一近似固定介面時脈速率而跨越一介面來傳達資料之快捷通信電路，包含：

一處理器，其經組態以選擇一通信速率與一對應於所選擇之該通信速率之訊框長度；及

一成框器電路，其連接至該處理器且經組態以接收來自該處理器之資料且將該等資料插入於用於經由該介面而傳輸之至少一可變長度訊框中，該至少一可變長度訊框之長度係基於所選擇之該訊框長度，

其中該至少一可變長度訊框之該長度決定該介面之該通信速率，且

其中該介面時脈速率保持近似固定且近似獨立於所選擇之該通信速率。

24. 如請求項23之通信電路，其中該通信速率係一選自由每秒2400、2743、2800、3000、3200及3429個符號所組成之群的符號速率。
25. 如請求項23之通信電路，其中該通信速率係一選自由每秒7200、8000、8229、8400、9000、9600、10287及11025個樣本所組成之群的取樣速率。
26. 如請求項23之通信電路，其中該等兩個或兩個以上通信速率係選自由1.843 MHz、2.048 MHz、2.107 MHz、

2.150 MHz、2.204 MHz、2.458 MHz、2.634 MHz 及 2.822 MHz 所組成之群的  $\Sigma\Delta$  速率。

27. 如請求項 23 至請求項 26 之任一項之通信電路，其中該近似固定介面時脈速率係在以下範圍其中之一內：(i) 約 32 MHz 至約 35 MHz 之範圍與 (ii) 約 35 MHz 至約 37 MHz 之範圍。

28. 如請求項 23 至請求項 26 之任一項之通信電路，其中該所選擇之訊框長度係以下其中之一者；(i) 在約 12 個與約 18 個介面時脈週期之間及 (ii) 在約 13 個與約 20 個介面時脈週期之間。

29. 如請求項 23 至請求項 26 之任一項之通信電路，其中該成框器電路經組態以將一預定數量之填補位元插入於至少一可變長度訊框之每一訊框中。

30. 如請求項 23 至請求項 26 之任一項之通信電路，進一步包含：

一呈現訊框長度與通信速率間之相關性之訊框長度查找表，且

其中該處理器經進一步組態以藉由在該查找表中查找所選擇之該通信速率而選擇一訊框長度。

31. 如請求項 23 至請求項 26 之任一項之通信電路，進一步包含：

一連接至該處理器之可變速率介面時脈產生器，且

其中該處理器經進一步組態以基於該通信速率來選擇一訂製介面時脈速率並將該訂製時脈速率傳遞至該可變

速率介面時脈產生器。

32. 如請求項31之通信電路，其中該訂製介面時脈速率係選自以下其中之一者：(i)由33.1776 MHz、32.7680 MHz、33.7056 MHz、32.2560 MHz、34.4064 MHz、34.2355 MHz及33.8688 MHz所組成之群與(ii)由36.864 MHz、36.864 MHz、35.813 MHz、36.557 MHz、36.864 MHz、36.864 MHz、36.869 MHz及36.691 MHz所組成之群。

33. 如請求項31之通信電路，進一步包含：

一呈現時脈速率與通信速率間之相關性之時脈速率查找表，

其中該處理器經組態以藉由在該時脈速率查找表中查找所選擇之該通信速率而選擇該訂製介面時脈速率。

34. 如請求項31之通信電路，其中該可變速率介面時脈產生器包括：

一介面時脈控制器，其能夠產生一對應於該所選擇之訂製介面時脈速率之電壓；及

一壓控振盪器，其經連接以接收由該介面時脈控制器所產生之該電壓且產生一具有該所選擇之訂製介面時脈速率之時脈訊號以用作該介面時脈訊號。

35. 一種用於以多個通信速率經由一介面而傳達資料之方法，包含以下步驟：

於一第一通訊速率以一近似固定介面時脈速率經由該介面而傳輸一第一訊框，該第一訊框包括一第一資料及對應於該第一通信速率之一第一數量之填補位元；

於與該第一通訊速率不同之一第二通訊速率以該近似固定介面時脈速率經由該介面而傳輸一第二訊框，該第二訊框包括一第二資料及對應於該第二通信速率且與該第一數量之填補位元不同之一第二數量之填補位元，藉此使該第一資料以一對應於該第一通信速率之速率來傳達，且該第二資料以一對應於該第二通信速率之速率來傳達；及

其中該近似固定介面時脈速率係該第一通信速率及該第二通信速率之一近似公倍數。

36. 如請求項35之方法，其中該等第一與第二通信速率皆係一選自由每秒2400、2743、2800、3000、3200及3429個符號所組成之群的符號速率。
37. 如請求項35之方法，其中該等第一與第二通信速率皆係一選自由每秒7200、8000、8229、8400、9000、9600、10287及11025個樣本所組成之群的取樣速率。
38. 如請求項35之方法，其中該等第一與第二通信速率皆係選自由1.843 MHz、2.048 MHz、2.107 MHz、2.150 MHz、2.204 MHz、2.458 MHz、2.634 MHz及2.822 MHz所組成之群的 $\Sigma\Delta$ 速率。
39. 如請求項35至請求項38之任一項之方法，其中該近似固定介面時脈速率可在以下範圍其中之一內調整：(i)自約32 MHz至約35 MHz之範圍、及(ii)自約35 MHz至約37 MHz之範圍。
40. 如請求項35至請求項38之任一項之方法，其中該近似固

定介面時脈速率係選自以下其中之一者：(i)由 33.1776 MHz、32.7680 MHz、33.7056 MHz、32.2560 MHz、34.4064 MHz、34.2355 MHz及33.8688 MHz所組成之群與(ii)由 36.864 MHz、36.864 MHz、35.813 MHz、36.557 MHz、36.864 MHz、36.864 MHz、36.869 MHz及36.691 MHz所組成之群。

41. 如請求項35至請求項38之任一項之方法，其中該等第一與第二訊框進一步包括一成框序列。

42. 如請求項41之方法，其中：

將該等第一與第二資料進行曼徹斯特編碼；且

該成框序列包含以該近似固定介面時脈速率在三個連續時脈週期期間之具有相同值之三個連續位元。

43. 如請求項35至請求項38之任一項之方法，其中該第一數量之填補位元與該第二數量之填補位元皆係以下其中之一；(i)0與6之間之一整數、及(ii)約0與7之間之一整數。

十一、圖式：

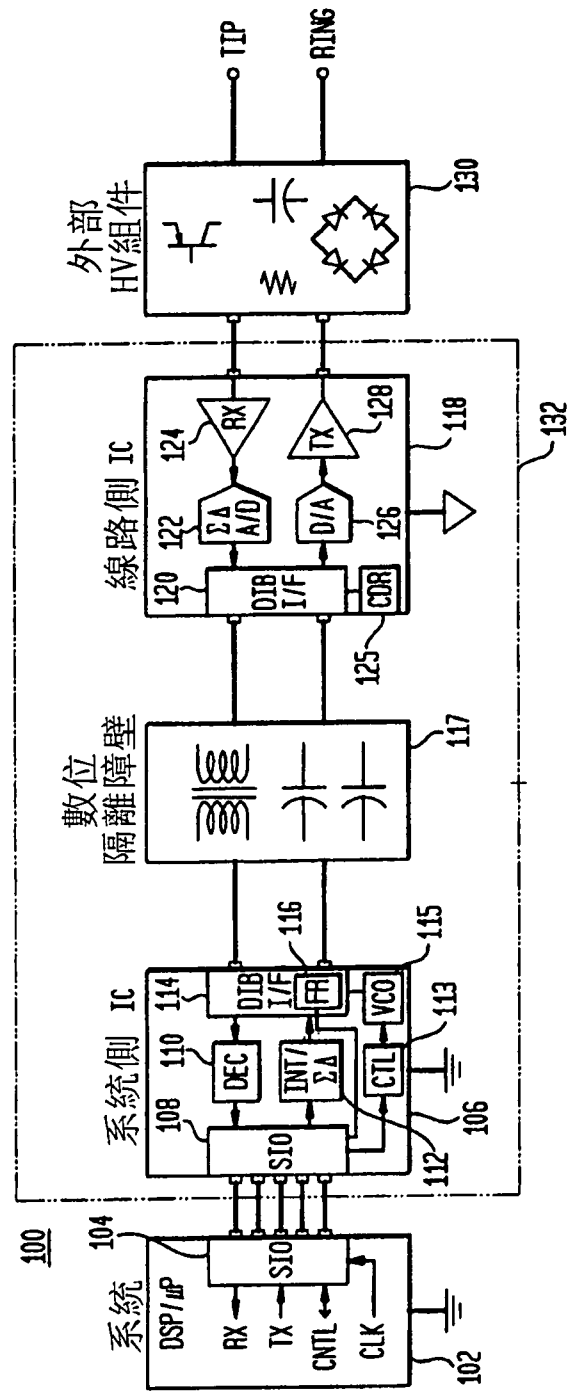


圖 1



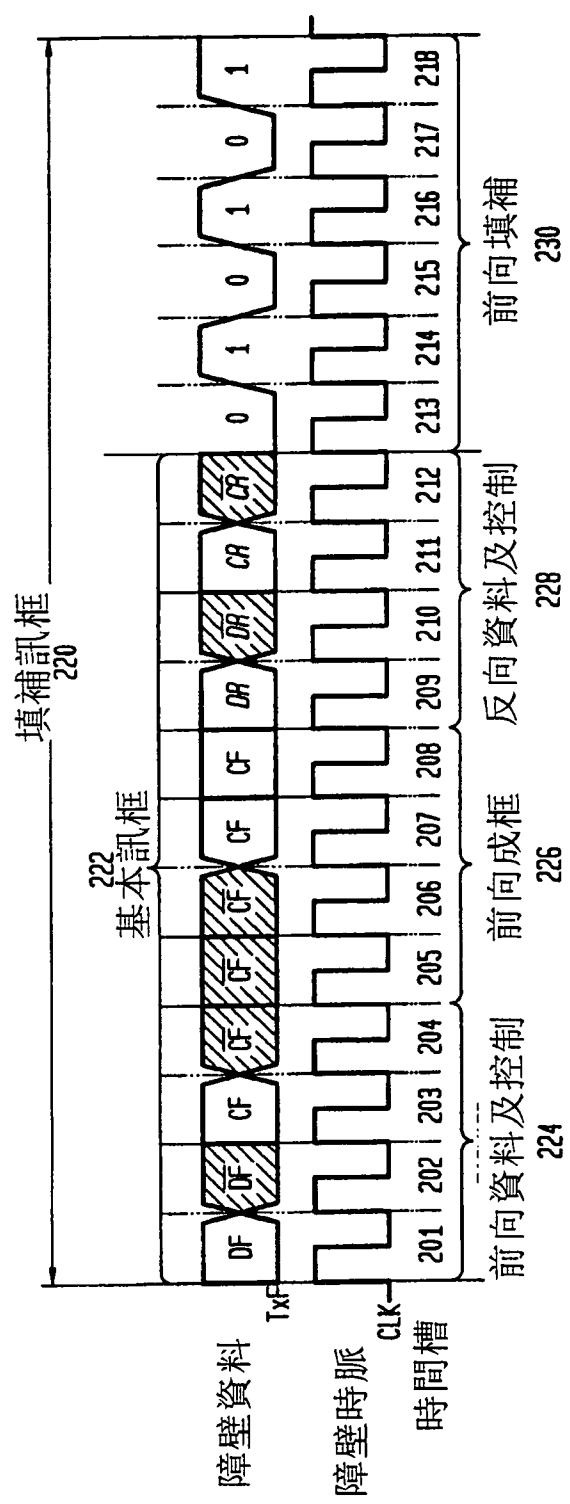


圖2



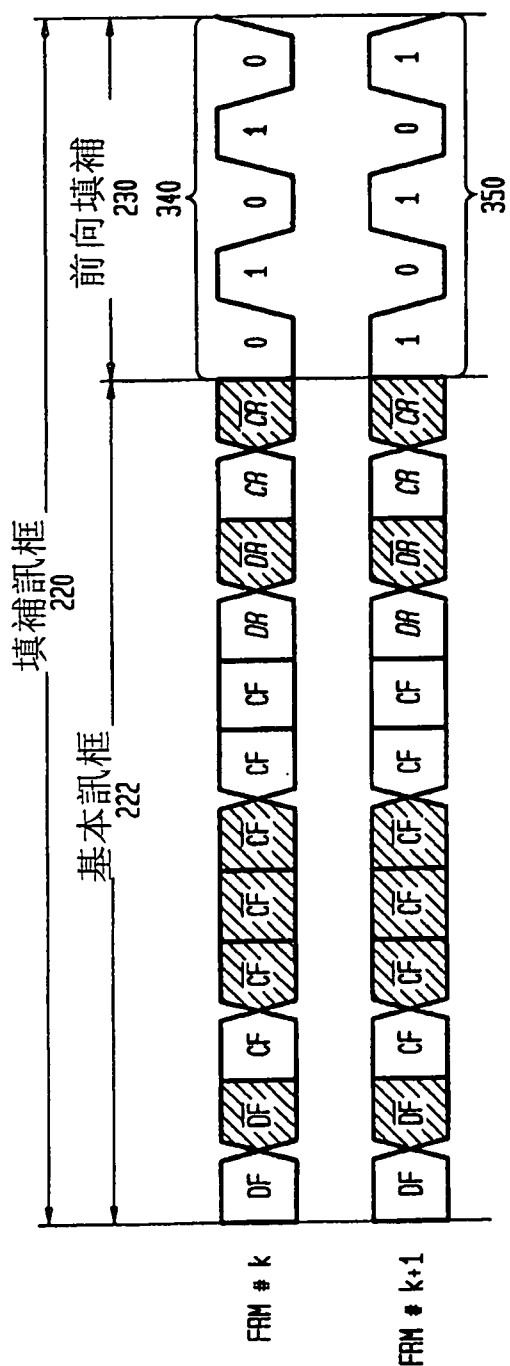


圖3

